

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ  
ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ  
ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ  
ВЫСШЕГО ОБРАЗОВАНИЯ  
«ВОРОНЕЖСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ»  
(ФГБОУ ВО «ВГТУ», ВГТУ)

«Утверждаю»

Декан  
факультета радиотехники и электроники

 проф. Небольсин В.А.  
30.08/2017г.

**РАБОЧАЯ ПРОГРАММА ДИСЦИПЛИНЫ**  
**Современные системы проектирования РЭС**

**Закреплена за кафедрой радиотехники**

**Направление подготовки 11.03.01 «Радиотехника»**

**Направленность:** «Радиотехнические средства передачи, приема и обработки сигналов»

**Часов по УП: 108; Часов по РПД: 108;**

**Часов на самостоятельную работу по УП: 48 (44 %);**

**Часов на самостоятельную работу по РПД: 48 (44 %);**

**Общая трудоемкость в ЗЕТ: 3;**

**Виды контроля в семестрах: зачет – 8 семестр**

**Форма обучения:** очная

**Срок обучения:** нормативный

**Распределение часов дисциплины по семестрам**

Вид занятий	№ семестров/число учебных недель в семестрах									
	1/10		2/10		7/10		8/10		Итого	
	УП	РПД	УП	РПД	УП	РПД	УП	РПД	УП	РПД
Лекции							24	24	24	24
Лабораторные							36	36	36	36
Практические							-	-	-	-
Ауд.занятия							60	60	60	60
Сам. работа							48	48	48	48
Итого							<b>108</b>	<b>108</b>	<b>108</b>	<b>108</b>

Воронеж 2017

**Сведения о ФГОСВО, в соответствии с которым разработана рабочая программа дисциплины (модуля) – направления 11.03.01 «Радиотехника» - утвержден приказом Министерства образования и науки Российской Федерации от 06. 03. 2015г. № 179**

Программу составил:



старший преподаватель  
Максимов Д.

Рецензент



к.т.н., доцент  
Бочаров М.И.

Рабочая программа дисциплины «Современные системы проектирования РЭС» составлена на основании учебного плана подготовки бакалавров по направлению 11.03.01 «Радиотехника», направленность «Радиотехнические средства передачи, приема и обработки сигналов»

Рабочая программа обсуждена на заседании кафедры радиотехники протокол №   1   от   29.08   2017 г.

Зав.кафедрой радиотехники  Матвеев Б.В.

## 1. ЦЕЛИ ОСВОЕНИЯ ДИСЦИПЛИНЫ

Цель дисциплины «Современные системы проектирования РЭС» состоит в приобретении студентами знаний (и навыков) о процессе проектирования радиоэлектронных устройств различного назначения на современном уровне, т.е. с привлечением средств вычислительной техники на основе современных САПР. В этом смысле изучение данного курса служит ступенью к успешной профессиональной деятельности будущих выпускников на ведущих предприятиях отрасли. Процесс разработки радиоэлектронных устройств сложен и многогранен, т.е. включает в себя решение задач различных направлений. Условно к этим направлениям можно отнести следующие:

- схемотехническое проектирование,
- конструкторское проектирование,
- алгоритмическое проектирование (проектирование встраиваемых систем на основе различных БИС и СБИС).

Дисциплина «Современные системы проектирования РЭС» охватывает все три направления проектирования, но основной упор делает на третьем наиболее наукоемком направлении и посвящена методологии и практике применения микросхем с программируемой структурой (программируемых логических интегральных схем ПЛИС) в современных радиоэлектронных устройствах. Основой методологии является владение специализированными языками программирования - HDL-языками (языками описания аппаратуры) VHDL и Verilog. Большая часть курса включает в себя изучение языка VHDL.

## 2. МЕСТО ДИСЦИПЛИНЫ В СТРУКТУРЕ ОП ВО

Цикл (раздел) ОПОП: Б1	код дисциплины в УП: Б1.В.ДВ.5.1
<b>2.1 Требования к предварительной подготовке обучающегося</b>	
Для успешного освоения дисциплины студент должен иметь базовую подготовку по радиотехническим дисциплинам с освоением компетенций: ОПК- 3 (Радиотехнические цепи и сигналы), ПВК-8 (Теория вероятностей и случайные процессы в радиотехнике)	
<b>2.2 Дисциплины и практики, для которых освоение данной дисциплины (модуля) необходимо как предшествующее</b>	
Б1.В.ДВ.4.1	Технология беспроводного доступа в телекоммуникационных системах

## 3. КОМПЕТЕНЦИИ ОБУЧАЮЩЕГОСЯ, ФОРМИРУЕМЫЕ В РЕЗУЛЬТАТЕ ОСВОЕНИЯ ДИСЦИПЛИНЫ

ПВК-11	Способностью выполнять эксперименты на действующих объектах по заданным методикам и обрабатывать результаты с применением современных и технических средств
<b>Знает:</b> общий процесс проектирования РЭУС и место в нем микросхем программируемой логики (ПЛИС); современное состояние рынка микросхем ПЛИС (ведущие производители), семейства микросхем различных производителей (Xilinx, Altera, Actel) и их состав; внутреннюю архитектуру микросхем со структурой CPLD и FPGA; конструкции языка VHDL, позволяющие реализовывать цифровые устройства различной сложности; конструкции языка VHDL, позволяющие реализовывать цифровые устройства различной сложности;	
<b>Умеет:</b> использовать в практической деятельности пакеты программ, необходимые в работе инженера-разработчика проектов на микросхемах ПЛИС. Разрабатывать (составлять) описания цифровых схем на языке VHDL	
<b>Владеет:</b> формализованной методикой построения параллельных алгоритмов обработки дан-	

ных, методикой гибкого распараллеливания последовательных операций обработки, методикой конвертации проектов между различными САПР	
ПВК-10	способностью проводить вычислительные эксперименты с использованием стандартных программных средств с целью получения математических моделей процессов и объектов автоматизации и управления
<p><b>Знает:</b> основы методов моделирования радиотехнических устройств;</p> <p><b>Умеет:</b> работать с программами схемотехнического проектирования и моделирования радиотехнических устройств</p> <p><b>Владеет:</b> методами моделирования устройств с помощью автоматизированных систем проектирования</p>	
ПК-1	способностью выполнять математическое моделирование объектов и процессов по типовым методикам, в том числе с использованием стандартных пакетов прикладных программ
<p><b>Знает:</b> наиболее употребляемые вычислительные методы и процедуры.</p> <p><b>Умеет:</b> пользоваться системой координат и двумерным моделированием</p> <p><b>Владеет:</b> электрофизическим моделированием полупроводниковых структур</p>	

#### В результате освоения дисциплины обучающийся должен

<b>3.1</b>	<b>Знать:</b>
3.1.1	общий процесс проектирования РЭУС и место в нем микросхем программируемой логики (ПЛИС);
3.1.2	современное состояние рынка микросхем ПЛИС (ведущие производители), семейства микросхем различных производителей (Xilinx, Altera, Actel) и их состав;
3.1.3	внутреннюю архитектуру микросхем со структурой CPLD и FPGA;
3.1.4	конструкции языка VHDL, позволяющие реализовывать цифровые устройства различной сложности;
3.1.5	методику аппаратной реализации алгоритмов и ее отличия от программной.
<b>3.2</b>	<b>Уметь:</b>
3.2.1	использовать в практической деятельности пакеты программ, необходимые в работе инженера-разработчика проектов на микросхемах ПЛИС.
3.2.2	разрабатывать (составлять) описания цифровых схем на языке VHDL
<b>3.3</b>	<b>Владеть:</b>
3.3.1	формализованной методикой построения параллельных алгоритмов обработки данных
3.3.2	методикой гибкого распараллеливания последовательных операций обработки
3.3.3	методикой конвертации проектов между различными САПР

#### 4. СТРУКТУРА И СОДЕРЖАНИЕ ДИСЦИПЛИНЫ

№ пп		У	М	С	Неделя семестра	Вид учебной нагрузки и их трудоемкость в часах
------	--	---	---	---	-----------------	--

	Наименование раздела дисциплины			Лекции	Практические занятия	Лабораторные работы	СРС	Всего часов
1	Введение	8	1	2	-			2
2	Архитектура и особенности микросхем ПЛИС на примере конкретных семейств	8	3	2	-		4	6
3	Язык VHDL. VHDL для синтеза и моделирования	8	5	2	-		4	6
4	Структура проекта на VHDL	8	7	2	-	4	4	10
5	Структурные и поведенческие архитектурные тела	8	9	2	-	4	4	10
6	Типы и подтипы данных VHDL	8	11	2	-	4	4	10
7	Сигналы и переменные в VHDL	8	13	2	-	4	4	10
8	Последовательные операторы VHDL	8	15	2	-	4	4	10
9	Параллельные операторы VHDL	8	17	2	-	4	4	10
10	Процедуры и функции языка VHDL		19	2		4	4	10
11	Описание на VHDL типовых цифровых устройств		21	2		4	6	12
12	Методика моделирования цифровых устройств, описанных на VHDL		23	2		4	6	12
Итого				24	-	36	48	108

#### 4.1. Лекции

Неделя семестра	Тема и содержание лекции	Объем часов	В том числе, в интерактивной форме (ИФ)
<b>Введение</b>		<b>2</b>	
1	Классификация цифровых микросхем. Место микросхем программируемой логики в общем процессе проектирования. Основные производители микросхем ПЛИС. Типы архитектур ПЛИС. Понятие о языках описания аппаратуры VHDL и Verilog.	2	
<b>Архитектура и особенности микросхем ПЛИС на примере конкретных семейств</b>		<b>2</b>	
3	Микросхемы CPLD и FPGA. Основные отличия архитектур и принципов программирования. Архитектура FPGA как передовая архитектура ПЛИС. Однородные и неоднородные FPGA. Основные элементы FPGA на примере семейств Virtex II и Spartan 3: блоки ввода-вывода (технология Select IO), КЛБ, блочная память, глобальные ресурсы тактирования (DCM), умножители, высокоскоростные приемопередатчики. Понятие о системах на кристалле на примере Virtex-4.	2	
<b>Язык VHDL. VHDL для синтеза и моделирования</b>		<b>2</b>	
5	VHDL для синтеза и моделирования. Понятие о параллельных процессах и принципах их моделирования.	2	

	Понятие о процессе синтеза схем по текстовому формализованному описанию (Синтезатор ↔ Компилятор).		
<b>Структура проекта на VHDL</b>		<b>2</b>	
7	Первая «программа» на VHDL. Entity и архитектурные тела. Стили описания проектов. Структура и поведение.	2	
<b>Структурные и поведенческие архитектурные тела</b>		<b>2</b>	
9	Структура и поведение. Методика структурного описания проектов. Методика поведенческого описания проектов. Смешанное описание	2	
<b>Типы и подтипы данных VHDL</b>		<b>2</b>	
11	Типы и подтипы данных VHDL. Тип Time. Сигналы, переменные и константы. Блокирующее и неблокирующее присваивания. Оператор Process. Атрибуты сигналов.	2	
<b>Сигналы и переменные в VHDL</b>		<b>2</b>	
13	Понятие сигнала в HDL-языках. Блокирующее и неблокирующее присваивания. Место и область видимости сигналов в программном модуле. Переменные. Сходства и отличия переменных в сравнении с процедурными языками программирования.	2	
<b>Последовательные операторы VHDL</b>		<b>2</b>	
15	Операторы присваивания (модели задержек transport и inertial). Операторы условия (if) и выбора (case). Операторы повторения (loop) и ожидания (wait).	2	
<b>Параллельные операторы VHDL</b>		<b>2</b>	
17	Параллельное сигнальное присваивание. Операторы Process и Block. Оператор размножения (Generate). Структурное описание (оператор вхождения). Функции и процедуры. Их параллельный и последовательный вызов. Пакеты (package).	2	
<b>Процедуры и функции языка VHDL</b>			
19	Особенности функций и процедур VHDL. Их параллельный и последовательный вызов. Пакеты (package).		
<b>Описание на VHDL типовых цифровых устройств</b>			
21	Примеры описания комбинационных схем. Логика, мультиплексоры, шифраторы, дешифраторы. Уровневые (прозрачные) защелки (Latch) и их «ошибочное» появление при описании комбинационной логики. Примеры описания последовательностных схем на VHDL. Триггеры (регистры), счетчики, память. Описание конечных автоматов (FSM). Синхронные и асинхронные схемы. Схемы синхронизации. Реализация арифметических функций на VHDL.		
<b>Методика моделирования цифровых устройств, описанных на VHDL</b>			
23	Testbench и методика его создания с помощью языковых конструкций. Имитация периодических и одно-		

	кратных воздействий. Использование процедур VHDL для описания поведения сигналов. Оператор проверки (Assert) и его применение.		
<b>Итого часов</b>		<b>24</b>	

#### 4.2. Лабораторные работы

Неделя семестра	Наименование лабораторной работы	Объем часов	В том числе в интерактивной форме (ИФ)	Виды контроля
<b>Лабораторная работа №1</b>		<b>4</b>		
1	Ознакомительная. Проектирование и моделирование двоичного реверсивного счетчика с загрузкой. Дополнительное задание: проектирование двоично-десятичного счетчика.	4	2	опрос
<b>Лабораторная работа №2</b> <b>Разработка асинхронного приемопередатчика UART. Часть 1.</b>		<b>8</b>		
3	Разработка модуля передатчика (трансммиттера), входящего в состав асинхронного приемопередатчика UART.	8	2	опрос
5				
<b>Лабораторная работа №3</b> <b>Разработка асинхронного приемопередатчика UART. Часть 2.</b>		<b>8</b>		
7	Разработка модуля приемника (ресивера), входящего в состав асинхронного приемопередатчика UART. Совместная проверка передатчика и приемника UART.	8	2	опрос
9				
<b>Лабораторная работа №4</b> <b>Разработка модуля памяти FIFO</b>		<b>4</b>		опрос
11	Построение синтезируемого описания и моделирования модуля асинхронной памяти FIFO	4	3	
<b>Лабораторная работа №5</b> <b>Проектирование конечных автоматов</b>		<b>4</b>		опрос
13	Разработка контроллера клавиатуры	4	3	
<b>Лабораторная работа №6</b> <b>Проектирование вычислительных устройств</b>		<b>8</b>		
15	Разработка простейшего арифметико-логического устройства (АЛУ)	8	3	опрос
<b>Итого часов</b>		<b>36</b>	15	

#### 4.3. Самостоятельная работа студента (СРС)

Неделя семестра	Содержание СРС	Виды контроля	Объем часов
2	Подготовка к лабораторной работе	Опрос	3
3	Подготовка к отчету по лабораторной работе	Отчет	3
4	Работа с конспектом лекций и учебником	Опрос	3
5	Подготовка к лабораторной работе	Опрос	3
6	Подготовка к отчету по лабораторной работе	Опрос	3
7	Работа с учебными пособиями	Опрос	2
8	Отчет по лабораторной работе	Отчет	3
9	Работа с конспектом лекций и учебником	Опрос	3
10	Подготовка к лабораторной работе	Опрос	3
11	Отчет по лабораторной работе	Отчет	3
12	Подготовка к лабораторной работе	Опрос	3
13	Отчет по лабораторной работе	Отчет	3
14	Работа с конспектом лекций и учебными пособиями	Опрос	2
15	Подготовка к лабораторной работе	Опрос	3
16	Отчет по лабораторной работе	Отчет	3
17	Работа с конспектом лекций и учебником	Опрос	2
18	Отчет по лабораторным работам	Отчет	3
<b>Итого часов</b>			<b>48</b>

### Методические указания по освоению дисциплины

Изучение теоретического материала необходимо осуществлять по лекциям, а также по учебным пособиям, рекомендуемым в списке литературы.

Выполнение лабораторных работ обеспечивается специально разработанными и зарегистрированными в установленном порядке программными средствами, которые позволяют наглядно отражать все процедурные функции изучаемых алгоритмов коррекции ошибок. Выполнение лабораторных работ желательно проводить в той последовательности, которая указана в рабочей программе.

При необходимости каждый студент может получить набор файлов .exe, позволяющих осуществлять необходимую предварительную самостоятельную подготовку для более эффективного использования учебного времени.

Как правило, выполнению лабораторных работ должно предшествовать изучение теоретического материала по учебному пособию или лекциям для конкретной темы с последующими ответами на контрольные вопросы, приводимые в конце каждой лабораторной работы. По каждой лабораторной работе подготавливается отчет с расчетами, графиками и соответствующими материалами.

#### 5. Образовательные технологии

	В рамках изучения дисциплины предусмотрены следующие образовательные технологии:
5.1	<b>Информационные лекции</b>
5.2.	<b>Лабораторные работы:</b> - выполнение лабораторных работ - защита выполненных работ
5.3	<b>Самостоятельная работа студентов:</b>



	<ul style="list-style-type: none"> <li>- изучение теоретического материала,</li> <li>- подготовка к лекциям, лабораторным работам</li> <li>- оформление конспектов лекций,</li> <li>- подготовка к текущему контролю успеваемости в к зачету</li> </ul>
5.4	Консультации по всем вопросам учебной программы

**6. Оценочные средства для текущего контроля успеваемости, промежуточной аттестации по итогам освоения дисциплины и учебно-методическое обеспечение самостоятельной работы студентов**

6.1	Контроль выполнения заданий на лабораторных занятиях
6.2	Индивидуализированные задания для лабораторных работ, защита их выполнения
6.3	Вопросы к зачету. Фонд оценочных средств представлен в учебно-методическом комплексе дисциплины

**Текущий контроль по дисциплине**

Номер раздела дисциплины	Объект контроля	Форма контроля	Метод контроля	Срок выполнения
1	Введение	Устный опрос	устный	3 неделя
2	Архитектура и особенности микросхем ПЛИС на примере конкретных семейств	Устный опрос	устный	5 неделя
3	Язык VHDL. VHDL для синтеза и моделирования	Решение задач	письменный	7 неделя
4	Структура проекта на VHDL	Тестирование	Программа для лабораторной на ЭВМ	9 неделя
5	Структурные и поведенческие архитектурные тела	Тестирование	Программа для лабораторной на ЭВМ	11 неделя
6	Типы и подтипы данных VHDL	Тестирование	Программа для лабораторной на ЭВМ	13 неделя
7	Сигналы и переменные в VHDL	Решение задач	письменный	15 неделя
8	Последовательные операторы VHDL	Тестирование	Программа для лабораторной на ЭВМ	17 неделя

Полная спецификация оценочных средств, процедур и контролируемых результатов в привязке к формируемым компетенциям, показателей и критериев оценивания приводится в Фонде оценочных средств по дисциплине, являющемся приложением к рабочей программе.

## 7. Учебно-методическое и информационное обеспечение дисциплины

№ пп	Авторы, составители, год издания	Заглавие	Вид издания	Обеспеченность
<b>1. Основная литература</b>				
Л.1.1	<u>Бибило</u> П.Н., 2009 г.	Основы языка VHDL. – М.: Либроком, 2009. – 328 с.	Печ.	1,0
Л.1.2	<u>Бибило</u> П.Н., 2006 г.	VHDL. Эффективное использование при проектировании цифровых систем. – М.: СОЛОН-Пресс, 2006. – 344 с.	Печ.	1,0
<b>2. Дополнительная литература</b>				
Л.2.1	Суворова Е.А., Шейнин Ю.Б., 2003 г.	Проектирование цифровых систем на VHDL. – СПб: БХВ-Петербург, 2003. – 576 с.	Электр.	-
Л.2.2	Грушвицкий Р.И., Мурсаев А.Х., Угрюмов Е.П., 2002 г.	Проектирование систем на микросхемах программируемой логики. – СПб.: БХВ-Петербург, 2002. – 608 с.	Электр.	-
<b>3. Методическая литература</b>				
Л.3.1	Максимов Д.А., 2011 г.	Методические указания для выполнения лабораторных работ № 1-3 по дисциплине "Современные системы проектирования РЭС" для студентов спец. 200700 "Радиотехника" очной формы обучения	Электр.	
Л.3.2	Максимов Д.А., 2012 г.	Методические указания для выполнения лабораторных работ № 4-6 по дисциплине "Современные системы проектирования РЭС" для студентов спец. 200700 "Радиотехника" очной формы обучения	Электр.	-

## 8. Материально-техническое обеспечение дисциплины (модуля)

Преподавание дисциплины предполагает использование компьютерного класса кафедры радиотехники и домашних компьютеров студентов для проведения лабораторных занятий и самостоятельной работы.