

ФГБОУ ВПО «Воронежский государственный  
технический университет»

А.В. Строгонов

ОСНОВЫ  
МИКРОСХЕМОТЕХНИКИ  
ИНТЕГРАЛЬНЫХ СХЕМ

Утверждено Редакционно-издательским советом  
университета в качестве учебного пособия

Воронеж 2012

Строгонов А.В. Основы микросхемотехники интегральных схем: учеб. пособие / А.В. Строгонов. Воронеж: ФГБОУ ВПО «Воронежский государственный технический университет», 2012. 238 с.

В учебном пособии рассматриваются основы булевой алгебры и основные логические элементы. Приводится микросхемотехника комбинационных устройств: преобразователей кодов, шифраторов и дешифраторов, мультиплексоров и демультимплексоров, сумматоров, а также последовательностных устройств: триггеров, регистров, счетчиков на ИС средней степени интеграции по ТТЛ-технологии. Основное внимание уделено схемотехническим решениям, используемым для проектирования цифровых и аналого-цифровых БИС по КМОП-технологии, а также цифровым методам обработки сигналов.

Издание соответствует требованиям Федерального государственного образовательного стандарта высшего профессионального образования по направлению подготовки бакалавров 210100 «Электроника и наноэлектроника», профилю «Микроэлектроника и твердотельная электроника», дисциплинам «Проектирование БИС», «Проектирование ПЛИС», «Проектирование цифровых устройств в базе ПЛИС». Учебное пособие подготовлено в электронном виде в текстовом редакторе MS Word for Windows и содержится в файле Микросхемотехника.doc.

Табл. 39. Ил. 170. Библиогр.: 12 назв.

Научный редактор д-р физ.-мат. наук, проф. С.И. Рембеза

Рецензенты: кафедра физики полупроводников и микроэлектроники Воронежского государственного университета (зав. кафедрой д-р физ.-мат. наук, проф. Е.Н. Бормонтов); д-р техн. наук, проф. М.И. Горлов

© Строгонов А.В., 2012

© Оформление. ФГБОУ ВПО «Воронежский государственный технический университет», 2012

**ВВГ**

Первая интегральная схема (ИС) была сконструирована летом 1958 Джеком Килби из фирмы Texas Instruments. В это же время основатели компании Fairchild Semiconductor швейцарский физик Джин Хорни и американский физик Роберт Нойс разработали основы оптической литографии. А уже к середине 60-х Texas Instruments разработала первые серии коммерческих ИС. В начале 70-х фирма Intel представила первую 1024-битную ИС динамической оперативной памяти, а компания Fairchild первую 256-битную ИС статической памяти. Всего лишь год спустя в 1971 Intel демонстрирует первый в мире микропроцессор, который представлял собой “компьютер на кристалле” и состоящий из 2300 транзисторов.

Переходный период споров между конкурирующими полупроводниковыми фирмами Texas Instruments, Fairchild Semiconductor, National и AMD закончился принятием серии 7400.

В учебном пособии даются сведения по интегральным схемам (ИС) средней степени интеграции, которые включают в себя от 10 до 100 логических элементов на транзисторно-транзисторной логике (ТТЛ) на примере зарубежной серии 7400, предложенной фирмой Texas Instruments (отечественный аналог серия К155). Для исключения ошибок в пособии сохранены оригинальная система обозначения логических элементов 7400 серии и целесообразно продуманные схемные решения по комбинационной и последовательностной логике.

Рассмотрены схемотехнические решения, используемые для проектирования цифровых и аналого-цифровых больших интегральных схем (БИС) по современной КМОП-технологии (комплементарные приборы со структурой металл-оксид-полупроводник) а также цифровые методы обработки сигналов.

Цифровые методы обработки сигналов находят широкое применение в самых различных областях науки и техники, включая обработку изображений, анализ и синтез речи, обработку радио- и гидролокационных сигналов, а также в технике связи, робототехнике, автомобильной электронике,

системах сбора и обработки информации, для управления и контроля производственных процессов, в контрольно-измерительной технике, устройствах управления бытовыми приборами и другой радиоэлектронной аппаратуре. В связи с этим большое значение имеют устройства обмена информацией между ЭВМ и устройствами автоматизированных систем. В качестве устройств связи с объектами контроля и управления используются различные типы преобразователей данных.

Книга состоит из четырех глав. В первой и второй главах рассматриваются основы булевой алгебры, цифровые логические элементы, особенности микросхемотехники комбинационных и последовательностных устройств на основе ИС средней степени интеграции по ТТЛ-технологии.

В третьей главе рассмотрены цифровые логические элементы по КМОП-технологии для интегрального исполнения в составе БИС.

В четвертой главе основное внимание уделено операционным усилителям и их основным характеристикам. Рассмотрены различные виды аналого-цифровых и цифро-аналоговых преобразователей (АЦП и ЦАП), вопросы сопряжения ЦАП/АЦП с микроконтроллерами, системы сбора данных и микроконверторы.

В основу книги положены лекции, читаемые автором в Воронежском государственном техническом университете на кафедре полупроводниковой электроники и наноэлектроники студентам очной и заочной форм обучения.

# 1. БУЛЕВА АЛГЕБРА И ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ

## 1.1. Теоремы булевой алгебры

Для того чтобы с помощью алгебры описать поведение и структуру логической схемы, входам, выходам и внутренним точкам схемы ставят в соответствие *булевы переменные*, которые могут принимать только два значения: логические 0 и 1. Формально переменная в двузначной булевой алгебре — это символ, такой, что

$$\begin{aligned}x &= 0, \text{ если } x \neq 1; \\x &= 1, \text{ если } x \neq 0.\end{aligned}\tag{1.1}$$

Рассмотрим наиболее важные булевы операции: И, ИЛИ, НЕ и др.

Операция И обозначается точкой ( $\cdot$ ) или подразумевается при выписывании рядом булевых переменных. Так, операция И между двумя переменными  $x$  и  $y$  записывается в виде

$$x \cdot y \text{ или } xy.\tag{1.2}$$

Эту операцию часто называют также *логическим умножением* или *дизъюнкцией*.

Постулаты для операции И даны в табл.1.1. Как видно из таблицы,  $xy$  принимает значение логической 1 тогда и только тогда, когда и  $x$ , и  $y$  равны логической 1; в противном случае  $xy$  равно логическому 0. Хотя в табл.1.1 логическое умножение определено только для двух переменных, его легко обобщить на любое число переменных. А именно, значение  $x_1 x_2 \dots x_n$  есть логическая 1 тогда и только тогда, когда значение каждой переменной  $x_1 x_2 \dots x_n$  равно логической 1; в противном случае  $x_1 x_2 \dots x_n$  есть логический 0.

Выше было сказано, что операцию И обозначают при помощи точки или просто записью переменных рядом. В литературе для обозначения этой операции часто используется символ  $\wedge$ . Операция И над двумя переменными  $x$  и  $y$  при этом записывается в виде  $x \wedge y$ .

Таблица 1.1

Определение операции И

| $x$ | $y$ | $x \cdot y$ |
|-----|-----|-------------|
| 0   | 0   | = 0         |
| 0   | 1   | = 0         |
| 1   | 0   | = 0         |
| 1   | 1   | = 1         |

Таблица 1.2

Определение операции ИЛИ

| $x$ | $y$ | $x + y$ |
|-----|-----|---------|
| 0   | 0   | = 0     |
| 0   | 1   | = 1     |
| 1   | 0   | = 1     |
| 1   | 1   | = 1     |

Таблица 1.3

Определение операции НЕ

| $x$ | $\bar{x}$ |
|-----|-----------|
| 0   | 1         |
| 1   | 0         |

Следующая булева операция, это операция ИЛИ. Обозначается знаком плюс (+). Операция ИЛИ над переменными  $x$  и  $y$  записывается в виде

$$x + y. \tag{1.3}$$

Эту операцию называют *логическим сложением*, или *конъюнкцией*.

Постулаты для этой операции даны в табл.1.2. Из таблицы следует, что значение  $x+y$  есть логический 0 тогда и только тогда, когда обе переменные  $x$  и  $y$  имеют значение логического 0; в противном случае  $x+y$  принимает значение логической 1. Эту операцию также можно обобщить на  $n$  переменных. А именно,  $x_1+x_2+ \dots +x_n$  есть логическая 1 тогда и только тогда, когда по крайней мере одна из переменных имеет значение

логической 1; в противном случае  $x_1+x_2+ \dots +x_n$  есть логический 0.

В литературе также употребляется символ  $\vee$ . В этом случае операция ИЛИ над переменными  $x$  и  $y$  записывается в виде  $x\vee y$ .

Операция НЕ. Ее называют *отрицанием*, *инверсией* или *дополнением*. Обозначается черточкой над переменной ( $\bar{\phantom{x}}$ ). Так, отрицание переменной  $x$  записывается в виде  $\bar{x}$ .

Как показано в табл. 1.3, операция НЕ удовлетворяет следующим постулатам:

$$\begin{aligned} \bar{\bar{x}} &= x, \text{ если } x = 0; \\ \bar{\bar{x}} &= \bar{x}, \text{ если } x = 1. \end{aligned} \tag{1.4}$$

или, что то же самое,  $\bar{\bar{0}}=0$  и  $\bar{\bar{1}}=1$ . В литературе также используется штрих ( $'$ ) как символ операции НЕ. В этом случае отрицание  $x$  записывается как  $x'$ .

Символические обозначения вентилях (элементарные логические схемы) для трех рассмотренных логических операций показаны на рис.1.1.

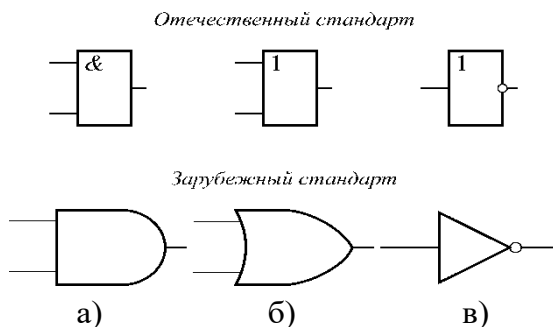


Рис.1.1. Графическое обозначение вентилях, выполняющие логические операции И, ИЛИ, НЕ:  
а) вентиль И; б) вентиль ИЛИ; в) вентиль НЕ

Логическая схема может быть представлена в виде «черного ящика». На входе - булевы переменные  $x_1, x_2, \dots, x_n$ , на выходе - переменная  $f$ . Чтобы описать поведение этого черного ящика, нужно выразить выход  $f$  как функцию входных переменных  $x_1, x_2, \dots, x_n$ . Это можно сделать или при помощи таблицы истинности (комбинационной таблицы), или при помощи булевых выражений.

Логическая схема, которую можно полностью описать таблицами истинности или булевыми выражениями, называется комбинационной схемой. Комбинационная схема - это такая схема, в которой значения входных переменных в текущий момент времени полностью определяют значения выходных переменных. Другой класс логических схем составляют схемы с внутренней памятью. Такие схемы называют последовательными. Для них значения выходных переменных определяются не только текущими значениями входных переменных, но также их значениями в предыдущие моменты времени.

Рисунки с изображениями элементарных логических схем и их связей называются *логическими диаграммами*. В общем случае, если диаграмма состоит из вентилях и на ней нет обратных связей, то соответствующую ей схему называют *комбинационной*. Комбинационная схема не обладает запоминающими свойствами, и поэтому значения ее выходов определяются полностью значениями входов в данный момент времени.

Существует взаимно-однозначное соответствие между диаграммами комбинационных схем и булевыми выражениями. Следовательно, булевы выражения являются описаниями комбинационных схем.

Таблица, содержащая все возможные комбинации значений входных переменных вместе с соответствующими им значениями выходных переменных, т. е. значениями функций, называется *таблицей истинности* (или *комбинационной таблицей*). При  $n$  входных и одной выходной переменной



таблица содержит  $2^n$  строк и  $n+1$  колонок, как показано в табл. 1.4.

Таблица 1.4

Таблица истинности для булевого выражения

| $x_1$ | $x_2$ | ... | $x_{n-1}$ | $x_n$ | $f$                |
|-------|-------|-----|-----------|-------|--------------------|
| 0     | 0     | ... | 0         | 0     | $f(0,0,\dots,0,0)$ |
| 0     | 0     | ... | 0         | 1     | $f(0,0,\dots,0,1)$ |
| 0     | 0     | ... | 1         | 0     | $f(0,0,\dots,1,0)$ |
| 0     | 0     | ... | 1         | 1     | $f(0,0,\dots,0,0)$ |
| ...   | ...   | ... | ...       | ...   | ...                |
| 1     | 1     | ... | 1         | 1     | $f(1,1,\dots,1,1)$ |

Самый простой способ включения в таблицу истинности всех возможных входных значений состоит в последовательном переборе в двоичной системе счисления всех чисел от 0 до  $2^n-1$ . Переменная  $f$  в каждой колонке будет принимать значение либо 0, либо 1 в зависимости от задаваемой функции.

Второй способ описать поведение комбинационной схемы - это задать *булево выражение*. Оно представляет собой формулу, состоящую из булевых констант и переменных, связанных операциями И, ИЛИ и НЕ. Примером булевого выражения от трех переменных может служить формула

$$f(x_1, x_2, x_3) = (x_1 + \bar{x}_2)(\bar{x}_1 + x_3) + (x_2 x_3). \quad (1.5)$$

Поскольку эта функция зависит от трех переменных, в таблице истинности должно быть  $2^3=8$  строк. В табл.1.5 восемь комбинаций значений для трех переменных занимают три левые колонки.

Таблица 1.5

Таблица истинности для булева выражения

$$f(x_1, x_2, x_3) = (x_1 + \bar{x}_2)(\bar{x}_1 + x_3) + (x_2 x_3)$$

| $x_1$ | $x_2$ | $x_3$ | $\bar{x}_1$ | $\bar{x}_2$ | $x_1 + \bar{x}_2$ | $\bar{x}_1 + x_3$ | $(x_1 + \bar{x}_2) \times$<br>$\times (\bar{x}_1 + x_3)$ | $x_2 x_3$ | $f$ |
|-------|-------|-------|-------------|-------------|-------------------|-------------------|--|-----------|-----|
| 1     | 2     | 3     | 4           | 5           | 6                 | 7                 | 8  | 9         | 10  |
| 0     | 0     | 0     | 1           | 1           | 1                 | 1                 | 1  | 0         | 1   |
| 0     | 0     | 1     | 1           | 1           | 1                 | 1                 | 1  | 0         | 1   |
| 0     | 1     | 0     | 1           | 0           | 0                 | 1                 | 0  | 0         | 0   |
| 0     | 1     | 1     | 1           | 0           | 0                 | 1                 | 0  | 1         | 1   |
| 1     | 0     | 0     | 0           | 1           | 1                 | 0                 | 0  | 0         | 0   |
| 1     | 0     | 1     | 0           | 1           | 1                 | 1                 | 1  | 0         | 1   |
| 1     | 1     | 0     | 0           | 0           | 1                 | 0                 | 0  | 0         | 0   |
| 1     | 1     | 1     | 0           | 0           | 1                 | 1                 | 1  | 1         | 1   |

Чтобы завершить построение таблицы истинности, нужно вычислить значение выражения (1.5) для каждой из восьми комбинаций. Например, при  $x_1=0$ ,  $x_2=1$  и  $x_3=1$  получим:

$$f(0,1,1) = (0 + \bar{1})(\bar{0} + 1) + 1 \cdot 1 = (0 + 0)(1 + 1) + 1 = 0 \cdot 1 + 1 = 0 + 1 = 1$$

Последняя колонка табл.1.5 содержит окончательные результаты всех восьми вычислений.

Для построения таблицы истинности можно воспользоваться и другой процедурой. По этой процедуре отдельные операции в выражении выполняются над колонками значений и их результаты снова заносятся в колонки. Чтобы пояснить сказанное, обратимся к выражению (1.5). Поскольку в выражении присутствуют  $\bar{x}_1$  и  $\bar{x}_2$ , то в табл. 1.5 добавим две колонки для инверсных значений из первой и второй колонок. Затем выполним ИЛИ над  $x_1$  из первой колонки и  $\bar{x}_2$  из пятой. Результат заносим в шестую колонку, которая содержит значения  $x_1 + \bar{x}_2$ . Аналогично по  $\bar{x}_1$  и  $x_3$  получаем в седьмой

колонке значения  $\overline{x_1 + x_3}$ . Затем значения в шестой и седьмой колонках используем для выполнения операции И и помещаем в восьмой колонке значения  $(x_1 + \overline{x_2})(\overline{x_1 + x_3})$ . Результат вычисления  $x_2 x_3$  в девятой колонке также легко получить по второй и третьей колонкам. И наконец, выполняем операцию ИЛИ над восьмой и девятой колонками, что дает последнюю колонку, содержащую значения выражения (1.5) для всех комбинаций переменных  $x_1, x_2$  и  $x_3$ .

Можно сформулировать несколько теорем, отражающих основные соотношения булевой алгебры (табл.1.6).

Первые три пары теорем (1.6) описывают свойства операций И, ИЛИ, НЕ. Теорема (1.7), известная как *закон идемпотентности*, говорит о том, что повторяющиеся переменные в выражении излишни и их можно опустить. Теоремы (1.8) и (1.9) подчеркивают взаимодополнительную природу булевых переменных. Закон *двойного отрицания* (1.9) устанавливает, что дважды выполненное отрицание эквивалентно пустой операции.

Теорема (1.10) - *закон коммутативности* - устанавливает перестановочность переменных в операции. Теоремы (1.11) и (1.12) часто бывают полезны при упрощении булевых выражений. Теорема (1.13) *закон де Моргана* - описывает эффект взятия отрицания от переменных, связанных операциями И и ИЛИ.

В теоремах (1.14), (1.15) участвует по три переменных. Согласно *закону ассоциативности* (1.14), переменные можно группировать в любом порядке как для операции И, так и для операции ИЛИ. *закон дистрибутивности* (1.15) говорит о том, что в булевой алгебре допускается вынесение общего множителя за скобки.

Таблица 1.6

Основные теоремы булевой алгебры

|  |                                     |        |
|--|-------------------------------------|--------|
| $\bar{0} = 1$                                  | $\bar{1} = 0$                       | (1.6a) |
| $x + 0 = x$                                    | $x \cdot 1 = x$                     | (1.6б) |
| $x + 1 = 1$                                    | $x \cdot 0 = 0$                     | (1.6в) |
| $x + x = x$                                    | $x \cdot x = x$                     | (1.7)  |
| $x + \bar{x} = 1$                              | $x \cdot \bar{x} = 0$               | (1.8)  |
| $\bar{\bar{x}} = x$                            |                                     | (1.9)  |
| $x + y = y + x$                                | $x \cdot y = y \cdot x$             | (1.10) |
| $x + xy = x$                                   | $x \cdot (x + y) = x$               | (1.11) |
| $x + \bar{x}y = x + y$                         | $x \cdot (\bar{x} + y) = xy$        | (1.12) |
| $\overline{x + y} = \bar{x} \bar{y}$           | $\overline{xy} = \bar{x} + \bar{y}$ | (1.13) |
| $(x + y) + z = x + (y + z) =$<br>$= x + y + z$ | $(xy)z = x(yz) = xyz$               | (1.14) |
| $x + yz = (x + y)(x + z)$                      | $x(y + z) = xy + xz$                | (1.15) |

Следует отметить свойство симметрии, присущее теоремам булевой алгебры. Все теоремы, кроме теоремы (1.9), представлены парой соотношений. В каждой паре одно соотношение получается из другого заменой всех вхождений И на ИЛИ, всех вхождений ИЛИ на И, всех вхождений логического 0 на логические 1 и всех вхождений логической 1 на логические 0. Это свойство симметрии известно как *принцип двойственности*.

Многие теоремы, можно обобщить на случай большего числа переменных. Например, закон де Моргана в обобщенной форме можно записать так:

$$\overline{x + y + \dots + z} = \bar{x} \bar{y} \dots \bar{z}$$

$$\overline{xy \dots z} = \bar{x} + \bar{y} + \dots + \bar{z}$$

а закон дистрибутивности:

$$w + xy \dots z = (w + x)(w + y) \dots (w + z)$$

$$w(x + y + \dots + z) = wx + wy + \dots + wz$$

**Каноническая сумма минтермов.** Каноническим называют выражение, которое единственно для заданной функции и имеет стандартную форму. Каноническое выражение может быть полезным при установлении эквивалентности функций. А именно, две функции эквивалентны, если их канонические выражения совпадают.

По таблице истинности можно составить булево выражение. Одна из его форм называется *канонической суммой минтермов* или *стандартной суммой произведений*.

Рассмотрим построение канонической суммы минтермов (табл.1.7). Вторая строка таблицы, в которой функция принимает единичное значение, соответствует входной комбинации  $x_1=0, x_2=0$  и  $x_3=1$ . Рассмотрим терм, являющийся произведением  $\overline{x_1} \overline{x_2} x_3$ . Подставляя в него значения 0, 0 и 1 для  $x_1, x_2$  и  $x_3$ , получим логическую 1. Нетрудно убедиться, что для любой из остальных семи комбинаций терм равен логическому 0. Таким образом, терм  $\overline{x_1} \overline{x_2} x_3$  можно использовать для описания второй строки табл.1.7.

Таблица 1.7

Таблица истинности

| $x_1$ | $x_2$ | $x_3$ | $f$ | $\overline{f}$ |
|-------|-------|-------|-----|----------------|
| 0     | 0     | 0     | 0   | 1              |
| 0     | 0     | 1     | 1   | 0              |
| 0     | 1     | 0     | 1   | 0              |
| 0     | 1     | 1     | 0   | 1              |
| 1     | 0     | 0     | 0   | 1              |
| 1     | 0     | 1     | 1   | 0              |
| 1     | 1     | 0     | 0   | 1              |

|   |   |   |   |   |
|---|---|---|---|---|
| 1 | 1 | 1 | 0 | 1 |
|---|---|---|---|---|

Выберем следующую строку в табл.1.7 с единичным значением функции. Это третья строка, соответствующая значениям  $x_1=0$ ,  $x_2=1$  и  $x_3=0$ . Если этот набор значений подставить в терм  $\overline{x_1}x_2x_3$ , получим логическую 1. И опять это единственная комбинация значений, дающая логическую 1. Поэтому можно считать, что терм  $\overline{x_1}x_2x_3$  описывает третью строку табл.1.7. И наконец, рассуждая аналогично, придем к тому, что шестую строку в табл.1.7 с комбинацией  $x_1=1$ ,  $x_2=0$  и  $x_3=1$  представляет терм  $x_1\overline{x_2}x_3$ .

Объединяя полученные результаты, видим, что булево выражение

$$f(x_1, x_2, x_3) = \overline{\overline{x_1}x_2x_3} + \overline{x_1x_2x_3} + \overline{x_1x_2x_3}$$

точно описывает табл.1.7, поскольку каждый терм-произведение соответствует ровно одной строке с единичным значением функции, а вся сумма (дизъюнкция) соответствует совокупности из трех строк. Для остальных пяти комбинаций входов выражение дает нулевой результат. Выражение рассмотренного типа называется *канонической суммой минтермов* или *стандартной суммой произведений*. Оно определяется как сумма термов-произведений, в каждом из которых каждая переменная встречается ровно один раз, либо с отрицанием, либо без него. Сами термы-произведения называются *минтермами*. В общем случае каждая строка таблицы истинности с единичным значением функции может быть описана минтермом. Переменные, имеющие нулевые значения в строке, входят в минтерм с отрицанием, а переменные со значением единица - без отрицания. Объединение с помощью операции ИЛИ всех минтермов, построенных для строк с единичными значениями функции,

дает каноническую сумму минтермов для заданной таблицы истинности.

**Каноническое произведение макстермов.** Другая стандартная формула в булевой алгебре называется *каноническим произведением макстермов* или *стандартным произведением сумм*. Так же как и каноническая сумма минтермов, каноническое произведение макстермов может быть построено либо по таблице истинности.

Обратимся снова к табл.1.7. Таблица определяет функцию  $f$ . Таблица истинности для инверсной функции, т.е. для функции  $\overline{f}$ , получается инверсией значений в последней колонке. Результат показан в табл.1.7. Пользуясь способом, применяемым для нахождения канонической суммы минтермов по таблице истинности, можно записать каноническую сумму минтермов для  $\overline{f}$  в следующем виде:

$$\overline{f}(x_1, x_2, x_3) = \overline{x_1 x_2 x_3} + \overline{x_1 x_2 x_3} + \overline{x_1 x_2 x_3} + \overline{x_1 x_2 x_3} + \overline{x_1 x_2 x_3}$$

Если теперь выполнить отрицание над обеими частями этого равенства и воспользоваться правилами де Моргана, получим:

$$\begin{aligned} \overline{\overline{f}(x_1, x_2, x_3)} &= \overline{\overline{x_1 x_2 x_3} + \overline{x_1 x_2 x_3} + \overline{x_1 x_2 x_3} + \overline{x_1 x_2 x_3} + \overline{x_1 x_2 x_3}} = \\ &= \overline{\overline{x_1 x_2 x_3}} + \overline{\overline{x_1 x_2 x_3}} + \overline{\overline{x_1 x_2 x_3}} + \overline{\overline{x_1 x_2 x_3}} + \overline{\overline{x_1 x_2 x_3}} = \\ &= (x_1 + x_2 + x_3)(x_1 + x_2 + x_3)(x_1 + x_2 + x_3)(x_1 + x_2 + x_3)(x_1 + x_2 + x_3). \end{aligned}$$

Последнее выражение и является каноническим произведением макстермов функции.

*Каноническое произведение макстермов или стандартное произведение сумм* определяется как такое произведение сумм, в котором каждая переменная встречается в каждой сумме ровно один раз, либо с отрицанием, либо без него. Термы в выражении называются *макстермами*.

В общем случае, чтобы построить каноническое произведение макстермов по таблице истинности, нужно сначала выписать таблицу истинности для инверсной функции, заменив 1 на 0, а 0 на 1 в колонке значений функции. Затем нужно записать каноническую сумму минтермов для этой инверсной функции. И наконец, взять отрицание полученного выражения, пользуясь правилом де Моргана.

## **1.2. Простейшие комбинационные логические элементы**

К простейшим логическим элементам (ЛЭ) относятся схемы, реализующие такие логические операции, как И, ИЛИ, ИЛИ-НЕ, И-НЕ, И-ИЛИ-НЕ, Исключающее ИЛИ и др.

На рис.1.2 приведены условно-графические обозначения (УГО) логических элементов (вентилей) наиболее распространенных типов по американскому стандарту MIL/ANSI. Здесь используется система обозначений, в которой кружочек обозначает инверсию. В принятых обозначениях кружочек на входе или на выходе логического элемента соответствует булевой операции отрицания.



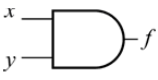
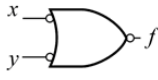
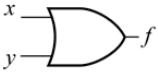
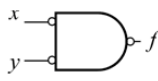
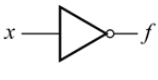
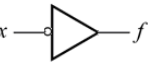
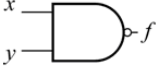
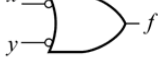

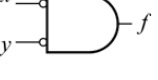





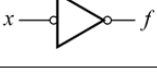
|   |   |  |
|---|---|--|
|  |  | Вентиль И<br>$f = xy = \overline{\overline{xy}}$   |
|  |  | Вентиль ИЛИ<br>$f = x + y = \overline{\overline{x+y}}$                                     |
|  |  | Вентиль НЕ<br>$f = \bar{x}$  |
|  |  | Вентиль И-НЕ<br>$f = \overline{xy} = \bar{x} + \bar{y}$                                    |
|  |  | Вентиль ИЛИ-НЕ<br>$f = \overline{x+y} = \bar{x}\bar{y}$                                    |
|  |  | Исключающее ИЛИ<br>$f = x \oplus y = x \oplus y = x\bar{y} + \bar{x}y$                     |
|  |  | Исключающее ИЛИ-НЕ<br>$f = \overline{x \oplus y} = \bar{x} \oplus y = xy + \bar{x}\bar{y}$ |
|  |  | Идентичность<br>$f = x$  |

Рис.1.2. УГО основных ЛЭ по американскому стандарту MIL/ANSI

На рис.1.3 и рис.1.4 показаны логические элементы И-НЕ по ТТЛ (транзисторно-транзисторная логика) и КМОП-технологиям (комплементарные МОП-структуры).

Вентили семейства ТТЛ выполнены только на биполярных транзисторах. Первым разработчиком ИС по технологии ТТЛ является фирма Texas Instruments (серия SN). Схему на рис.1.3 можно условно разделить на три части: комбинатор, восстановитель и буфер. Комбинационная часть представлена многоэмиттерным транзистором Т1. На схеме показаны два эмиттера, но их может быть и больше. Каждый входной сигнал подается на свой эмиттер. Каждый эмиттер образует свой р-п переход с базой.

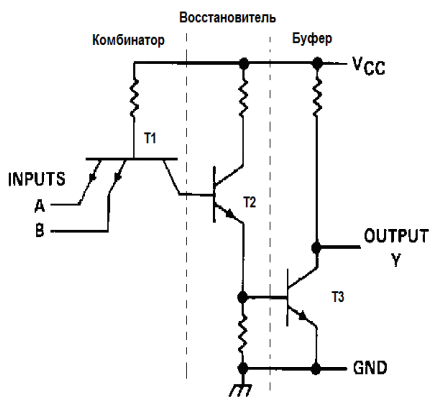


Рис.1.3. ТТЛ вентиль 2И-НЕ на биполярных транзисторах типа  $pnp$

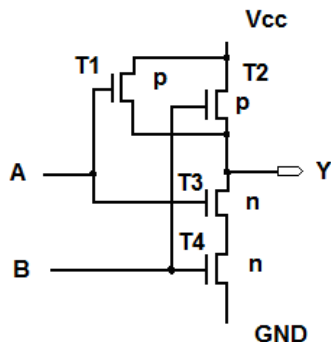


Рис.1.4. КМОП вентиль 2И-НЕ

Так как на базу транзистора  $T1$  через резистор подается положительный потенциал, то переход база-эмиттер оказывается смещенным вперед всякий раз, когда потенциал соответствующего эмиттера близок к нулевому, к потенциалу заземленной точки. Транзистор  $T1$  будет находиться в проводящем состоянии, если хотя бы один эмиттер имеет низкий потенциал (логический ноль).

В этом случае через эмиттеры с низким потенциалом будет протекать заметный ток, обусловленный в основном током базы. Когда на все эмиттеры подается высокий потенциал (логическая 1), транзистор закрыт и ток во всех эмиттерах очень слабый.

Восстановительная часть вентиля состоит из транзистора  $T2$  и двух резисторов (фазорасщепитель). База транзистора  $T2$  соединена с коллектором  $T1$ , так что ток коллектора  $T1$  является током базы  $T2$ . Когда транзистор  $T1$  открыт, ток протекает от его коллектора к эмиттеру или эмиттерам, имеющим общий потенциал. Направление этого тока противоположно току базы  $T2$ , для того что бы его переход

эмиттер-база имел прямое смещение, т.е. когда Т1 открыт, Т2 всегда закрыт (находится в состоянии отсечки) и наблюдается заметный ток от базы Т2 к коллектору Т1. Этот ток поддерживается уходящими из области базы Т2 зарядами, накопившимися за то время, пока Т2 находился в насыщенном состоянии.

Если Т1 закрыт, то его переход база-коллектор смещен в прямом направлении, благодаря тому что к резистору базы приложен потенциал + 5 В. Это обуславливает прямое смещение перехода база-эмиттер Т2, так что Т2 находится в проводящем (насыщенном) состоянии.

Буферная часть вентиля (выходной каскад) состоит из транзистора Т3 и резистора. Потенциал базы Т3 управляется эмиттером Т2. Когда Т2 находится в проводящем состоянии, потенциал его эмиттера принимает некоторое положительное значение между 0 и + 5 В. Это приводит к тому, что переход база-эмиттер буферного транзистора Т3 имеет прямое смещение, вследствие чего Т3 оказывается открытым а на выходе вентиля наблюдается потенциал, близкий к потенциалу “земли”.

Если Т2 не проводит, то уровень его потенциала на эмиттере оказывается нулевым, а переход база-эмиттер Т3 не будет иметь прямого смещения (т.е. Т3 закрыт). Благодаря резистору в коллекторной цепи буфера, на выходе вентиля установится потенциал, близкий к напряжению питания.

КМОП-вентиль построен на полевых МОП-транзисторах обоих полярностей, которые работают в режиме усиления и соединены как ключи, а не как повторители. Открытый МОП транзистор подобен низкоомному резистору, подключенному к шине питания. Для того чтобы открыть последовательно включенную пару транзисторов Т3, Т4 и закрыть нагрузочные транзисторы Т1 и Т2, на оба входа надо подать высокий уровень напряжения. Это приведет к тому, что на выходе будет вырабатываться низкий уровень.

Существует много различных семейств ТТЛ, различающихся быстродействием, потребляемой мощностью и другими характеристиками. В настоящее время наиболее популярны ТТЛ вентили по маломощной Шоттки технологии (LS-TTL) на диодно-резистивной логике, управляющую транзисторным инвертором, нагруженным на двухтактный выход (рис.1.5).

Диоды D1X, D1Y и резистор R1 образуют диодную схему И, фиксирующие диоды D2X и D2Y ограничивают нежелательные отрицательные выбросы на входах вентиля величиной, равной падению напряжения на открытом диоде, что позволяет предотвратить ложное срабатывания вентиля. Транзистор Q2 и связанные с ним резисторы R2, R3 и R4 образуют фазорасщепитель, сигналы, с выходов которого поступают на выходной каскад. Выходной каскад содержит два транзистора Q4 и Q5, один из которых в любой момент времени открыт, а другой закрыт. Выходной каскад ТТЛ-схемы называют двухтактным выходным каскадом. Подобно транзисторам с р-каналом и n-каналом в КМОП-схемах, транзисторы Q4 и Q5 осуществляют подтягивание выходного напряжения к напряжению питания или к потенциалу земли, обеспечивая на выходе сигналы высокого и низкого уровня соответственно. Резистор R5 ограничивает сквозные токи (броски тока), когда происходит переключение выходного каскада вентиля (транзисторы Q4 и Q5 кратковременно открыты).

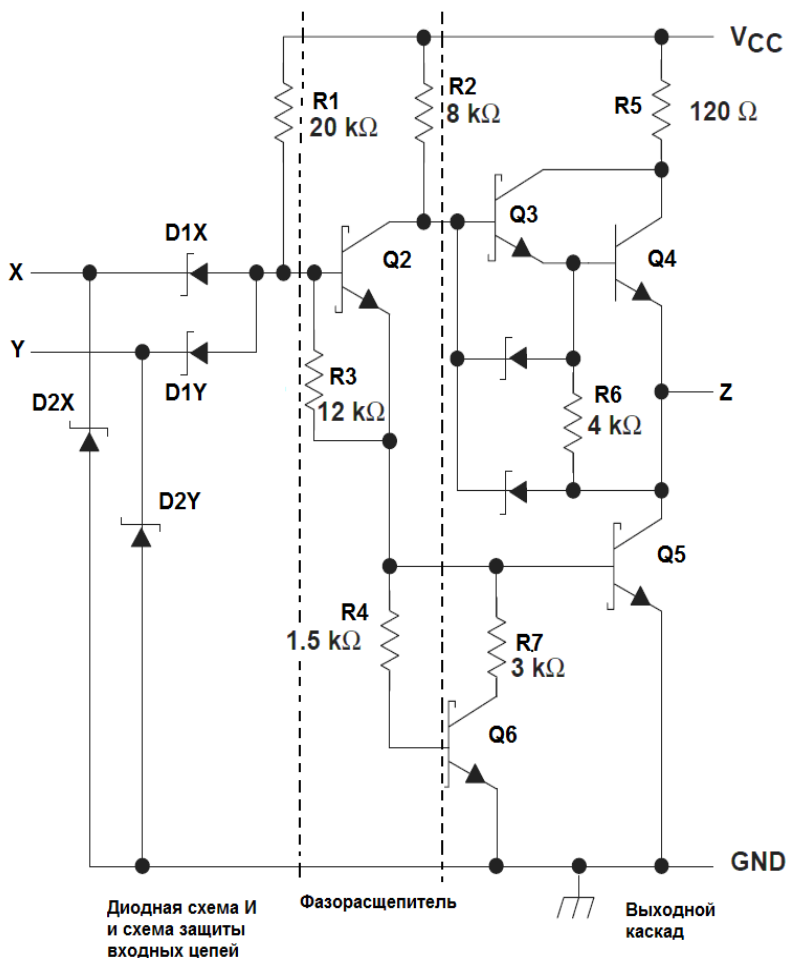


Рис.1.5. ТТЛ вентиль 2И-НЕ серии LS

Под логическими уровнями понимают диапазоны напряжений, используемые для представления логических состояний 0 и 1. Для КМОП ИС уровни даются относительно напряжения питания, которое варьируется в диапазоне от +3 до +15 В, для ТТЛ ИС уровни фиксированы (табл.1.8).

Таблица 1.8

### Значения логических уровней в КМОП и ТТЛ ИС

| Уровень      | Тип ИС              |                     |
|--------------|---------------------|---------------------|
|              | КМОП                | ТТЛ                 |
| Логическая 1 | $2/3 V_{CC}$        | $> 2.0 \text{ В}$   |
| Логический 0 | $1/3 V_{CC}$        | $< 0.8 \text{ В}$   |
| Не определен | $(1/3 - 2/3)V_{CC}$ | $0.8 - 2 \text{ В}$ |

Способность логической схемы подавлять помехи изменяется запасом помехоустойчивости и определяется как разность между минимальными значениями выходного и входного напряжений в состоянии высокого уровня и максимальными значениями выходного и входного напряжений в состоянии низкого уровня (рис.1.6). Запас помехоустойчивости для стандартных ТТЛ ИС серии 7400 составляет 0.4 В, а для КМОП ИС равен  $1/3 V_{DD}$ .

Основной статической характеристикой ЛЭ является передаточная характеристика  $V_{OUT} = f(V_{IN})$ . По типу передаточной характеристики различают инвертирующие и неинвертирующие ЛЭ. Передаточная характеристика имеет три четко выраженных участка (рис.1.7). Участок 1 соответствует состоянию  $V_{OUT} = V^0$ , участок 2 – состоянию  $V_{OUT} = V^1$ . Имеется промежуточный участок 3, на котором состояние ЛЭ не определено. В статическом режиме, значения напряжений соответствующие участку 3 недопустимы. Границы участков определяются точками единичного усиления, в которых выполняется условие  $\left| \frac{dV_{OUT}}{dV_{IN}} \right| = 1$ . Входные напряжения, определяющие границы участков, называются порогами переключения  $V_{пор}^0$  и  $V_{пор}^1$ . Разность напряжений логической 1 и логического 0 называют логическим перепадом:  $V_d = V^1 - V^0$ .

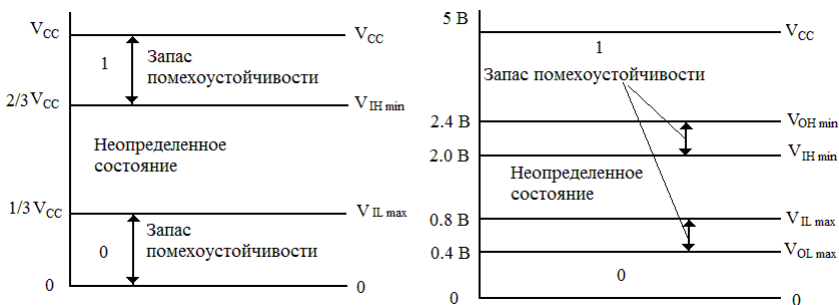


Рис.1.6. Логические уровни КМОП и ТТЛ ИС

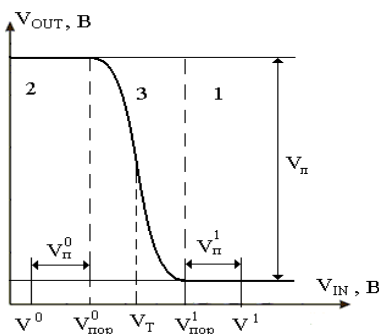


Рис.1.7. Типовая передаточная характеристика инвертирующего логического элемента

На входах ЛЭ могут появляться напряжения помехи, которые повышают или понижают входное напряжение. Если на входе действует напряжение  $V^0$ , то опасны помехи, имеющие положительную полярность, т.к. они повышают  $V_{IN}$ . При большом напряжении помехи рабочая точка на передаточной характеристике может сместиться в область переключения 3, что приведет к сбою работы ЛЭ.

Максимально допустимые постоянные напряжения помехи положительной полярности  $V_n^0$  (при напряжении логического нуля  $V^0$  на входе) и отрицательной полярности  $V_n^1$

, при напряжении  $V^1$  на входе, определяют помехоустойчивость ЛЭ по отношению к статическим помехам:

$$V_n^0 = V_{пор}^0 - V^0;$$

$$V_n^1 = V^1 - V_{пор}^1.$$

Рассмотрим в качестве примера несколько логических элементов.

Элемент И. На выходе элемента И логическая 1 появляется, если только все входы одновременно находятся в состоянии логической 1. Все остальные комбинации входов приводят к образованию на выходе логического 0.

Элемент ИЛИ. На выходе элемента ИЛИ появляется логическая 1, если хотя бы один из входов находится в состоянии логической 1.

Инвертор. Инвертор осуществляет дополнение логического состояния, т.е. логическая 1 на входе вызывает логический 0 на выходе и наоборот. Инверторы способны усиливать сигнал по току и, как буферы, применяются в схемах интерфейсов.

Рассмотрим логический элемент И-НЕ (рис.1.8). Алгебраически логическую операцию можно записать в виде  $f = \overline{(xy)}$ ; а символически она изображается в виде вентиля И со входами  $x$  и  $y$  и последующего инвертора. Кроме того, поскольку  $f = \overline{xy} = \overline{x} + \overline{y}$ , операцию И-НЕ можно представить в виде вентиля ИЛИ, входные сигналы которого подвергаются инвертированию.

В общем случае выход вентиля И-НЕ определяется как  $\overline{(x_1 x_2 \dots x_n)} = \overline{x_1} + \overline{x_2} + \dots + \overline{x_n}$ . На выходе элемента И-НЕ образуется логический 0, когда все входы одновременно находятся в состоянии логической 1. Наличие логического 0 на одном из входов, приводит к появлению логической 1 на выходе.



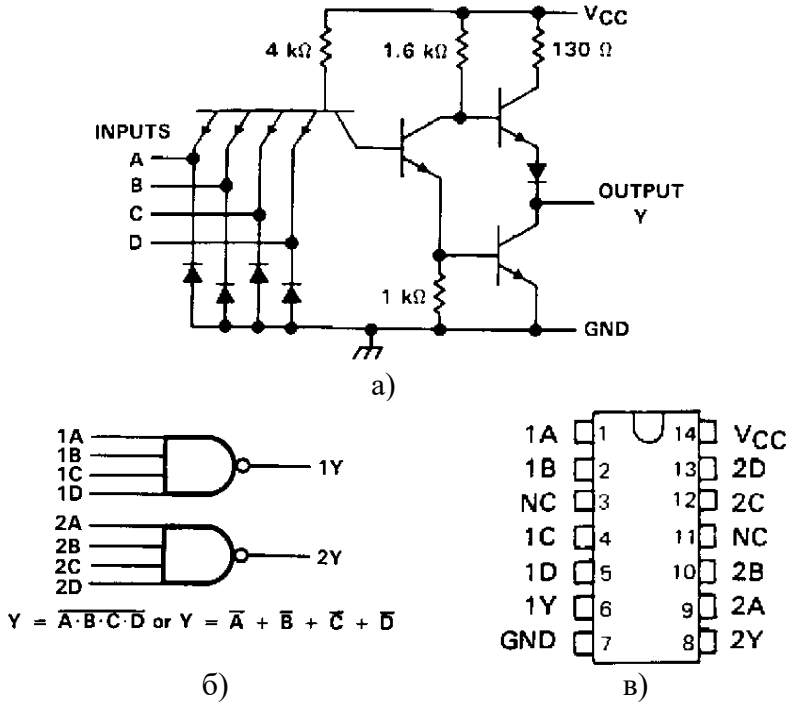


Рис.1.8. ИС типа SN7420 (два ТТЛ вентиля реализующих булеву функцию 4И-НЕ): а) электрическая схема; б) логическая диаграмма; в) корпус

Одна из причин распространенности вентилях И-НЕ в логических схемах заключается в том, что эта операция *универсальна*. Универсальной называют такую операцию, с помощью которой можно реализовать все три базисные булевы операции И, ИЛИ и НЕ. Свойство универсальности поясняется на рис.1.9. Из него следует, что любую комбинационную логическую схему можно реализовать, используя только вентили И-НЕ.

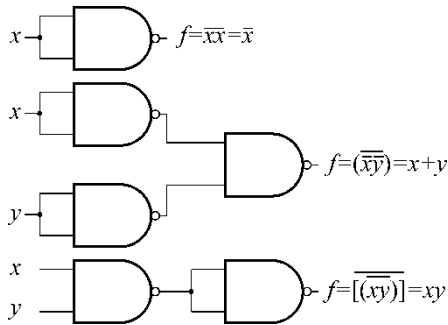
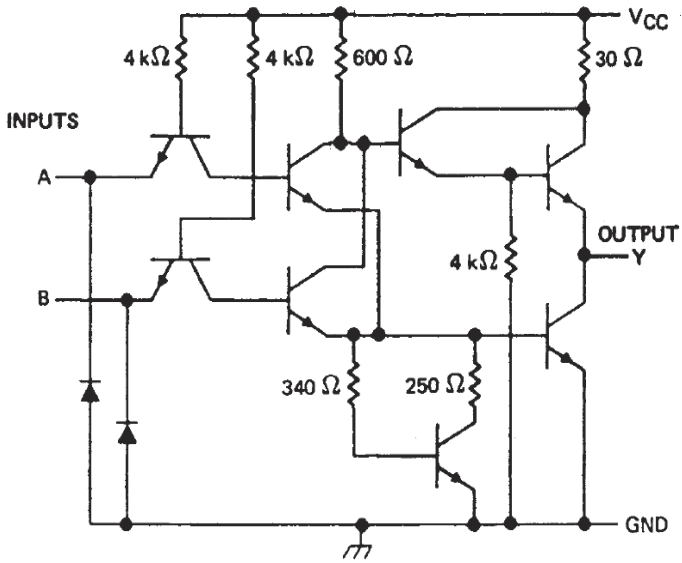


Рис.1.9. Свойство универсального вентиля И-НЕ

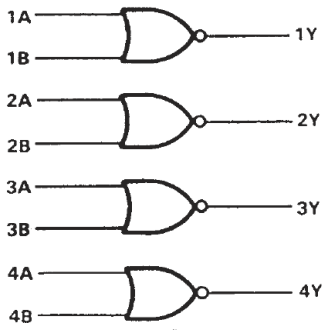
Элемент ИЛИ-НЕ (рис.1.10). Алгебраически логическая операция ИЛИ-НЕ записывается как  $f = \overline{(x + y)}$  и представляется вентиляем ИЛИ со входами  $x$  и  $y$  и с инвертором на выходе. Поскольку  $\overline{(x + y)} = \overline{xy}$ , функцию ИЛИ-НЕ можно также представить в виде вентиля И с инверторами на входах.

В общем случае выход вентиля ИЛИ-НЕ определяется как  $\overline{(x_1 + x_2 + \dots + x_n)} = \overline{x_1 x_2 \dots x_n}$ . Элемент выдает на выходе логическую 1, если только все его входы одновременно находятся в состоянии логического 0. Наличие логической 1 на одном из входов, независимо от другого, приводит к логическому 0 на выходе.

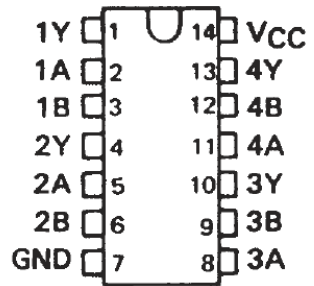
Свойство универсальности проиллюстрировано на рис.1.11, где показано построение трех базовых булевых функций с помощью одних только вентилях ИЛИ-НЕ.



а)



б)



в)

Рис.1.10. ИС типа SN7428 (четыре ТТЛ вентиля реализующих булеву функцию 2ИЛИ-НЕ): а) электрическая схема; б) логическая диаграмма; в) корпус

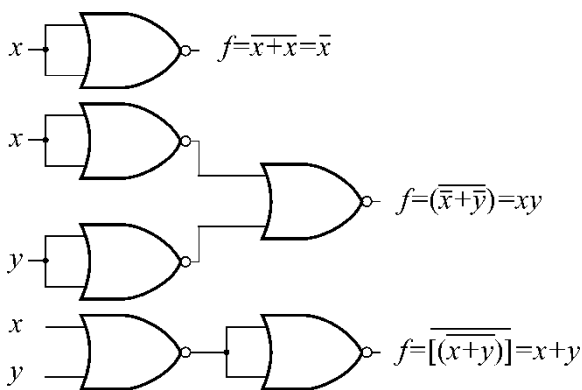


Рис.1.11. Свойство универсального вентиля ИЛИ-НЕ

Функции Исключающее ИЛИ и Исключающее ИЛИ-НЕ. Операция Исключающее ИЛИ часто обозначается символом  $\oplus$  и называется также сложением по модулю 2. По определению  $x \oplus y$  принимает значение логической 1 тогда и только тогда, когда или  $x$ , или  $y$ , но не оба сразу равны логической 1; в противном случае значение  $x \oplus y$  равно логическому 0. Алгебраически логическая операция Исключающее ИЛИ записывается в виде:

$$x \oplus y = \bar{x}y + x\bar{y}$$

Для отрицания - Исключающего ИЛИ-НЕ имеем:

$$\overline{x \oplus y} = \overline{\bar{x}y + x\bar{y}} = (x + \bar{y})(\bar{x} + y) = xy + \bar{x}\bar{y}$$

Из этого уравнения следует, что  $\overline{x \oplus y}$  принимает значение логической 1 тогда и только тогда, когда  $x$  и  $y$  имеют одинаковые значения; в противном случае  $\overline{x \oplus y}$  равно логическому 0. По этой причине операцию Исключающее ИЛИ-НЕ часто называют ЭКВИВАЛЕНТНОСТЬЮ.

В то время как вентили И-НЕ и ИЛИ-НЕ, как правило, бывают многовходовыми, вентили для Исключающего ИЛИ и ЭКВИВАЛЕНТНОСТИ имеют обычно только по два входа.

Буффер. Треугольник на рис.1.2 обозначает буферный усилитель, или формирователь. С его помощью осуществляется усиление и восстановление формы сигнала, разделение выхода от входа, а также электрическое согласование схем по входам и выходам. Логически его выход идентичен входу.

### 1.3. Преобразователи кодов

Для представления любой десятичной цифры 0, 1, ..., 9 достаточно использовать два символа 0 и 1. На практике применяется 4-разрядный код 8-4-2-1 (двоично-десятичный код, ДДК). Числа 8, 4, 2 и 1 являются весами разрядов ДДК (табл.1.9). Например, запись десятичной цифры в коде 8-4-2-1 совпадает с записью двоичных чисел от 0 до 9 (например, 0101 в двоичном коде (ДК) соответствует 5), а n- разрядное десятичное число (ДЧ) представляется с помощью тетрад, каждая из которых состоит из четырех двоичных разрядов (например, 975 - 100101110101).

Одно 4-разрядное двоичное число позволяет представить десятичные числа от 0 до 15. Для записи двоично-десятичного числа требуется больше разрядов, чем для записи двоичного. Не предусмотренные ДДК цифры от 10 до 15 называются псевдотетрадами. Для исправления записи псевдотетрад следует уменьшить их на 10 (1010) и следующий по старшинству разряд увеличить на 1 (табл.1.10). Данный результат можно получить и другим способом, добавив к псевдотетраде число 6 (0110) (табл.1.11).

Таким образом, числа до 9 включительно остаются без изменения. Свыше числа 9, представляющие собой псевдотетрады, подвергаются коррекции (К).

Таблица 1.9

## Представление ДЧ в ДДК

| ДЧ | Вес           |          |          |          |               |          |          |          |
|----|---------------|----------|----------|----------|---------------|----------|----------|----------|
|    | Десятки       |          |          |          | Единицы       |          |          |          |
|    | $\times 10^1$ |          |          |          | $\times 10^0$ |          |          |          |
|    | <b>8</b>      | <b>4</b> | <b>2</b> | <b>1</b> | <b>8</b>      | <b>4</b> | <b>2</b> | <b>1</b> |
| 1  | 2             | 3        | 4        | 5        | 6             | 7        | 8        | 9        |
| 0  | 0             | 0        | 0        | 0        | 0             | 0        | 0        | 0        |
| 1  | 0             | 0        | 0        | 0        | 0             | 0        | 0        | 1        |
| 2  | 0             | 0        | 0        | 0        | 0             | 0        | 1        | 0        |
| 3  | 0             | 0        | 0        | 0        | 0             | 0        | 1        | 1        |
| 4  | 0             | 0        | 0        | 0        | 0             | 1        | 0        | 0        |
| 5  | 0             | 0        | 0        | 0        | 0             | 1        | 0        | 1        |
| 6  | 0             | 0        | 0        | 0        | 0             | 1        | 1        | 0        |
| 7  | 0             | 0        | 0        | 0        | 0             | 1        | 1        | 1        |
| 8  | 0             | 0        | 0        | 0        | 1             | 0        | 0        | 0        |
| 9  | 0             | 0        | 0        | 0        | 1             | 0        | 0        | 1        |
| 10 | 0             | 0        | 0        | 1        | 0             | 0        | 0        | 0        |
| 11 | 0             | 0        | 0        | 1        | 0             | 0        | 0        | 1        |
| 12 | 0             | 0        | 0        | 1        | 0             | 0        | 1        | 0        |
| 13 | 0             | 0        | 0        | 1        | 0             | 0        | 1        | 1        |
| 14 | 0             | 0        | 0        | 1        | 0             | 1        | 0        | 0        |
| 15 | 0             | 0        | 0        | 1        | 0             | 1        | 0        | 1        |
| 16 | 0             | 0        | 0        | 1        | 0             | 1        | 1        | 0        |
| 17 | 0             | 0        | 0        | 1        | 0             | 1        | 1        | 1        |
| 18 | 0             | 0        | 0        | 1        | 1             | 0        | 0        | 0        |
| 19 | 0             | 0        | 0        | 1        | 1             | 0        | 0        | 1        |
| 20 | 0             | 0        | 1        | 0        | 0             | 0        | 0        | 0        |

Таблица 1.10

Преобразование ДЧ в ДДК путем уменьшения псевдотетрад на 10 и увеличением старшего разряда на 1

|           | Десятки |   |   |   | Единицы |   |   |   |
|-----------|---------|---|---|---|---------|---|---|---|
| Псевдо 13 | 0       | 0 | 0 | 0 | 1       | 1 | 0 | 1 |

|                         |   |   |   |   |   |   |   |   |
|-------------------------|---|---|---|---|---|---|---|---|
| - 10                    | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 |
| Правильная запись<br>13 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 |

Таблица 1.11

Преобразование ДК в ДДК путем добавления к псевдотетраде числа 6

|                         | Десятки |   |   |   | Единицы |   |   |   |
|-------------------------|---------|---|---|---|---------|---|---|---|
| Псевдо 13               | 0       | 0 | 0 | 0 | 1       | 1 | 0 | 1 |
| + 6                     | 0       | 0 | 0 | 0 | 0       | 1 | 1 | 0 |
| Правильная запись<br>13 | 0       | 0 | 0 | 1 | 0       | 0 | 1 | 1 |

### 1.3.1. Преобразователь двоично-десятичного кода в двоичный код

Преобразование ДДК в ДК можно сделать путем последовательного деления десятичного числа на 2. Если оно не четное то в остатке получится 1, т.е. в разряде  $2^0$  записывается 1. Затем частное от деления еще раз делится на 2, и, если остаток равен нулю, в разряде  $2^1$  записывается 0. Если остаток равен 1, то в этом разряде записывается 1. Аналогично получают и более старшие разряды двоичного числа.

Для построения преобразователя ДДК в двоичный код (ДК) необходимо спроектировать элементарный преобразователь кодов (КС – коррекция, сдвиг) и установить правила соединений таких преобразователей для получения схемы, позволяющей преобразовывать многоразрядные ДДК в ДК (табл.1.12).

Таблица 1.12

Таблица переключений элементарного преобразователя (КС) для преобразований ДДК в ДК

| ДЧ       | Вход  |       |       |       | Выход |       |       |       | Функция |
|----------|-------|-------|-------|-------|-------|-------|-------|-------|---------|
|          | 8     | 4     | 2     | 1     |       |       |       |       |         |
| <i>I</i> | $x_4$ | $x_3$ | $x_2$ | $x_1$ | $y_4$ | $y_3$ | $y_2$ | $y_1$ | $Y$     |
| 0        | 0     | 0     | 0     | 0     | 0     | 0     | 0     | 0     | X       |
| 1        | 0     | 0     | 0     | 1     | 0     | 0     | 0     | 1     | X       |
| 2        | 0     | 0     | 1     | 0     | 0     | 0     | 1     | 0     | X       |
| 3        | 0     | 0     | 1     | 1     | 0     | 0     | 1     | 1     | X       |
| 4        | 0     | 1     | 0     | 0     | 0     | 1     | 0     | 0     | X       |
| 8        | 1     | 0     | 0     | 0     | 0     | 1     | 0     | 1     | X-3     |
| 9        | 1     | 0     | 0     | 1     | 0     | 1     | 1     | 0     | X-3     |
| 10       | 1     | 0     | 1     | 0     | 0     | 1     | 1     | 1     | X-3     |
| 11       | 1     | 0     | 1     | 1     | 1     | 0     | 0     | 0     | X-3     |
| 12       | 1     | 1     | 0     | 0     | 1     | 0     | 0     | 1     | X-3     |

Преобразование ДДЧ в ДЧ выполняется с помощью операции сдвига числа в сторону младших разрядов и коррекции числа, получаемого после сдвига. Сдвиг двоичного числа на один разряд в сторону младших разрядов (на один разряд вправо) эквивалентен делению числа на два без учета младшего разряда, который теряется или поступает в другой сдвигающий регистр. При сдвиге двоично-десятичного числа на один разряд вправо получаемое число не равно исходному, деленному на два. Чтобы в результате сдвига получалось такое число, необходимо производить коррекцию результата сдвига.

В табл.1.13 показан пример сдвига двоично-десятичного числа 9475 на один разряд вправо. Используются следующие обозначения: ДЧ – десятичное число; ДДЧ – двоично-десятичное число; С – сдвиг; К – коррекция; МР – младший разряд. После сдвига числа 9475 и соответствующей коррекции получается число 4737.

Таблица 1.13

Пример сдвига двоично-десятичного числа на один разряд вправо

| ДЧ  | 9             |   |   |   | 4             |   |   |   | 7             |   |   |   | 5             |   |   |   | МР |
|-----|---------------|---|---|---|---------------|---|---|---|---------------|---|---|---|---------------|---|---|---|----|
| Вес | $\times 10^3$ |   |   |   | $\times 10^2$ |   |   |   | $\times 10^1$ |   |   |   | $\times 10^0$ |   |   |   |    |
|     | 8             | 4 | 2 | 1 | 8             | 4 | 2 | 1 | 8             | 4 | 2 | 1 | 8             | 4 | 2 | 1 |    |
|     |               |   |   |   |               |   |   |   |               |   |   |   |               |   |   |   |    |



|     |   |   |   |   |    |   |   |   |   |   |   |   |    |   |   |   |   |
|-----|---|---|---|---|----|---|---|---|---|---|---|---|----|---|---|---|---|
| ДДЧ | 1 | 0 | 0 | 1 | 0  | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0  | 1 | 0 | 1 |   |
| С   | 0 | 1 | 0 | 0 | 1  | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1  | 0 | 1 | 0 | 1 |
| ДЧ  | 4 |   |   |   | 10 |   |   |   | 3 |   |   |   | 10 |   |   |   |   |
| К   | 0 | 0 | 0 | 0 | 0  | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0  | 0 | 1 | 1 |   |
| ДДЧ | 0 | 1 | 0 | 0 | 0  | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 0  | 1 | 1 | 1 | 1 |
| ДЧ  | 4 |   |   |   | 7  |   |   |   | 3 |   |   |   | 7  |   |   |   |   |

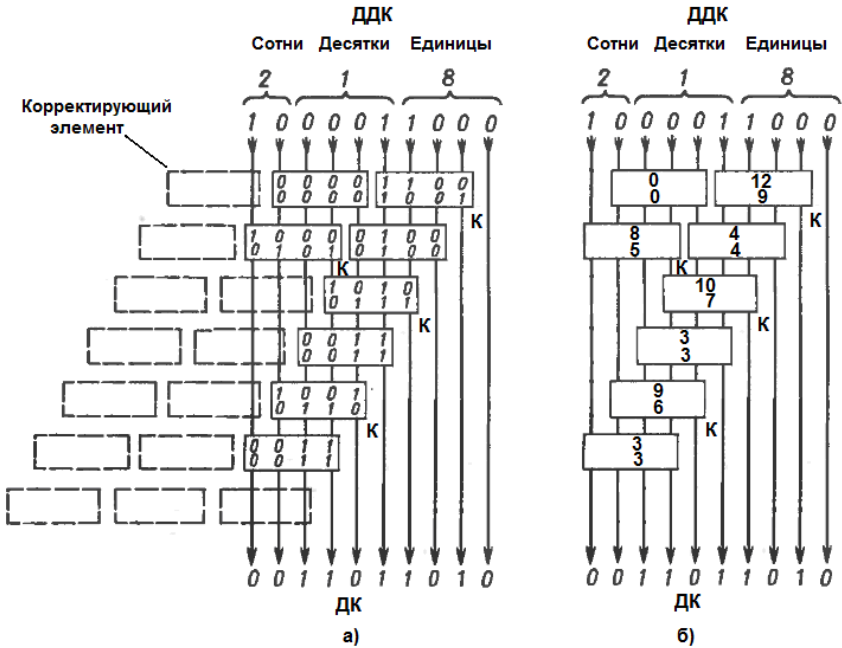


Рис.1.12. Идея преобразования ДДК в ДК

На рис.1.12 показана идея метода преобразования ДДК в ДК. На рис.1.12 в строке изображены все три элементарные преобразователи (корректирующие элементы). Границы тетрад сдвигаются справа на лево. Если старший разряд корректирующего элемента не используется, то коррекция не нужна (такие элементы изображены пунктирной линией).

Если в старший разряд тетрады, имеющий множитель  $10^j$ , поступает единица, то она приобретает вес  $8 \cdot 10^j$ . До сдвига эта единица имела вес  $10^{j+1}$ , поэтому для получения при

сдвиге деления на два ей следует приписать вес  $2^{-1} * 10^{j+1}$ . Из этого следует, что необходимо произвести коррекцию, т.е. вычесть число  $3 * 10^j$ . Если в старший разряд какой-либо тетрады поступает нуль, то коррекцию производить не нужно. Таким образом, если старший разряд в декаде равен 1, то необходимо данную декаду уменьшить на 3.

Пусть элементарный преобразователь имеет четыре входа и четыре выхода. Операция сдвига реализуется подачей на три входа трех старших разрядов  $j$ -й тетрады, а на четвертый вход – первого разряда  $j+1$  –й тетрады.

На вход преобразователя поступают двоичные 4-разрядные числа  $X = (x_4, x_3, x_2, x_1)$ . Числа  $X = 5, 6, 7, 13, 14, 15$  не могут поступать на вход преобразователя. Минимальное и максимальное число  $j$ -й тетрады лежит в диапазоне от 0 до 9:  $A_{\min} = (0, 0, 0, 0)$  и  $A_{\max} = (1, 0, 0, 01)$ . В случае не поступления единицы из младшего разряда  $j+1$ -й тетрады:

$$x_4 = 0 \text{ то } X_{\min} = (0, 0, 0, 0) \text{ и } X_{\max} = (0, 1, 0, 0) = 4(\text{Д}).$$

В случае поступления единицы из младшего разряда  $j+1$ -й тетрады:

$$x_4 = 1 \text{ то } X_{\min} = (1, 0, 0, 0) = 8(\text{Д}) \text{ и } X_{\max} = (1, 1, 0, 0) = 12(\text{Д}).$$

Таким образом преобразователь кода выполняет функцию:

$$Y = f(X) = \begin{cases} X, & 0 \leq X \leq 4, \\ X - 3, & 8 \leq X \leq 12 \end{cases}, \quad (1.16)$$

где  $Y$  – двоичное число, получаемое на выходе преобразователя кода.

На рис.1.13, а показано УГО элементарного преобразователя кодов. В левом и правом дополнительных полях указаны веса, с которыми воспринимаются и выдаются входные и выходные сигналы. Вес старшего входного разряда преобразователя кодов на три меньше, чем вес выходного старшего разряда.

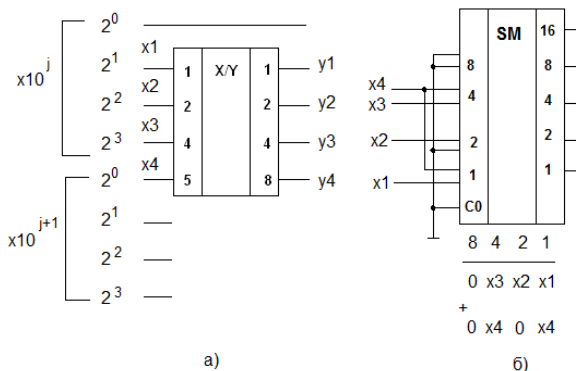


Рис.1.13. УГО элементарного преобразователя кодов ДДК в ДК (а) и преобразователь кодов на сумматоре (б)

На рис.1.13, б показана схема преобразователя кодов КС, выполненная на сумматоре. В случае поступления единицы из младшего разряда  $j+1$ -й тетрады  $x_4=1$ , то от числа  $X = (x_4, x_3, x_2, x_1)$  следует отнять число 3, что эквивалентно сложению числа  $X = (0, x_3, x_2, x_1)$  с числом 5 которое является дополнением числа 3 до 8, например, сложение десятичного числа 2 с десятичным числом 5 эквивалентно вычитанию из 10 числа 3.

Преобразователь 3-разрядного двоично-десятичного числа 975 в двоичный код показан на рис.1.14. Максимальное 3-разрядное десятичное число равно 999, поэтому максимальный вес старшего двоичного разряда будет равен  $2^9 = 512$ . Если на вход КС с весом 5 подается ноль, то КС не может изменять входных сигналов.

Преобразователь имеет пирамидальную структуру. Так как самый младший разряд ДДК совпадает с младшим разрядом ДК, то этот разряд не преобразуется, т.е. подается со входа на выход. Следующие по старшенству разряды ДДК подаются со сдвигом на входы двух КС (производится сдвиг на один разряд). Второй сдвиг на один разряд осуществляется с помощью следующих двух КС и т.д. Веса разрядов входных сигналов всех

КС находятся в отношении 1:2:4:5, т.к. каждый КС преобразует только один двоично-десятичный разряд в двоичный разряд (вес 5 изменяется на вес 8). Пирамида строится из КС до тех пор, пока не будут получены выходные сигналы со всеми весами  $2^p$ , где  $p = 0, 1, 2 \dots$  при условии, что полученное двоичное число не меньше исходного двоично-десятичного.

Преобразователь кодов можно построить с использованием ПЗУ. ИС типа К155ПР6 (зарубежный функциональный аналог ИС типа SN74181) и К155ПР7 – одинаковые кристаллы ПЗУ с программами взаимного преобразования ДДК и ДК. Организация кристалла ПЗУ 32 x 8 бит, дешифратор адресов – 5 –разрядный (входы А, В, С, D, Е). ИС ПР6 (рис.1.15) по адресам А, В, С, D, Е принимает ДДК с весом разрядов 1-2-4-5-10 и генерирует ДК. При  $G=L$  преобразование разрешено, при  $G=H$  запрещено, на выходах  $Y1 \dots Y5 - H$ . Шестиразрядный преобразователь ПР6 принимает ДДК и имеет вес МЗДР (младшие значащие десятичные разряды): 1,2,4,5 и старших СЗДР (старшие значащие десятичные разряды): 10 и 20. Входной байт у ПР6 6-разрядный. Младший разряд  $2^0=1$  можно давать на прямую. Код с большим числом разрядов получается каскадированием ПР6. Вес ДДК старших ИС надо увеличить на декаду.

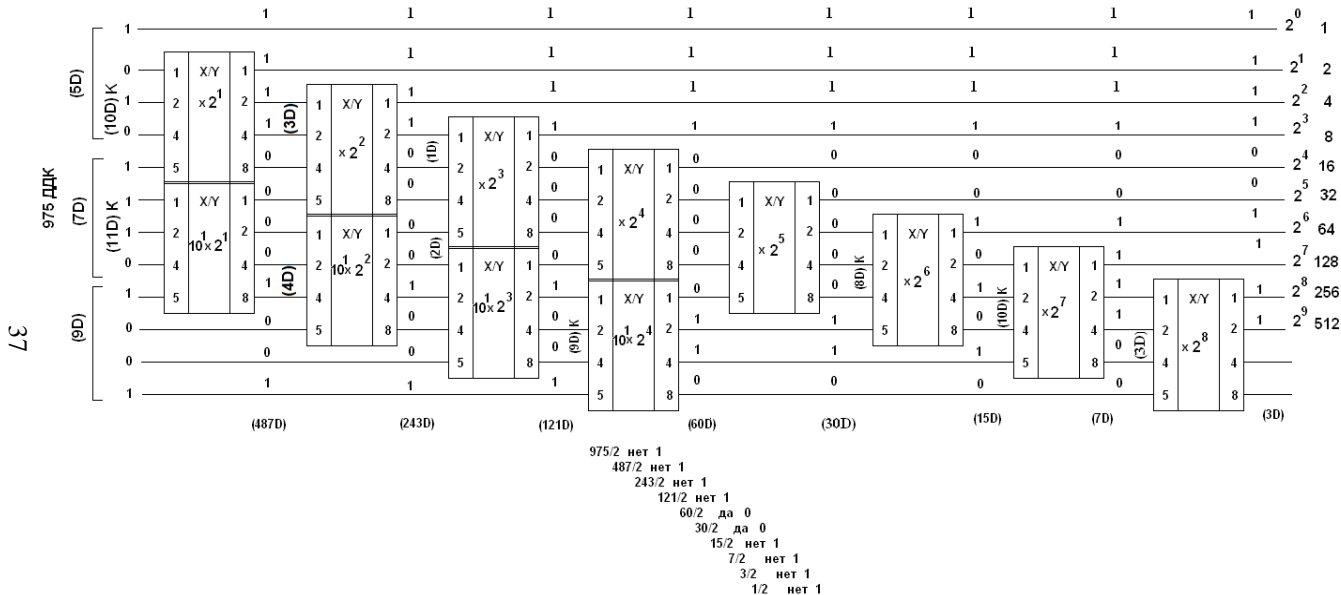


Рис.1.14. Преобразователь 3-разрядного двоично-десятичного числа в двоичный код. На входы подается десятичное число 975, которое представляется в ДДК как 100101110101, а с выхода снимается двоичное число 111001111 (D-десятичное число, K-коррекция)

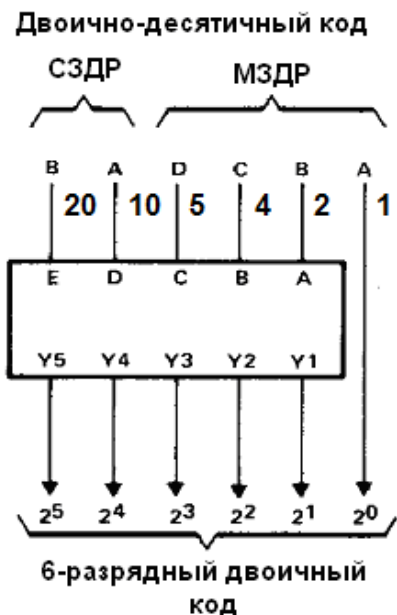


Рис.1.15. Шестиразрядный преобразователь ПЗУ ИС типа К155ПР6 ДДК в ДК (ИС типа SN74181)

Преобразователь ПР6 выполняет следующую функцию (табл.1.14):

$$Y = f(X) = \begin{cases} X, & 0 \leq X \leq 4, \\ X - 3, & 8 \leq X \leq 12, \\ X - 6, & 16 \leq X \leq 20, \\ X - 9, & 24 \leq X \leq 28, \end{cases} \quad (1.17)$$

где  $X = (x_5, x_4, x_3, x_2, x_1)$ ,  $Y = (y_5, y_4, y_3, y_2, y_1)$ . Значения  $X = 5, 6, 7, 13, 14, 15, 21, 22, 23, 29, 30, 31$  не могут появляться на входах преобразователя кодов.

На рис.1.16 показана схема преобразователя 2-разрядного десятичного числа, представленного в ДДК в ДК, а на рис.1.17 трехразрядного.

Таблица 1.14

Логические уровни при преобразовании двоично-десятичных слов ПЗУ ИС типа К155ПР6

| Номер слова | Входы |   |   |   |   |           | Выход |    |    |    |    | Функция Y                   |
|-------------|-------|---|---|---|---|-----------|-------|----|----|----|----|-----------------------------|
|             | Вес   |   |   |   |   |           | Вес   |    |    |    |    |                             |
|             | 10    | 5 | 4 | 2 | 1 |           | 16    | 8  | 4  | 2  | 1  |                             |
|             | E     | D | C | B | A | $\bar{G}$ | Y5    | Y4 | Y3 | Y2 | Y1 |                             |
| 0           | L     | L | L | L | L | L         | L     | L  | L  | L  | L  | X,<br>$0 \leq X \leq 4$     |
| 1           | L     | L | L | L | H | L         | L     | L  | L  | L  | H  |                             |
| 2           | L     | L | L | H | L | L         | L     | L  | H  | L  | L  |                             |
| 3           | L     | L | L | H | H | L         | L     | L  | L  | H  | H  |                             |
| 4           | L     | L | H | L | L | L         | L     | L  | H  | L  | L  |                             |
| 5           | L     | H | L | L | L | L         | L     | L  | H  | L  | H  | X-3,<br>$8 \leq X \leq 12$  |
| 6           | L     | H | L | L | H | L         | L     | L  | H  | H  | L  |                             |
| 7           | L     | H | L | H | L | L         | L     | L  | H  | H  | H  |                             |
| 8           | L     | H | L | H | H | L         | L     | H  | L  | L  | L  |                             |
| 9           | L     | H | H | L | L | L         | L     | H  | L  | L  | H  |                             |
| 10          | H     | L | L | L | L | L         | L     | H  | L  | H  | L  | X-6,<br>$16 \leq X \leq 20$ |
| 11          | H     | L | L | L | H | L         | L     | H  | L  | H  | H  |                             |
| 12          | H     | L | L | H | L | L         | L     | H  | H  | L  | L  |                             |
| 13          | H     | L | L | H | H | L         | L     | H  | H  | L  | H  |                             |
| 14          | H     | L | H | L | L | L         | L     | H  | H  | H  | L  |                             |
| 15          | H     | H | L | L | L | L         | L     | H  | H  | H  | H  | X-9,<br>$24 \leq X \leq 28$ |
| 16          | H     | H | L | L | H | L         | H     | L  | L  | L  | L  |                             |
| 17          | H     | H | L | H | L | L         | H     | L  | L  | L  | H  |                             |
| 18          | H     | H | L | H | H | L         | H     | L  | L  | H  | L  |                             |
| 19          | H     | H | H | L | L | L         | H     | L  | L  | H  | H  |                             |
| Любое       | X     | X | X | X | X | H         | H     | H  | H  | H  | H  |                             |

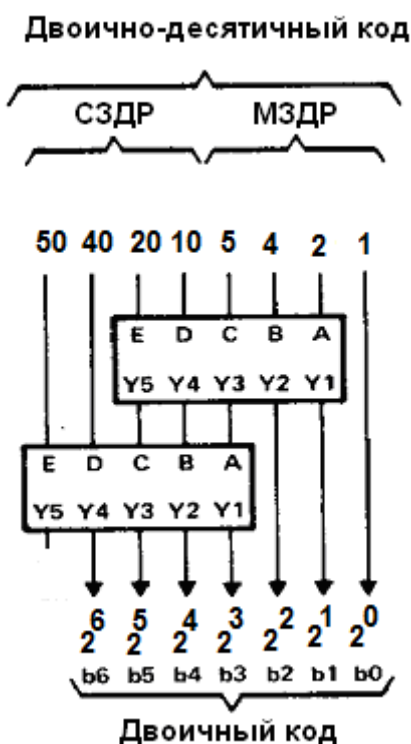


Рис.1.16. Двухразрядный (декадный) преобразователь десятичного числа представленного в ДДК в ДК на ИС типа К155ПР6

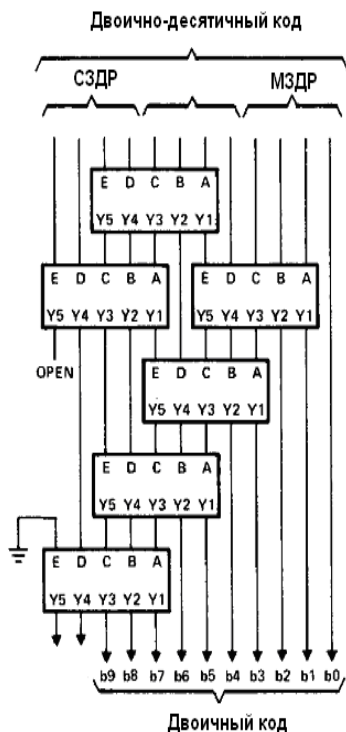


Рис.1.17. Трехразрядный (декадный) преобразователь десятичного числа представленного в ДДК в ДК на ИС типа К155ПР6

Преобразователи ДК в ДДК могут быть построены с использованием сумматоров на ИС типа SN7483 (рис.1.18). Рассмотрим преобразователь двузначного числа в ДДК в 7-разрядное двоичное число. Данный преобразователь просто и экономично выполняется двумя 4-разрядными сумматорами.



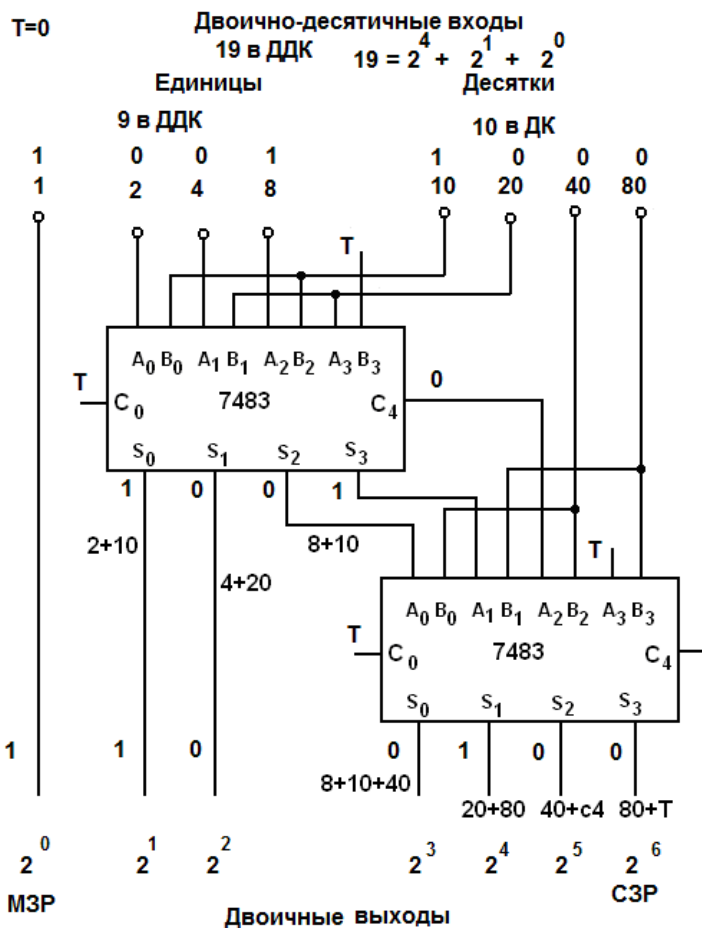


Рис.1.18. Преобразование десятичного числа 19 представленного в ДДК в ДК на сумматорах ИС типа SN7483

Необходимые соединения определяются выражением каждого из весомозначных двоично-десятичных разрядов через числа, являющиеся разными степенями 2:

$$80 = 64 + 16 = 2^6 + 2^4$$

$$40 = 32 + 8 = 2^5 + 2^3$$

$$10 = 8 + 2 = 2^3 + 2^1$$

Располагая двоично-десятичные и двоичные числа в упорядоченные ряды (табл.1.15) видно, какие из двоично-десятичных входов должны быть, просуммированы для получения различных двоичных выходов. Например, выход  $2^0$  соответствует младшему значащему разряду двоично-десятичного знака единиц, для получения выхода  $2^1$  необходимо просуммировать входы 2 и 10. Сумма  $2^3$  имеет более двух входов (8, 10 и 40) поэтому не может быть реализована одиночным каскадом сумматора. Для выхода  $2^3$  сумма частично образуется в первом сумматоре и завершается во втором (рис.1.18).

Входы, отмеченные через Т, должны иметь обозначение “Низкий” при активных высоких входах и обозначение “Высокий” при активных низких входах.

Таблица 1.15

Двоично-десятичное преобразование в двоичное на сумматорах

| Входы<br>ДДК, | Двоичные выходы |       |       |       |       |       |       |
|---------------|-----------------|-------|-------|-------|-------|-------|-------|
|               | $2^0$           | $2^1$ | $2^2$ | $2^3$ | $2^4$ | $2^5$ | $2^6$ |
|               | 1               | 2     | 4     | 8     | 16    | 32    | 64    |
| 1             | x               |       |       |       |       |       |       |
| 2             |                 | x     |       |       |       |       |       |
| 4             |                 |       | x     |       |       |       |       |
| 8             |                 |       |       | x     |       |       |       |
| 10            |                 | x     |       | x     |       |       |       |
| 20            |                 |       | x     |       | x     |       |       |
| 40            |                 |       |       | x     |       | x     |       |
| 80            |                 |       |       |       | x     |       | x     |

### 1.3.2. Преобразователи двоичного кода в двоично-десятичный код

Для преобразования десятичного числа представленного в двоичном коде (ДК) в двоично-десятичный код (ДДК), двоичное число, начиная со старшего разряда, вдвигается справа налево в двоично-десятичную разрядную сетку (рис.1.19). Когда какая-либо единица пересекает границу между двоично-десятичными разрядами, возникает ошибка. Например, при сдвиге двоичного числа 1000 (8) в лево, разрядное значение 1 увеличивается с 8 до 16 (10000), тогда как для двоично-десятичного числа оно возрастает с 8 до 10 (вес 8 увеличивается до веса 10). Поэтому двоично-десятичное число уменьшается как бы на 6. Следовательно, для коррекции необходимо прибавлять 6 к числу во всех случаях, когда единица пересекает границу между двоично-десятичными разрядами. К числу десятков надо прибавить 6, если единица перейдет в разряд сотен, и т.д. Составленное таким образом двоично-десятичное число имеет правильное значение, однако оно может содержать псевдотетрады. Чтобы этого не было, возникающие псевдотетрады корректируют непосредственно после каждого шага сдвига, прибавляя 6 к соответствующей декаде с переносом 1 в следующую.

На практике, перед сдвигом прибавляют 3 а не 6. Необходимость корреции определяют перед сдвигом. Если значение тетрады меньше или равно 4 (0100), то при последующем сдвиге не произойдет перехода единицы через границу между декадами и не возникнут псевдотетрады. Если значение тетрады перед сдвигом 5 (0101), 6 (0110) или 7 (0111), то также не произойдет перехода 1 через границу, поскольку старший разряд равен 0. Однако при этом возникнут псевдотетрады: 10, 12, 14 или 11, 13, 15 в зависимости от того, будет ли в младший разряд сдвинут 0 или 1. Следовательно, в этих случаях необходима коррекция псевдотетрад путем прибавления 3 перед сдвигом (рис.1.19). Для значений тетрад 8 и 9 так же необходима коррекция.



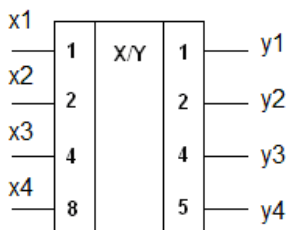


Рис.1.20. УГО  
элементарного  
преобразователя кодов ДК в  
ДДК

На рис.1.21 показан способ преобразования ДК в ДДК с помощью комбинационной схемы. Вместо сдвига числа справа налево здесь слева направо сдвигаются границы двоично-десятичных разрядов, а каждая полученная тетрада корректируется в соответствии с табл.1.16. На вход преобразователей нельзя подавать двоичные числа 10...15, т.к. они превышают сумму весов выходных сигналов  $5+4+2+1=12$ . Поэтому вес 8 элементарного преобразователя должен быть “заземлен”.

На рис.1.22 приведена комбинационная схема преобразователя 10-разрядного двоичного числа в 4-разрядное десятичное число, представленное в ДДК с помощью элементарного преобразователя кодов.

Правила составления преобразователя ДК в ДДК: веса разрядов входных сигналов всех преобразователей кодов должны находиться в отношении 1:2:4:8, т.к. каждый преобразователь кодов преобразует только один двоичный разряд в двоично-десятичный разряд (вес 8 изменяется на вес 5). Поэтому преобразователь ДК в ДДК имеет пирамидальную структуру. Построение пирамиды продолжается до тех пор, пока не будут получены веса  $10^j * 2^1$ , где  $j = 0, 1, 2, \dots$  (за исключением старшего десятичного разряда).

Таблица 1.16

Таблица переключений элементарного преобразователя (КС)  
для преобразований ДК в ДДК

| Десятичный знак | Вход  |       |       |       | Выход |       |       |       | Функция  |
|-----------------|-------|-------|-------|-------|-------|-------|-------|-------|----------|
| <i>I</i>        | $x_4$ | $x_3$ | $x_2$ | $x_1$ | $y_4$ | $y_3$ | $y_2$ | $y_1$ | <i>Y</i> |
| 0               | 0     | 0     | 0     | 0     | 0     | 0     | 0     | 0     | X        |
| 1               | 0     | 0     | 0     | 1     | 0     | 0     | 0     | 1     | X        |
| 2               | 0     | 0     | 1     | 0     | 0     | 0     | 1     | 0     | X        |
| 3               | 0     | 0     | 1     | 1     | 0     | 0     | 1     | 1     | X        |
| 4               | 0     | 1     | 0     | 0     | 0     | 1     | 0     | 0     | X        |
| 5               | 0     | 1     | 0     | 1     | 1     | 0     | 0     | 0     | X+3      |
| 6               | 0     | 1     | 1     | 0     | 1     | 0     | 0     | 1     | X+3      |
| 7               | 0     | 1     | 1     | 1     | 1     | 0     | 1     | 0     | X+3      |
| 8               | 1     | 0     | 0     | 0     | 1     | 0     | 1     | 1     | X+3      |
| 9               | 1     | 0     | 0     | 1     | 1     | 1     | 0     | 0     | X+3      |

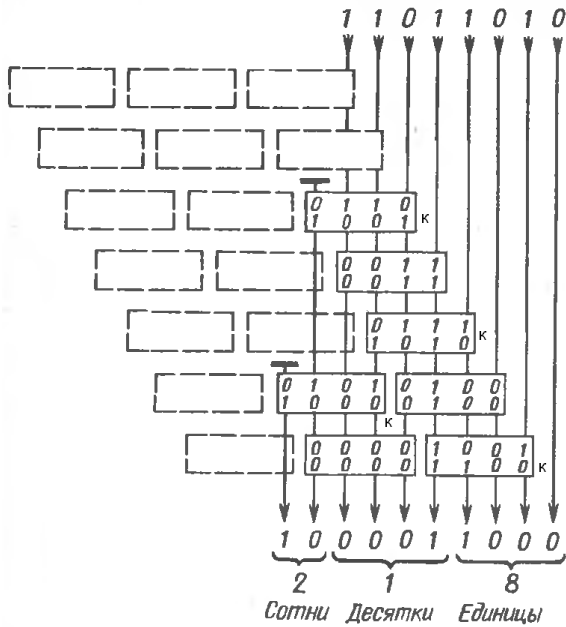


Рис.1.21. Преобразование ДК в ДДК методом сдвига границ двоично-десятичных разрядов с лева направо с последующей коррекцией тетрад на примере десятичного числа 218



Преобразователь К155ПР7 (рис.1.23 и рис.1.24) по А, В, С, D, Е принимает 5-разрядный байт и преобразует его в ДДК, если G=L. При G=N выходы Q=N. На выходах Y8 и Y7 всегда Н. Цифровой вес разрядов ДДК ПР7: Y1=1, Y2=2, Y3=4, Y4=5, Y5=10, Y6=20.

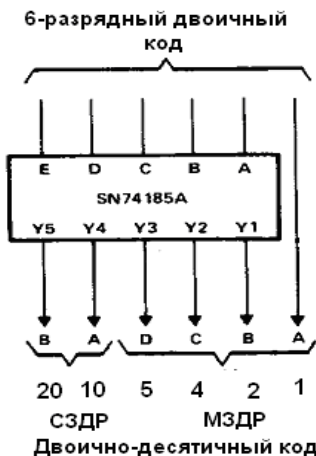


Рис.1.23. Преобразователь ДК в ДДК

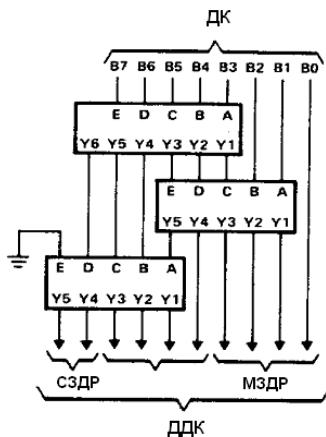


Рис.1.24. Преобразователь 8-разрядного двоичного числа в ДДК

Преобразователь ПР7 выполняет следующую функцию (табл.1.17):

$$Y = f(X) = \begin{cases} X, & 0 \leq X \leq 4, \\ X + 3, & 5 \leq X \leq 9, \\ X + 6, & 10 \leq X \leq 14, \\ X + 9, & 15 \leq X \leq 19, \\ X + 12, & 20 \leq X \leq 24, \\ X + 15, & 25 \leq X \leq 29, \\ X + 18, & 30 \leq X \leq 31 \end{cases}$$



Таблица 1.17

Состояния при преобразовании двоичного кода в  
двоично-десятичный в ПЗУ К155ПР7

| Номер<br>слова | ДК на входе |   |   |   |   | $\bar{G}$ | ДДК на выходе |    |    |    |    |    |    | Функция |                           |
|----------------|-------------|---|---|---|---|-----------|---------------|----|----|----|----|----|----|---------|---------------------------|
|                | 16          | 8 | 4 | 2 | 1 |           | 20            | 10 | 5  | 4  | 2  | 1  |    |         |                           |
|                | Е           | D | C | B | A |           | Y8            | Y7 | Y6 | Y5 | Y4 | Y3 | Y2 | Y1      |                           |
| 0              | L           | L | L | L | L | L         | H             | H  | L  | L  | L  | L  | L  | L       | $X, 0 \leq X \leq 4$      |
| 1              | L           | L | L | L | H | L         | H             | H  | L  | L  | L  | L  | L  | H       |                           |
| 2              | L           | L | L | H | L | L         | H             | H  | L  | L  | L  | L  | H  | L       |                           |
| 3              | L           | L | L | H | H | L         | H             | H  | L  | L  | L  | L  | H  | H       |                           |
| 4              | L           | L | H | L | L | L         | H             | H  | L  | L  | L  | H  | L  | L       |                           |
| 5              | L           | L | H | L | H | L         | H             | H  | L  | L  | H  | L  | L  | L       | $X+3, 5 \leq X \leq 9$    |
| 6              | L           | L | H | H | L | L         | H             | H  | L  | L  | H  | L  | L  | H       |                           |
| 7              | L           | L | H | H | H | L         | H             | H  | L  | L  | H  | L  | H  | L       |                           |
| 8              | H           | L | L | L | L | L         | H             | H  | L  | L  | H  | L  | H  | H       |                           |
| 9              | L           | H | L | L | H | L         | H             | H  | L  | L  | H  | H  | L  | L       |                           |
| 10             | L           | H | L | H | L | L         | H             | H  | L  | H  | L  | L  | L  | L       | $X+6, 10 \leq X \leq 14$  |
| 11             | L           | H | L | H | H | L         | H             | H  | L  | H  | L  | L  | L  | H       |                           |
| 12             | L           | H | H | L | L | L         | H             | H  | L  | H  | L  | L  | H  | L       |                           |
| 13             | L           | H | H | L | H | L         | H             | H  | L  | H  | L  | L  | H  | H       |                           |
| 14             | L           | H | H | H | L | L         | H             | H  | L  | H  | L  | H  | L  | L       |                           |
| 15             | L           | H | H | H | H | L         | H             | H  | L  | H  | H  | L  | L  | L       | $X+9, 15 \leq X \leq 19$  |
| 16             | H           | L | L | L | L | L         | H             | H  | L  | H  | H  | L  | L  | H       |                           |
| 17             | H           | L | L | L | H | L         | H             | H  | L  | H  | H  | L  | H  | L       |                           |
| 18             | H           | L | L | H | L | L         | H             | H  | L  | H  | H  | L  | H  | H       |                           |
| 19             | H           | L | L | H | H | L         | H             | H  | L  | H  | H  | H  | L  | L       |                           |
| 20             | H           | L | H | L | L | L         | H             | H  | H  | L  | L  | L  | L  | L       | $X+12, 20 \leq X \leq 24$ |
| 21             | H           | L | H | L | H | L         | H             | H  | H  | L  | L  | L  | L  | H       |                           |
| 22             | H           | L | H | H | L | L         | H             | H  | H  | L  | L  | L  | H  | L       |                           |
| 23             | H           | L | H | H | H | L         | H             | H  | H  | L  | L  | L  | H  | H       |                           |
| 24             | H           | H | L | L | L | L         | H             | H  | H  | L  | L  | H  | L  | L       |                           |
| 25             | H           | H | L | L | H | L         | H             | H  | H  | L  | H  | L  | L  | L       | $X+15, 25 \leq X \leq 29$ |
| 26             | H           | H | L | H | L | L         | H             | H  | H  | L  | H  | L  | L  | H       |                           |
| 27             | H           | H | L | H | H | L         | H             | H  | H  | L  | H  | L  | H  | L       |                           |
| 28             | H           | H | H | L | L | L         | H             | H  | H  | L  | H  | L  | H  | H       |                           |
| 29             | H           | H | H | L | H | L         | H             | H  | H  | L  | H  | H  | L  | L       |                           |
| 30             | H           | H | H | H | L | L         | H             | H  | H  | H  | L  | L  | L  | L       | $X+18, 30 \leq X \leq 31$ |
| 31             | H           | H | H | H | H | L         | H             | H  | H  | H  | L  | L  | L  | H       |                           |
| Любое          | X           | X | X | X | X | H         | H             | H  | H  | H  | H  | H  | H  | H       |                           |

## 1.4. Дешифраторы и демультиплексоры

Дешифратор представляет собой функциональный узел, преобразующий двоичный  $n$ -разрядный код в унитарный код “1 из  $N$ ”. В общем случае дешифратор с  $n$  адресными входами имеет  $2^n$  выходов. При каждой входной комбинации только один выход принимает значение, равное 1. При этом все остальные выходы находятся в состоянии логического 0. Если дешифратор реализует  $N < 2^n$  минтермов, то он называется неполным.

Демультиплексор представляет собой функциональный узел, коммутирующий управляющий сигнал на один из  $2^n$  выходов. Демультиплексор имеет один информационный вход,  $n$  адресных входов и  $2^n$  выходов.

ИС типа SN 74155 (отечественный аналог К155ИД4) может выполнять функцию двух дешифраторов 2-разрядного кода А и В в четыре выхода; двух демультиплексоров 1 в 4; дешифратора 3 в 8 и демультиплексора 1 в 8 (рис.1.24). Сигналы разрешения (стробы 1G\_L и 2G\_L) используются для каскадирования дешифраторов и демультиплексоров. Вход DATA 1С прямой, а остальные инверсные. В табл.1.18 показаны состояния дешифратора 2 в 4 на примере верхней части схемы и демультиплексора 1 в 4 на примере нижней части схемы (2C\_L – вход; 2Y0...2Y3 – выходы). Для получения старшего разряда С трехразрядного входного слова дешифратора 3 в 8 необходимо соединить входы данных 1С и 2C\_L.

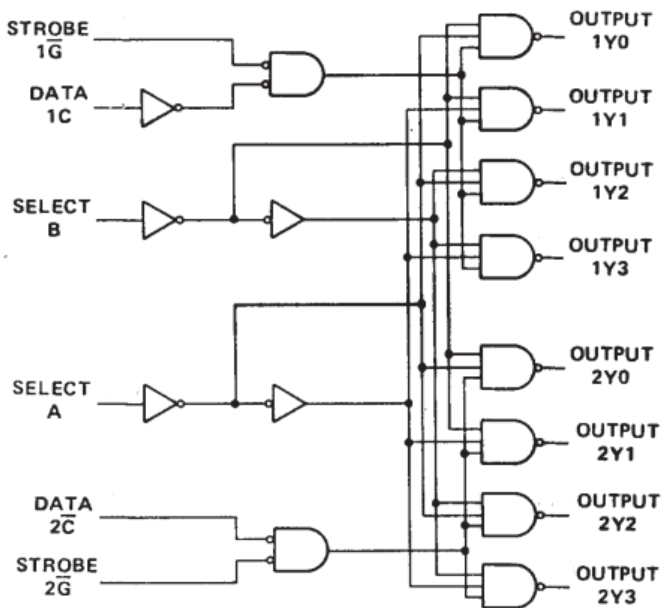


Рис.1.25. ИС типа SN 74155

Таблица 1.18  
Состояния дешифратора ИС типа SN 74155. Функция дешифратора 2 в 4 (первая половина)

| Входы |   |             |              | Выходы |     |     |     |
|-------|---|-------------|--------------|--------|-----|-----|-----|
| Адрес |   | Строб<br>1G | Данные<br>1C | 1Y0    | 1Y1 | 1Y2 | 1Y3 |
| B     | A |             |              |        |     |     |     |
| X     | X | H           | X            | H      | H   | H   | H   |
| L     | L | L           | H            | L      | H   | H   | H   |
| L     | H | L           | H            | H      | L   | H   | H   |
| H     | L | L           | H            | H      | H   | L   | H   |
| H     | H | L           | H            | H      | H   | H   | L   |
| X     | X | X           | L            | H      | H   | H   | H   |

Таблица 1.19

Состояния дешифратора ИС типа SN 74155. Функция  
демультимплексора 1 в 4 (вторая половина)

| Входы |   |                     |                      | Выходы |     |     |     |
|-------|---|---------------------|----------------------|--------|-----|-----|-----|
| Адрес |   | Строб<br>$2\bar{G}$ | Данные<br>$2\bar{C}$ | 2Y0    | 2Y1 | 2Y2 | 2Y3 |
| В     | А |                     |                      |        |     |     |     |
| X     | X | H                   | X                    | H      | H   | H   | H   |
| L     | L | L                   | L                    | L      | H   | H   | H   |
| L     | H | L                   | L                    | H      | L   | H   | H   |
| H     | L | L                   | L                    | H      | H   | L   | H   |
| H     | H | L                   | L                    | H      | H   | H   | L   |
| X     | X | X                   | H                    | H      | H   | H   | H   |

Таблица 1.20

Состояния дешифратора ИС типа SN 74155. Функция  
дешифратора 3 в 8 или демультимплексора 1 в 8

| Входы |   |   |  | Выходы |     |     |     |     |     |     |     |
|-------|---|---|--|--------|-----|-----|-----|-----|-----|-----|-----|
| Адрес |   |   | Строб<br>или<br>Данные<br>$\bar{G}^{++}$ | (0)    | (1) | (2) | (3) | (4) | (5) | (6) | (7) |
| C+    | В | А |  | 2Y0    | 2Y1 | 2Y2 | 2Y3 | 1Y0 | 1Y1 | 1Y2 | 1Y3 |
| X     | X | X | H  | H      | H   | H   | H   | H   | H   | H   | H   |
| L     | L | L | L  | L      | H   | H   | H   | H   | H   | H   | H   |
| L     | L | H | L  | H      | L   | H   | H   | H   | H   | H   | H   |
| L     | H | L | L  | H      | H   | L   | H   | H   | H   | H   | H   |
| L     | H | H | L  | H      | H   | H   | L   | H   | H   | H   | H   |
| H     | L | L | L  | H      | H   | H   | H   | L   | H   | H   | H   |
| H     | L | H | L  | H      | H   | H   | H   | H   | L   | H   | H   |
| H     | H | L | L  | H      | H   | H   | H   | H   | H   | L   | H   |
| H     | H | H | L  | H      | H   | H   | H   | H   | H   | H   | L   |

Примечание: + 1C и 2C\_L – необходимо соединить вместе; ++  
1G\_L и 2G\_L – необходимо соединить вместе

## 1.5. Мультиплексоры

Мультиплексором называется функциональный узел, осуществляющий передачу информации с одного из  $2^n$  входов ( $n$ - число адресных входов) на один выход, т.е. выполняет функцию, обратную демультиплексору.

Рассмотрим мультиплексоры на базе логических элементов. Мультиплексор 4 в 1 имеет два адресных входа  $S_0$ ,  $S_1$  и четыре информационных  $D_1$ - $D_4$  (рис.1.26). В зависимости от состояния входов  $S_1$  и  $S_0$ , выбирается один из элементов И, т.е. на двух его входах формируется логическая 1. В это время на входах остальных элементов И присутствует хотя бы один 0. Наличие двух единиц на входах выбранного элемента позволяет передать информацию с информационного входа на выход.

$$f = D_0(\bar{S}_1, \bar{S}_0) + D_1(\bar{S}_1, S_0) + D_2(S_1, \bar{S}_0) + D_3(S_1, S_0)$$

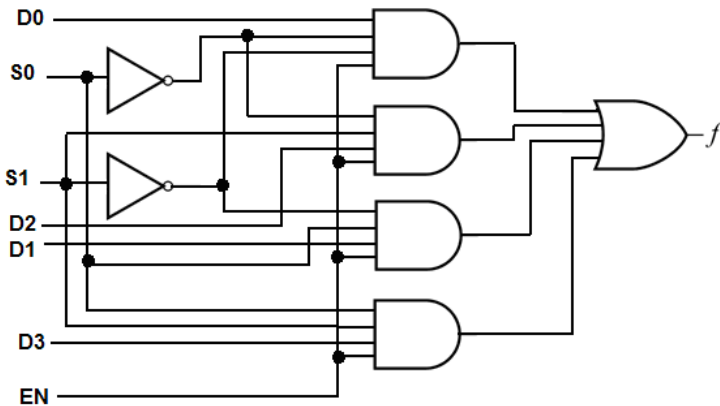


Рис.1.26. Схема мультиплексора 4 в 1 с адресными входами  $S_1$ ,  $S_0$  и сигналом разрешения  $EN$

В состав стандартных серий ИС входит большое количество мультиплексоров, начиная от мультиплексора 2 в 1 (КП11, КП13, КП14, КП16) и заканчивая 16 в 1 (К155КП1), отличающихся друг от друга прямой или инверсной передачей данных, а также схемами выходов.

Мультиплексоры на большее число входов приходится строить каскадированием (“дерево мультиплексоров”) из мультиплексоров меньшей размерности (рис.1.27). Адресные входы мультиплексоров первой ступени объединены, и на них подаются младшие разряды адреса  $S_0$  и  $S_1$ . Старшие разряды адреса  $S_2$  и  $S_3$  заведены на мультиплексор второй ступени. В зависимости от состояния входов  $S_0$  и  $S_1$  все мультиплексоры первой ступени будут передавать информацию на свои выходы с тех входов данных, которые определены адресным кодом. Например, если на адресные входы первой ступени будет подана комбинация  $S_1=1$  и  $S_0=0$  (2D) то на выходах мультиплексоров будут присутствовать данные  $X_2$ ,  $X_6$ ,  $X_{10}$  и  $X_{14}$ . Однако на выход мультиплексора 16 в 1 поступят только

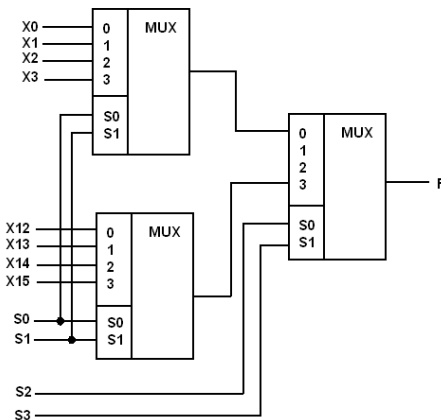


Рис.1.27. Мультиплексор 16 в 1 построенный каскадированием мультиплексоров 4 в 1

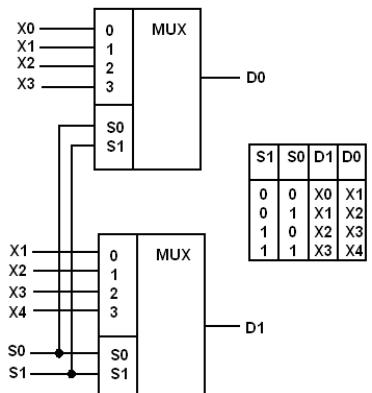


Рис.1.28. Сдвигатель на мультиплексорах

те данные, которые определены старшей частью адресного кода. Так, если на адресные входы мультиплексора второй ступени подана комбинация  $S_0=1$ ,  $S_1=1$ , то на выходе схемы будут присутствовать данные, поступившие на вход  $X_{14}$  (код входа 1110).

Еще одним из применений мультиплексоров является построение на их основе комбинационных сдвигателей. На рис.1.28 представлен фрагмент электрической схемы сдвигателя вправо на 4 разряда. На рис.1.28 показаны разряды данных, поступающих на выходы сдвигателя, в зависимости от состояния адресных входов. Важной особенностью рассматриваемых сдвигателей является то, что они могут осуществлять сдвиг сразу на  $N$  разрядов, где  $N$  – число информационных входов мультиплексора, используемого в комбинационном сдвигателе. Коммутируя соответствующим образом информационные входы мультиплексоров, можно построить сдвигатели как вправо, так и влево. Для построения комбинационных сдвигателей используют ИС типа К531ИР21, позволяющая осуществить сдвиг четырехразрядных данных на 1, 2 и 3 разряда вправо или в лево.

Мультиплексор можно использовать в качестве универсального логического элемента для реализации любой функции от числа аргументов, равного числу адресных входов мультиплексора. На рис.1.29 показан мультиплексор 16 в 1 для выполнения булевой функции  $Q = S_3 \oplus S_2 \oplus S_1 \oplus S_0$  от четырех переменных на базе мультиплексоров 2 в 1. Адресные входы:  $S_0, S_1, S_2, S_3$ ;  $I_0$ - $I_{15}$  – информационные входы. Булева функция задана таблицей истинности, представляющей 16 разрядный регистр из ячеек памяти.

На рис.1.30 показан пример использования мультиплексора 16 в 1 для реализации программируемого коммутатора сигналов с использованием дерева мультиплексоров 2 в 1. Мультиплексор 2 в 1 может быть или на  $n$ -МОПТ ключах (рис.1.30, б) или на двунаправленных КМОП-ключах (рис.1.30, в). Двунаправленный КМОП-ключ образован параллельным соединением  $n$ - и  $p$ -МОПТ (проходной передаточный КМОП-вентиль).

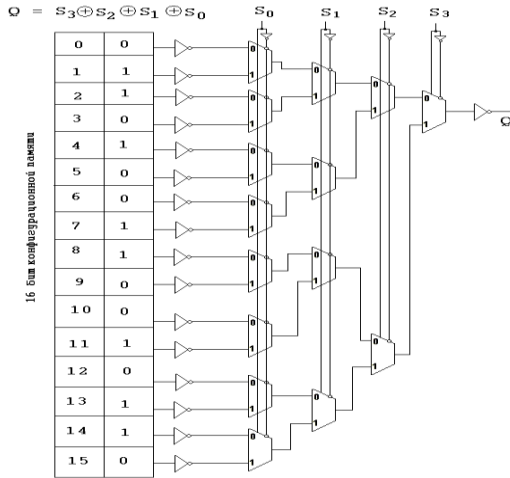


Рис.1.29. Мультиплексор 16 в 1 построенный каскадированием мультиплексоров 2 в 1 для выполнения булевой функции  $Q = S_3 \oplus S_2 \oplus S_1 \oplus S_0$

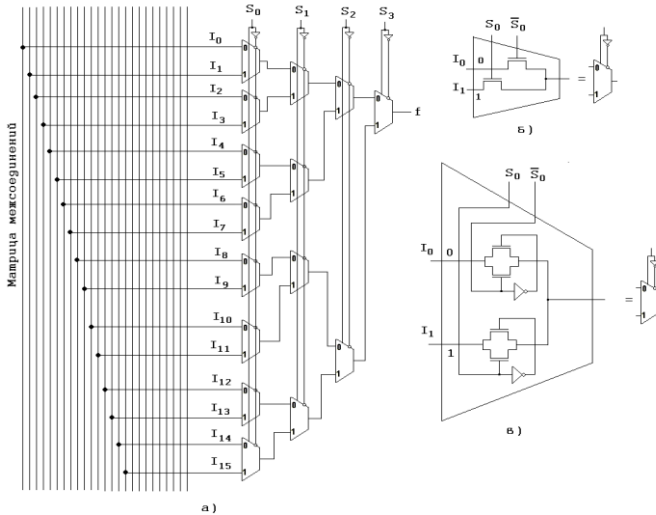


Рис.1.30. Коммутатор сигналов с использованием дерева мультиплексоров. S0-S3 – конфигурационные биты памяти (а); б – мультиплексор на n-МОПТ ключах; в – мультиплексор на КМОП-ключах



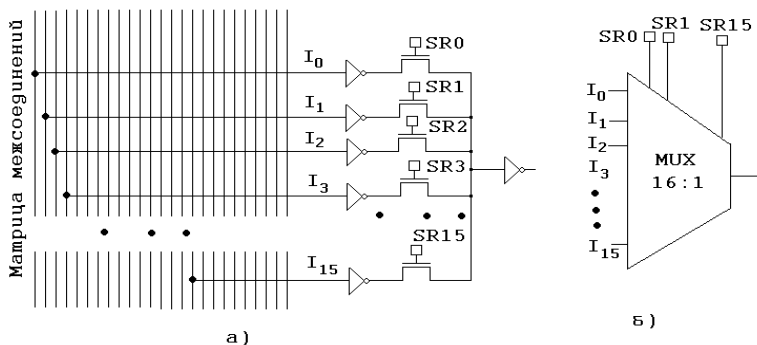


Рис.1.31. Коммутатор сигналов 16 в 1 с использованием n-МОПТ ключей (а); б) условное обозначение

На рис.1.31 показан пример использования мультиплектора 16 в 1 для реализации программируемого коммутатора сигналов с использованием с использованием одного n-МОПТ ключа на каждое соединение.

Для программирования коммутаторов используются ячейки памяти статического оперативно запоминающего устройства (SR). В первом случае требуется 4 ячейки конфигурационной памяти, во втором - 16 ячеек памяти.

“Кросс-бары” (коммутаторы, маршрутизаторы) обеспечивают бесконфликтную параллельную передачу информации с множества  $Y$  входов на множество  $Z$  выходов, но имеют большую аппаратную “избыточность” и применение их ограничено созданием коммутационных систем небольшой размерности (рис.1.32 и рис.1.33). Мультиплексор с полной коммутацией является наиболее гибким, однако, его недостатком является большое количество ключей коммутации с соответствующим числом конфигурационной памяти.

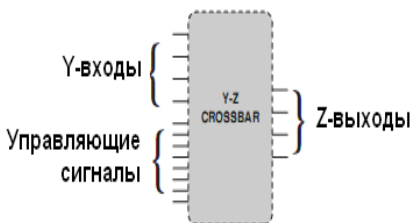


Рис.1.32. Мультиплексор с полной коммутацией (“кросс-бар”)

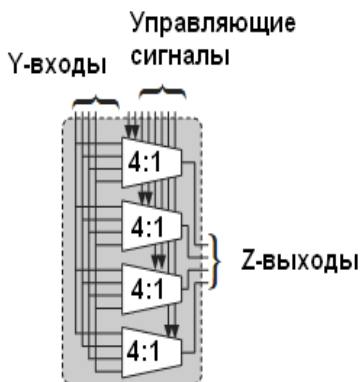


Рис.1.33. Определение мультиплексора с полной коммутацией 4 входа x 4 выхода (8 управляющих сигналов) на мультиплексорах 4 в 1

## 1.6. Шифраторы

Шифратором называется комбинационная схема, преобразующая один из  $N$  в двоичный код, т.е. выполняющая функцию, обратную дешифратору. При активации одного из входов шифратора на выходах схемы образуется двоичный код, соответствующий номеру активируемого входа. Приоритетный шифратор формирует в двоичном коде номер самой старшей единицы из всех присутствующих во входном слове.

На рис.1.34 показана электрическая схема приоритетного шифратора ИС типа SN74148 (отечественный аналог ИС типа К155ИВ1). Принимает активный сигнал низкого уровня  $L$  на один из входов  $\bar{I}_1 \dots \bar{I}_8$ , генерирует 3-разрядный байт  $\bar{A}_0 \dots \bar{A}_2$  (табл.1.21). Высший приоритет у

входа  $\bar{I}7$ . Шифрация разрешена, если  $EI = L$  (активно низкий). Если на него подана логическая 1, то на всех выходах шифратора устанавливаются высокие уровни, это говорит о том, что входы  $I0-I7$  заблокированы. Сигнал  $GS$  на входе равный 0, свидетельствует о наличии хотя бы одного возбужденного входа  $I_i$  при включенном состоянии шифратора. Низкий уровень напряжения на выходе  $EO$  говорит о том, что на все входы приоритета поданы неактивные высокие уровни напряжения.

Таблица 1.21  
Состояния шифратора ИС типа SN74148

| EI | Входы |   |   |   |   |   |   |   | Выходы |    |    |    |    |
|----|-------|---|---|---|---|---|---|---|--------|----|----|----|----|
|    | 0     | 1 | 2 | 3 | 4 | 5 | 6 | 7 | A2     | A1 | A0 | GS | EO |
| H  | X     | X | X | X | X | X | X | X | H      | H  | H  | H  | H  |
| L  | H     | H | H | H | H | H | H | H | H      | H  | H  | H  | L  |
| L  | X     | X | X | X | X | X | X | L | L      | L  | L  | L  | H  |
| L  | X     | X | X | X | X | X | L | H | L      | L  | H  | L  | H  |
| L  | X     | X | X | X | L | H | H | H | L      | H  | H  | L  | H  |
| L  | X     | X | X | L | H | H | H | H | H      | L  | L  | L  | H  |
| L  | X     | X | L | H | H | H | H | H | H      | L  | H  | L  | H  |
| L  | X     | L | H | H | H | H | H | H | H      | H  | L  | L  | H  |
| L  | L     | H | H | H | H | H | H | H | H      | H  | H  | L  | H  |

Выходы  $GS$  (групповый сигнал) и  $EO$  (разрешение выхода) необходимы для каскадирования нескольких шифраторов, в случае если разрядность обрабатываемого слова превышает разрядность схемы, путем соединения выхода  $EO$  старшей схемы со входом  $EI$  младшей схемы. На рис.1.35 показана схема приоритетного шифратора 16 в 4, построенного на ИС типа SN74148. Наивысший приоритет имеет вход  $I15$ . Верхний шифратор включается только в том случае, если не возбужден ни один из входов приоритета нижнего шифратора.

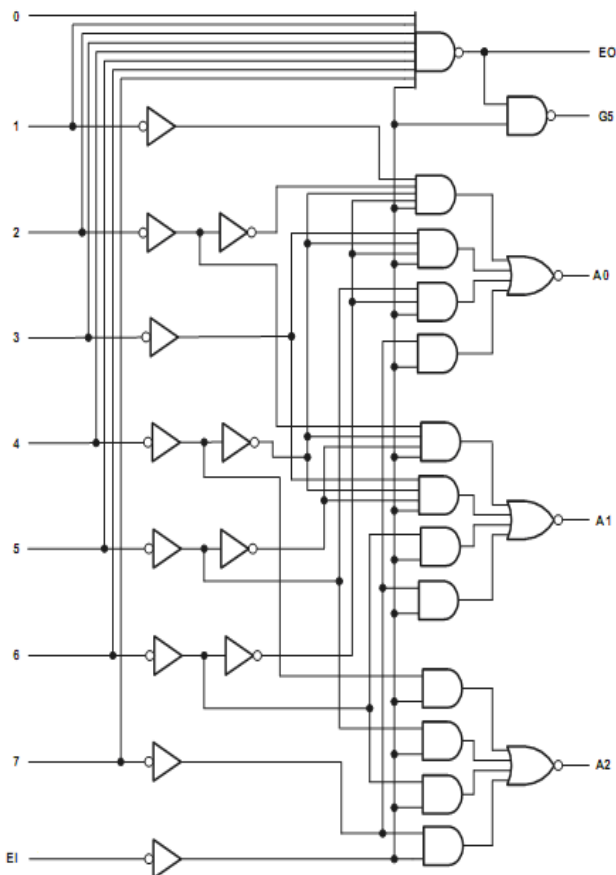


Рис.1.34. Схема 8-входового приоритетного шифратора ИС типа SN74148

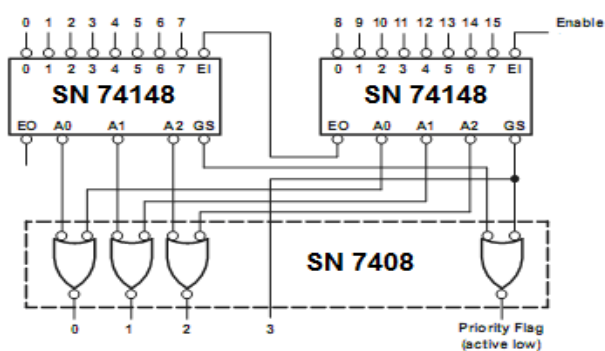


Рис.1.35. Каскадирование приоритетных шифраторов на ИС типа SN74148

## 1.7. Сумматоры/вычитатели

Положительные двоичные числа можно представить только одним способом, а отрицательные двоичные числа – тремя способами. В табл.1.22 приведены в качестве примера десятичные числа со знаком и их эквивалентные представления в прямом, обратном и дополнительном двоичном коде.

Прямой код. Знак – старший значащий разряд (СЗР) указывает знак (0 – положительный, 1 - отрицательный). Остальные разряды отражают величину, представляющую положительное число:

| Знак |     |   |        |
|------|-----|---|--------|
| СЗР  | МЗР |   |        |
| 0    | 110 | 1 | = + 13 |
| 1    | 110 | 1 | = - 13 |

Это представление чисел удобно для умножения и деления, но при операциях сложения и вычитания это не удобно и поэтому используется редко.

В ЭВМ положительные числа представляются в прямом коде, а отрицательные – в виде дополнений, т.е. путем сдвига по числовой оси исходного числа на некоторую константу. Если  $z$  – положительное число, то  $-z$  представляется в виде  $K-z$ , где  $K$  таково, что разрядность положительна. Обратный код отличается от дополнительного только выбором значения  $K$ .

Дополнение до единицы (обратный код) – отрицательные числа получаются путем инверсии всех разрядов их положительных эквивалентов. Старший значащий разряд указывает знак (0 – положительный, 1 - отрицательный).

Таблица 1.22

Представление чисел в прямом, обратном и дополнительном четырехразрядном двоичном коде

| ДЧ со<br>знаком | Прямой<br>код | Обратный<br>код*<br>(инверсия<br>$ X_{10} $ и 1 в<br>знаковый<br>разряд) | Дополнительный<br>код**<br>(инверсия $ X_{10} $ ,<br>плюс 1 к МЗР и 1 в<br>знаковый разряд) |
|-----------------|---------------|--|---|
| +7              | 0111          | 0111   | 0111  |
| +6              | 0110          | 0110   | 0110  |
| +5              | 0101          | 0101   | 0101  |
| +4              | 0100          | 0100   | 0100  |
| +3              | 0011          | 0011   | 0011  |
| +2              | 0010          | 0010   | 0010  |
| +1              | 0001          | 0001   | 0001  |
| 0               | 0000<br>1000  | 0000<br>1111   | 0000  |
| -1              | 1001          | 1110   | 1111  |
| -2              | 1010          | 1101   | 1110  |
| -3              | 1011          | 1100   | 1101  |
| -4              | 1100          | 1011   | 1100  |
| -5              | 1101          | 1010   | 1011  |
| -6              | 1110          | 1001   | 1010  |
| -7              | 1111          | 1000   | 1001  |
| -8              | -             | -  | 1000  |

\* при суммировании чисел циклический перенос к МЗР;

\*\* при суммировании чисел перенос игнорируется

Пусть  $X_{10}$  – десятичное число со знаком, которое необходимо представить в обратном коде. Необходимо найти  $n$ -разрядное представление числа  $X_{10}$ , включая знак и часть абсолютной величины, которая считается  $(n-1)$ -разрядная. Если  $X_{10} \geq 0$ , то обратный код содержит 0 в старшем, знаковом разряде и обычное двоичное представление  $X_{10}$  в остальных  $n-1$  разрядах. Таким образом, для положительных чисел обратный код совпадает с прямым. Если же  $X_{10} \leq 0$ , то знаковый разряд

содержит 1, а остальные разряды содержат двоичное представление числа:

$$2^{n-1} - 1 - |X_{10}|.$$

Дополнение до единицы формируется очень просто, однако обладает некоторыми недостатками, среди которых двойное представление нуля (все единицы или нули).

Рассмотрим положительное число +13. Выбрав шестиразрядное представление, включая знак (n=6), получим обратный код, равный 001101. Под абсолютную величину числа отводим 5 разрядов. Рассмотрим отрицательное число  $-13_{10}$ , считая представление шестиразрядным, включая знак. В пятиразрядном представлении  $|-13_{10}| = 13_{10} = 01101_2$  и  $2^5 - 1_{10} = 31_{10} = 11111_2$  то

$$(2^{6-1} - 1 - 13)_{10} = (11111 - 01101)_2 = 10010_2.$$

Добавив шестой, знаковый разряд, получим шестиразрядный код для  $-13_{10}$ , равный 110010.

Дополнение до двух (дополнительный код). Его труднее сформировать, чем дополнение до единицы, но использованием данного кода удастся упростить операции сложения и вычитания. Дополнение до двух образуется путем инверсии каждого разряда положительного числа и последующего добавления единицы к МЗР:

| Знак | МЗР          |
|------|--------------|
| 0    | 110 1 = + 13 |
| 1    | 001 1 = - 13 |

Если  $X_{10} \geq 0$ , то так же, как для прямого и обратного кодов, имеем 0 в знаковом разряде и обычное двоичное представление числа  $X_{10}$  в остальных n-1 разрядах. Если же  $X_{10} < 0$ , то имеем 1 в знаковом разряде, а в остальных n-1 разрядах двоичный эквивалент числа  $2^{n-1} - |X_{10}|$

Рассмотрим схему сумматора, основанного на поразрядном процессе. Обозначим два складываемых числа через  $A = a_{n-1}a_{n-2} \dots a_1a_0$  и  $B = b_{n-1}b_{n-2} \dots b_1b_0$ . При сложении двоичных чисел значения цифр в каждом двоичном разряде должны быть сложены между собой и с переносом из предыдущего разряда. Если результат при этом превышает 1, то возникает перенос в следующий разряд.

Рассмотрим число  $-13_{10}$ . Представим его в шестиразрядном дополнительном коде. Так как  $|-13_{10}| = 13_{10} = 01101_2$  и  $2^5_{10} = 32_{10} = 100000_2$  то получим в пятиразрядном представлении

$$2^{n-1} - |X_{10}| = (2^{6-1} - 13)_{10} = (100000 - 01101)_2 = 10011_2.$$

Добавляя шестой знаковый разряд, получаем дополнительный код числа  $-13_{10}$ , равный 110011. Ноль в дополнительном коде имеет единственное представление.

Сложение положительных чисел происходит непосредственно, но перенос в разряд знака нужно предотвратить и рассматривать как переполнение. Когда складываются два отрицательных числа или отрицательное число с положительным, то работа сумматора зависит от способа представления отрицательного числа. При представлении последних в дополнительном коде сложение осуществляется просто, но необходим дополнительный знаковый разряд, любой перенос за пределы положения знакового разряда просто игнорируется.

|           |           |          |
|-----------|-----------|----------|
| +14 01110 | +7 00111  | -4 11100 |
| - 7 11001 | -14 10010 | -3 11101 |
| +7 00111  | -7 11001  | -7 11001 |

Если используется дополнение до единицы, то перенос из знакового разряда должен использоваться как входной перенос к МЗР.



$$\begin{array}{r}
 +14 \quad 01110 \\
 -7 \quad 11000 \\
 \hline
 \quad \quad 00110 \\
 + \quad \quad \quad 1 \\
 \hline
 +7 \quad 00111
 \end{array}$$

$$\begin{array}{r}
 +7 \quad 00111 \\
 -14 \quad 10001 \\
 \hline
 -7 \quad 11000
 \end{array}$$

$$\begin{array}{r}
 -4 \quad 11011 \\
 -3 \quad 11100 \\
 \hline
 \quad \quad 10111 \\
 + \quad \quad \quad 1 \\
 \hline
 -7 \quad 11000
 \end{array}$$

В логической схеме информацию о переносе в разряд  $i$  можно представить в виде бита переноса  $c_i$ , равного 1, если перенос из предыдущего разряда есть, и 0 – в противном случае. Операция, которую нужно выполнить для каждого разряда  $i$ , будет заключаться в сложении трех битов  $a_i, b_i$  и  $c_i$ , получении значения бита суммы  $s_i$  и переноса в следующий разряд  $c_{i+1}$ . Фактически  $c_{i+1}$  и  $s_i$  представляют старший и младший разряды в двухразрядной сумме битов  $a_i, b_i$  и  $c_i$ .

Таблица 1.23

Определение битов суммы  $s_i$  и переноса  $c_{i+1}$  по значениям

$a_i, b_i$  и  $c_i$  при сложении

| $a_i$ | $b_i$ | $c_i$ | Сумма $a_i, b_i$ и $c_i$ | $c_{i+1}$ | $s_i$ |
|-------|-------|-------|--------------------------|-----------|-------|
| 0     | 0     | 0     | 00                       | 0         | 0     |
| 0     | 0     | 1     | 01                       | 0         | 1     |
| 0     | 1     | 0     | 01                       | 0         | 1     |
| 0     | 1     | 1     | 10                       | 1         | 0     |
| 1     | 0     | 0     | 01                       | 0         | 1     |
| 1     | 0     | 1     | 10                       | 1         | 0     |
| 1     | 1     | 0     | 10                       | 1         | 0     |
| 1     | 1     | 1     | 11                       | 1         | 1     |

По функциям, заданным в табл.1.23. Можно построить логические выражения канонические суммы минтермов для суммы  $s_i$  и переноса  $c_{i+1}$ :

$$s_i = \bar{a}_i \bar{b}_i \bar{c}_i + \bar{a}_i b_i \bar{c}_i + a_i \bar{b}_i \bar{c}_i + a_i b_i c_i = a_i \oplus b_i \oplus c_i.$$

$$c_{i+1} = \bar{a}_i b_i c_i + a_i \bar{b}_i c_i + a_i b_i \bar{c}_i + a_i b_i c_i = a_i b_i + a_i c_i + b_i c_i$$

На рис.1.36 показана схема, реализующая выражения для суммы  $s_i$  и переноса  $c_{i+1}$ . Эта схема называется полным

сумматором, т.к. она суммирует три бита в разряде, включая перенос. По каскадно соединив  $n$  полных сумматоров можно построить схему для сложения  $n$ -разрядных чисел. Разряды двух складываемых чисел подаются на входы  $a_i$  и  $b_i$ , а результат появляется на выходах  $s_i$ . Последний перенос  $c_n$  является старшим разрядом  $(n+1)$  – разрядной суммы. Входная линия переноса в младший разряд  $c_0$  является еще одним входом всей схемы. Он позволяет задать начальное значение переноса, что удобно для сложения с многократной точностью.

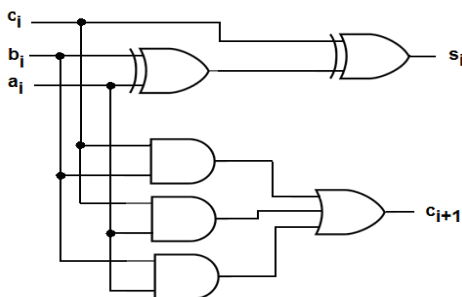


Рис.1.36.  
Полный  
одноразрядный  
сумматор

Сумматоры на схеме рис.1.37 называют сумматорами с последовательным переносом из-за наличия в них последовательной зависимости от переносов. Каждый полный сумматор в цепочке распространения переносов вносит задержку в двух логических уровнях. Поэтому конечный перенос  $c_n$ , зависящий от самых правых разрядов  $a_0, b_0$  и  $c_0$ , проходит через  $2n$  логических уровней. Таким образом, сумматор с последовательным переносом работает существенно медленнее параллельного сумматора, в котором всего 2 логических уровня.

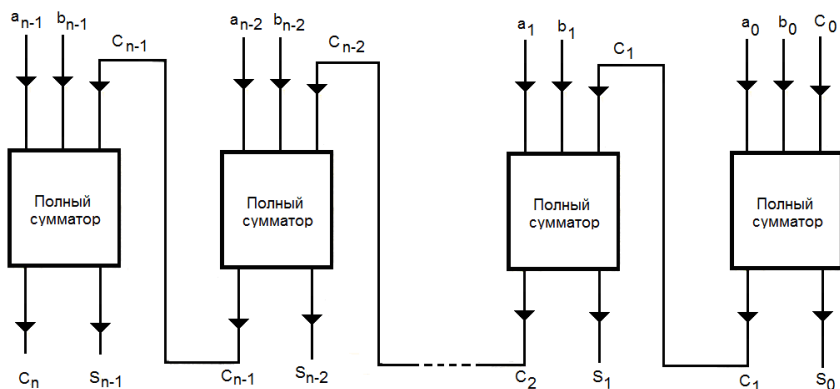


Рис.1.37. Многоразрядный двоичный сумматор с последовательным переносом

Вычитатель с последовательным переносом можно построить по тому же принципу, что и сумматор. Обозначим через  $A = a_{n-1}a_{n-2} \dots a_1a_0$  уменьшаемое, а через  $B = b_{n-1}b_{n-2} \dots b_1b_0$  вычитаемое; т.е. вычитатель должен выполнять функцию  $A-B$ . Заем в соседнем разряде можно считать отрицательным переносом. Таким образом, разряд переноса  $c_i$  при вычитании может обозначать наличие заема из предыдущего разряда. Операции, которые нужно выполнять в каждом разряде при вычитании, приведены в табл.1.24. Бит разности обозначен через  $s_i$ .

Сравнивая табл.1.24 для вычитания и табл.1.23 для сложения, видим, что колонки для  $s_i$  идентичны. Следовательно, выражения для  $s_i$  в вычитателе и сумматоре совпадают. Каноническая сумма минтермов для вычитателя имеет вид:

$$c_{i+1} = \bar{a}_i b_i + \bar{a}_i c_i + b_i c_i.$$

Полученное выражение совпадает с выражением для сумматора, если  $\bar{a}_i$  заменить на  $a_i$ . На рис.1.38 показана схема

полного вычитателя, построенного на основе выражений для разности  $s_i$  и переноса  $c_{i+1}$ .

Таблица 1.24

Определение битов разности  $s_i$  и переноса  $c_{i+1}$  по значениям  $a_i, b_i$  и  $c_i$  при вычитании

| $a_i$ | $b_i$ | $c_i$ | $c_{i+1}$ | $s_i$ |
|-------|-------|-------|-----------|-------|
| 0     | 0     | 0     | 0         | 0     |
| 0     | 0     | 1     | 1         | 1     |
| 0     | 1     | 0     | 1         | 1     |
| 0     | 1     | 1     | 1         | 0     |
| 1     | 0     | 0     | 0         | 1     |
| 1     | 0     | 1     | 0         | 0     |
| 1     | 1     | 0     | 0         | 0     |
| 1     | 1     | 1     | 1         | 1     |

Пользуясь сходством булевых выражений для сумматоров и вычитателей, можно построить комбинированную схему, которая сможет вычитать и складывать. Для этого необходимо предусмотреть управляющий вход, с помощью которого избирательно инвертировать биты  $a_i$  в зависимости от требуемой операции. Для избирательной инверсии  $a_i$  можно применить вентиль Исключающее ИЛИ:

$$K \oplus a_i = K\bar{a}_i + \bar{K}a_i,$$

где  $K$  - управляющая линия. Если  $K = 0$ , то первый член в правой части равен нулю, а второй  $a_i$ . Если же  $K = 1$ , то второй член равен 0, а первый  $\bar{a}_i$ . Поэтому выражение  $K \oplus a_i$  соответствует требуемой избирательной инверсии  $a_i$ . Схема на рис.1.39 является  $n$ -разрядным сумматором/вычитателем с избирательной инверсией  $a_i$  в схеме вычисления переноса  $c_{i+1}$ .

Рис.1.38. Полный  
одноразрядный  
вычитатель

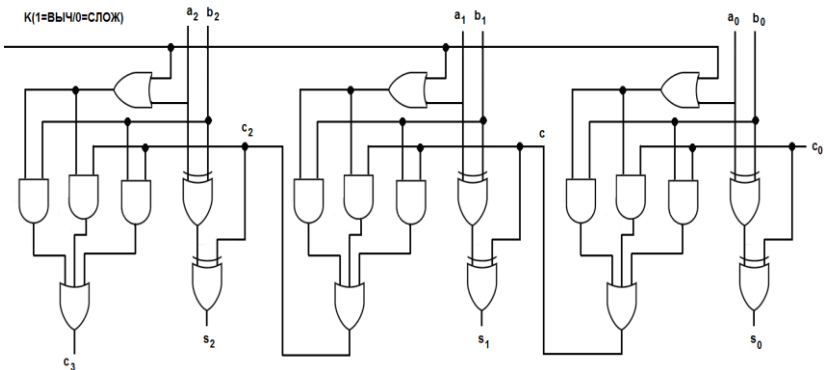
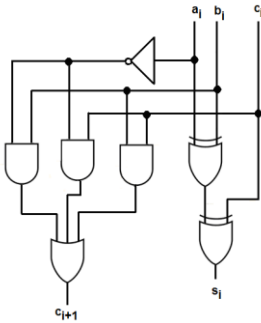


Рис.1.39. Трехразрядный сумматор/вычитатель, составленный из полных сумматоров/вычитателей

Рассмотрим схему сумматора/вычитателя с использованием дополнительного кода. Дополнение можно получить, если прибавить 1 к результату обращения. Обращение логически эквивалентно инверсии каждого бита в числе. Вентили Иключающее ИЛИ можно применить для избирательной инверсии в зависимости от значения управляющего сигнала. Прибавление 1 к результату обращения можно реализовать, задавая 1 на входе переноса  $c_0$  (рис.1.40).

Пример

|                            |         |         |        |         |
|----------------------------|---------|---------|--------|---------|
| Уменьшаемое                | A + 14  | 01110   | +7     | 00111   |
| Вычитаемое                 | B -(+7) | - 00111 | -(+14) | - 01110 |
| перевод B<br>в дополн. код |         | 01110   |        | 00111   |
|                            |         | + 11000 |        | + 10001 |
|                            |         | + 1     |        | + 1     |
| Разность                   | +7      | 1 00111 | -7     | 11001   |

↑ Перенос  
 игнорируется

Рис.1.40. Пример вычитания с использованием дополнительного кода (дополнение до двух). Осуществляется инвертирование вычитаемого и суммирование, и переноса 1 в младший значащий разряд с последующим сложением

Схема сумматора/вычитателя показана на рис.1.41. Управляющий сигнал К подается на вентили Искключающее ИЛИ для всех разрядов  $b_i$ , а также на вход переноса  $c_0$ . При  $K = 1$  формируется дополнение В.

Универсальная ИС полного сумматора 9304 представляет собой два полностью независимых полных одноразрядных сумматоров (рис.1.42). Один из этих сумматоров имеет дополнительный набор входов противоположной полярности. ИС типа 9304 может использоваться для последовательного сложения и для сложения более чем двух переменных. На рис.1.43 показаны таблицы истинности первого и второго сумматора с условными обозначениями для активно низких и высоких операндов.

На рис.1.44 показано сложение с использованием обратного кода, при котором вычитание производится инвертированием вычитаемого (обратное кодирование) и суммирование с циклическим переносом в младший значащий разряд. При сложении +7 и -14 в обратном коде циклический перенос не вырабатывается, а при переводе в дополнительный код потребовалось принудительное прибавление 1 к МЗР.

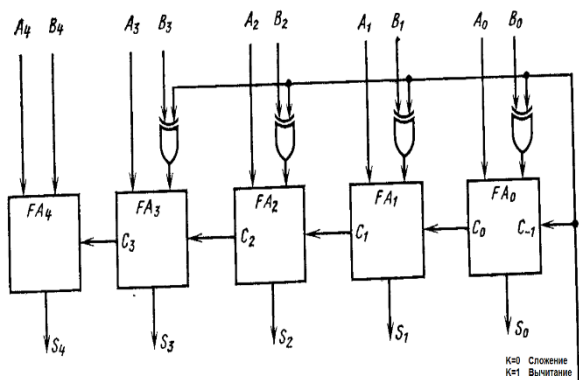


Рис.1.41.  
Сумматор/вычитатель, в котором при вычитании второй операнд представляется в дополнительном коде

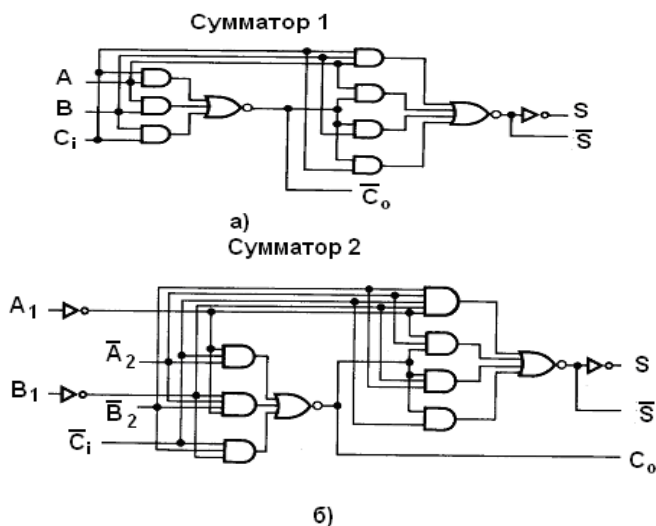


Рис.1.42.  
Первая (а) и вторая (б) половина сумматор а ИС типа 9304

**Сумматор 1**

| Входы       |   |   | Выходы      |           |   |
|-------------|---|---|-------------|-----------|---|
| $\bar{C}_i$ | B | A | $\bar{C}_o$ | $\bar{S}$ | S |
| L           | L | L | H           | H         | L |
| L           | L | H | H           | L         | H |
| L           | H | L | H           | L         | H |
| L           | H | H | L           | H         | L |
| H           | L | L | H           | L         | H |
| H           | L | H | L           | H         | L |
| H           | H | L | L           | H         | L |
| H           | H | H | L           | L         | H |



Сумматор 2

|   |             | Входы          |                |             |             |                | Выходы |           |  |
|---|-------------|----------------|----------------|-------------|-------------|----------------|--------|-----------|--|
|   | $\bar{C}_1$ | B <sub>1</sub> | A <sub>1</sub> | $\bar{B}_2$ | $\bar{A}_2$ | C <sub>0</sub> | S      | $\bar{S}$ |  |
| L | L           | L              | L              | L           | L           | H              | H      | L         |  |
| L | L           | L              | L              | L           | H           | H              | L      | H         |  |
| L | L           | L              | L              | H           | L           | H              | L      | H         |  |
| L | L           | L              | L              | H           | H           | L              | H      | L         |  |
| L | L           | H              | L              | L           | L           | H              | H      | L         |  |
| L | L           | H              | L              | L           | H           | H              | H      | L         |  |
| L | L           | H              | L              | H           | L           | H              | L      | H         |  |
| L | L           | H              | L              | H           | H           | H              | L      | H         |  |
| L | H           | L              | L              | L           | L           | H              | H      | L         |  |
| L | H           | L              | L              | L           | H           | H              | L      | H         |  |
| L | H           | L              | L              | H           | L           | H              | H      | L         |  |
| L | H           | L              | L              | H           | H           | H              | L      | H         |  |
| L | H           | H              | L              | L           | L           | H              | H      | L         |  |
| L | H           | H              | L              | L           | H           | H              | L      | H         |  |
| L | H           | H              | L              | H           | L           | H              | H      | L         |  |
| L | H           | H              | L              | H           | H           | H              | L      | H         |  |
| L | H           | H              | H              | L           | L           | H              | H      | L         |  |
| L | H           | H              | H              | L           | H           | H              | L      | H         |  |
| L | H           | H              | H              | H           | L           | H              | H      | L         |  |
| L | H           | H              | H              | H           | H           | H              | L      | H         |  |
| H | L           | L              | L              | L           | L           | H              | L      | H         |  |
| H | L           | L              | L              | L           | H           | L              | H      | L         |  |
| H | L           | L              | L              | H           | L           | L              | H      | L         |  |
| H | L           | L              | L              | H           | H           | L              | L      | H         |  |
| H | L           | H              | L              | L           | L           | H              | L      | H         |  |
| H | L           | H              | L              | L           | H           | L              | L      | H         |  |
| H | L           | H              | L              | H           | L           | L              | H      | L         |  |
| H | L           | H              | L              | H           | H           | L              | L      | H         |  |
| H | L           | H              | H              | L           | L           | H              | L      | H         |  |
| H | L           | H              | H              | L           | H           | L              | L      | H         |  |
| H | L           | H              | H              | H           | L           | H              | L      | H         |  |
| H | L           | H              | H              | H           | H           | L              | L      | H         |  |
| H | H           | L              | L              | L           | L           | H              | L      | H         |  |
| H | H           | L              | L              | L           | H           | L              | H      | L         |  |
| H | H           | L              | L              | H           | L           | H              | L      | H         |  |
| H | H           | L              | L              | H           | H           | L              | H      | L         |  |
| H | H           | H              | L              | L           | L           | H              | L      | H         |  |
| H | H           | H              | L              | L           | H           | L              | L      | H         |  |
| H | H           | H              | L              | H           | L           | H              | L      | H         |  |
| H | H           | H              | L              | H           | H           | L              | L      | H         |  |
| H | H           | H              | H              | L           | L           | H              | L      | H         |  |
| H | H           | H              | H              | L           | H           | L              | L      | H         |  |
| H | H           | H              | H              | H           | L           | H              | L      | H         |  |
| H | H           | H              | H              | H           | H           | L              | L      | H         |  |

Рис.1.43. Таблицы истинности первого и второго сумматора с условными обозначениями для активно низких и высоких операндов ИС типа 9304

Пример:

|   |   |  |
|---|---|--|
| <pre> + 14   01110 -(+7)  -00111         01110         +11000         -----           00110           +      1           ----- +7      00111 </pre> | <pre> +7      00111 -(+14) - 01110           00111           +10001           -----           11000           -7           -----           11000 </pre> | <pre> -6      11001 -(+8)  01000           11001           +10111           -----           10000           +      1           ----- -14    10001 </pre> |
|---|---|--|

Рис.1.44. Вычитание с использованием обратного кода, при котором вычитание производится инвертированием вычитаемого (обратное кодирование) и суммирование с циклическим переносом в младший значащий разряд



На рис.1.45 показана схема последовательного сумматора/вычитателя с использованием обратного кода (как дополнение до единицы). Вычитание производится путем инвертирования, т.е. обратное кодирование вычитаемого и суммирование, используя циклический перенос. Для этого инвертируют вход В с использованием второй половины ИС типа 9304 (второй сумматор). Данная схема требует вторичного прохождения для циклического переноса. При этом триггер переноса при сложении взводится при активных высоких уровнях операндов, а при вычитании сбрасывается при активных низких операндах.

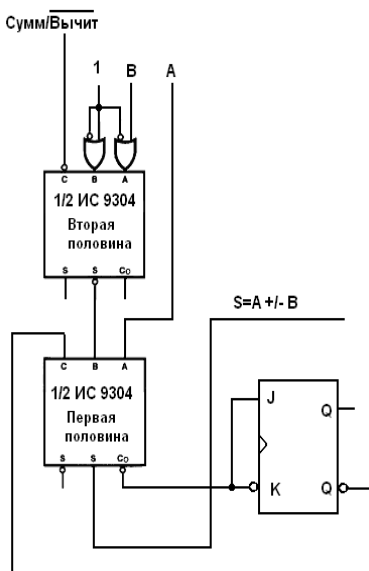


Рис.1.45. Последовательное двоичное сложение/вычитание на ИС типа 9304 при использовании обратного кода (циклический перенос из знакового разряда к младшему значащему разряду)

## 2. ПОСЛЕДОВАТЕЛЬНОСТНЫЕ УСТРОЙСТВА

### 2.1. Триггерные устройства на ИС средней степени интеграции

Классификация триггеров проводится по признакам логического функционирования и способу записи информации.

По логическому функционированию различают триггеры типов RS, D, T, JK и д.р. Кроме того используются комбинированные триггеры, в которых совмещаются одновременно несколько типов, и триггеры со сложной входной логикой (группами входов, связанных между собой логическими зависимостями).

RS триггер – имеет два входа. Вход S – установка в 1 и R – установка в 0. Одновременная подача сигналов установки S и сброса R не допускается (эта комбинация сигналов называется запрещенной).

D триггер – имеет один вход. Его состояние повторяет входной сигнал, но с задержкой, определяемой тактовым сигналом.

T триггер – имеет один вход и называется триггером со счетным входом или счетным триггером. Такой триггер изменяет свое состояние каждый раз при поступлении входного сигнала.

JK – универсальный триггер. Имеет входы установки (J) и сброса (K), подобные входам триггера RS. В отличие от последнего, допускает ситуацию с одновременной подачей сигналов на оба эти входа ( $J = K = 1$ ). В этом режиме работает как счетный триггер относительно тактового входа.

Между триггерами RS и D, с одной стороны, и T и JK, с другой, имеется существенная разница. Первые имеют разомкнутую структуру (о внутренних обратных связях в схеме фиксатора сейчас речь не идет), а вторые используют выходные сигналы для воздействия на свои входы.

По способу записи информации различают асинхронные (нетактируемые) и синхронные (тактируемые) триггеры. В нетактируемых переход в новое состояние вызывается непосредственно изменениями входных информационных сигналов. В тактируемых триггерах, имеющих специальный вход, переход происходит только при подаче на этот вход тактовых сигналов. Тактовые сигналы называют также синхронизирующими, исполнительными, командными и т. д. Обозначаются они буквой С (от слова Clock).

По способу восприятия тактовых сигналов триггеры делятся на управляемые уровнем и управляемые фронтом. Управление уровнем означает, что при одном Уровне тактового сигнала триггер воспринимает входные сигналы и реагирует на них, а при другом не воспринимает и остается в неизменном состоянии. При управлении фронтом разрешение на переключение дается только в момент перепада тактового сигнала (на его фронте или спаде). В остальное время независимо от уровня тактового сигнала триггер не воспринимает входные сигналы и остается в неизменном состоянии. Триггеры, управляемые фронтом, называют также триггерами с динамическим управлением. Динамический вход может быть прямым или инверсным. Прямое динамическое управление означает разрешение на переключение при изменении тактового сигнала с нулевого значения на единичное, инверсное — при изменении тактового сигнала с единичного значения на нулевое.

По характеру процесса переключения триггеры делятся на одноступенчатые и двухступенчатые.

В одноступенчатом триггере переключение в новое состояние происходит сразу, в двухступенчатом - по этапам. Двухступенчатые триггеры состоят из входной и выходной ступеней. Переход в новое состояние происходит в обеих ступенях поочередно. Один из уровней тактового сигнала разрешает прием информации во входную ступень при неизменном состоянии выходной ступени. Другой уровень

тактового сигнала разрешает передачу нового состояния из входной ступени в выходную.

На рис. показаны процессы, происходящие в синхронных (тактируемых) триггерах. На диаграммах тактовых импульсов отмечено содержание процессов на отдельных этапах, под диаграммами даны обозначения входов для соответствующих триггеров.

В практике проектирования используется термин "триггер-защелка" (Latch), под этим понимается триггер, который прозрачен при одном уровне тактового сигнала и переходит в режим хранения при другом.

Как видно из рис.2.1, двухступенчатый триггер обозначается двумя буквами Т. Двухступенчатые триггеры часто называют также триггерами типа MS (от англ. Master-Slave, т.е. "хозяин" - "раб"). Эта аббревиатура отражает характер работы триггера: входная ступень вырабатывает новое значение выходной переменной Q, а выходная его копирует.

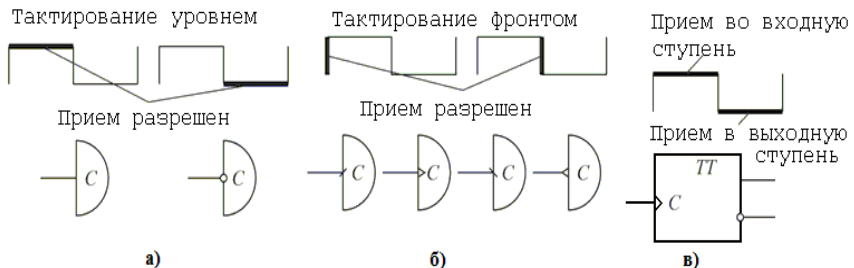


Рис.2.1. Используемые обозначения синхросигналов на условно-графических обозначениях триггеров тактируемых уровнем (а) или фронтом (срезом) синхросигнала (б); в) – двухтактный триггер

### 2.1.1. Одноступенчатые триггеры

Триггеры - элементарные автоматы, содержащие элемент памяти (фиксатор) и схему управления. Фиксатор

строится на двух инверторах, связанных друг с другом "накрест", так что выход одного соединен с входом другого. Такое соединение дает цепь с двумя устойчивыми состояниями (рис.). Действительно, если на выходе инвертора 1 имеется логический ноль, то он обеспечивает на выходе инвертора 2 логическую единицу, благодаря которой сам и существует. То же согласование сигналов имеет место и для второго состояния, когда инвертор 1 находится в единице, а инвертор 2 — в нуле. Любое из двух состояний может существовать неограниченно долго.

Чтобы управлять фиксатором, нужно иметь в логических элементах дополнительные входы, превращающие инверторы в элементы И-НЕ либо ИЛИ-НЕ. На входы управления поступают внешние установочные сигналы. Буквой R латинского алфавита (от Reset) обозначен сигнал установки триггера в нуль (сигнал сброса), а буквой S (от Set) — сигнал установки в состояние логической единицы (сигнал установки). Состояние триггера считывается по значению прямого выхода, обозначаемого как Q. Чаще всего триггер имеет и второй выход с инверсным сигналом  $\bar{Q}$ .

Для фиксатора на элементах ИЛИ-НЕ установочным сигналом является единичный, поскольку только он приводит логический элемент в нулевое состояние независимо от сигналов на других входах элемента. Для фиксатора на элементах И-НЕ установочным сигналом является нулевой.

На рис.2.2 показан RS-триггер ( $RS$ -защелка) на элементах ИЛИ-НЕ, а на рис.2.3 RS-триггер ( $\bar{R}\bar{S}$ -защелка) на элементах И-НЕ.

В трех режимах работы RS-триггера (хранение, загрузка 1, загрузка 0) выходной сигнал  $QN$  является инверсией выходного сигнала Q. В режиме "неопределенность" когда оба сигнала S и R равны 1 выходной сигнал  $QN$  не является инверсией сигнала Q (рис.2.2, з). Как только один из входных сигналов снимается, RS-триггер возвращается в обычный режим, и выходные сигналы становятся инверсными один по

отношению к другому. Однако, если входные сигналы снимаются одновременно, то состояние, в которое защелка перейдет в следующий момент времени, непредсказуемо, и при этом могут возникнуть колебания, либо схема может войти в метастабильное состояние.

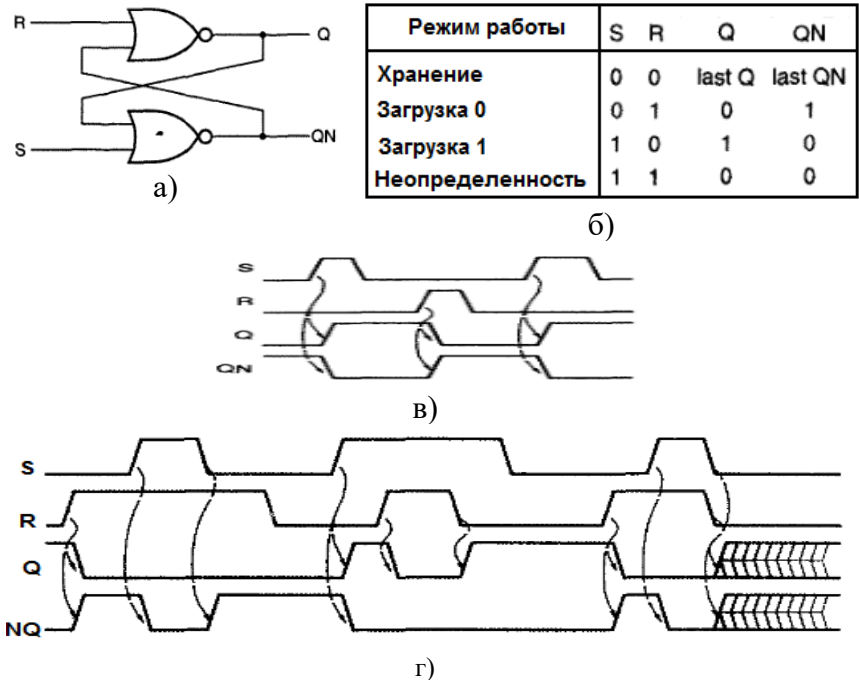


Рис.2.2. RS-триггер на элементах ИЛИ-НЕ: а) схема; б) таблица истинности; в) диаграммы работы; г) попадание триггера в метастабильное состояние

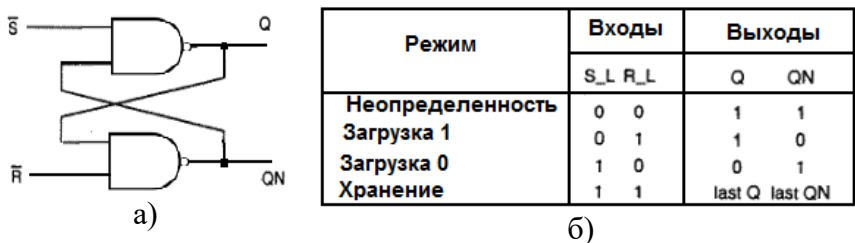
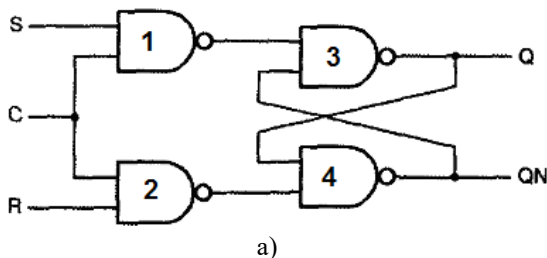


Рис.2.3. RS-триггер на элементах И-НЕ: а) схема; б) таблица истинности

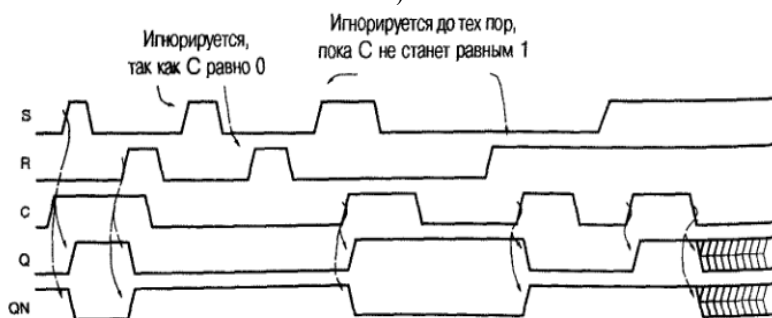
Синхронный RS-триггер (рис.2.4). Сихронизируется высоким уровнем тактового сигнала  $C$ . Если на вход  $C$  подан низкий уровень напряжения, то на выходах элементов 1 и 2 независимо от состояния входов  $R$  и  $S$  будут присутствовать высокие уровни напряжения. Эти уровни удерживают асинхронный RS-триггер, образованный элементами 3 и 4, в режиме хранения. При подаче на вход  $C$  логической единицы схема функционирует как обычный RS-триггер. Характерной особенностью схемы является то, что в течение всего промежутка времени, когда  $C=1$ , любые изменения управляющих сигналов на входах  $R$  и  $S$  передаются на выход. Поэтому о такой схеме говорят, что она прозрачна по  $R$ - и  $S$ -входам и такую схему еще называют RS-защелка с входом разрешения, функцию сигнала разрешения выполняет синхросигнал  $C$ .

Если оба сигнала  $S$  и  $R$  равны 1 в момент, когда сигнал  $C$  переходит из 1 в 0, то схема ведет себя подобно RS-триггеру при одновременном переходе сигналов  $S$  и  $R$  на неактивный уровень: следующее состояние непредсказуемо и выходная цепь может стать метастабильной.



| Режим работы     | S | R | C | Q      | QN      |
|------------------|---|---|---|--------|---------|
| Хранение         | 0 | 0 | 1 | last Q | last QN |
| Загрузка 0       | 0 | 1 | 1 | 0      | 1       |
| Загрузка 1       | 1 | 0 | 1 | 1      | 0       |
| Неопределенность | 1 | 1 | 1 | 1      | 1       |
| Защелкивание     | x | x | 0 | last Q | last QN |

б)



в)

Рис.2.4. Синхронный RS-триггер на элементах 2И-НЕ: а) схема; б) таблица истинности; в) временные диаграммы работы

Возьмем за основу синхронный RS-триггер и рассмотрим схемы информационных связей, создающих другие типы триггеров. Триггер типа D получается из RS триггера, если подавать на вход S значение D, а на вход R его инверсию (рис.2.5, а). Триггер типа T образуется на основе синхронного RS-триггера по схеме рис.2.5, б. В этом случае роль счетного входа играет тактирующий вход. Действительно, при каждом разрешении приема информации по входу тактирования триггер по обратным связям принимает состояние, противоположное текущему, т. е. переключается. T-триггер аналогичным способом можно получить и на основе D-триггера (рис.2.5, в).



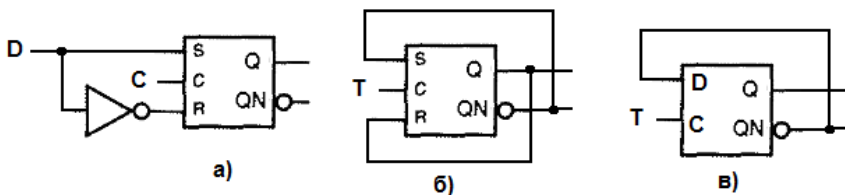


Рис.2.5. Конструирование различных типов триггеров: а) D-триггер тактируемый уровнем синхросигнала; б) T-триггер на базе синхронного RS-триггера; в) T-триггер на базе D-триггера тактируемого уровнем синхросигнала

Схема одноступенчатого синхронизируемого уровнем D-триггера (ИС типа TM5, TM7) может быть получена из схемы синхронного RS-триггера с помощью дополнительной связи с выхода элемента 1 на вход элемента 2 однофазный вход данных D превращается в парафазный и подается на R- и S-входы триггера, образованного элементами 3 и 4 (рис.2.6 и рис.2.7). D-триггер функционирует аналогично синхронному RS-триггеру. При  $C=H$  D-триггер прозрачен, т.е. любое изменение информации на входе D передается на выход. При  $C=L$  в триггере запоминается (защелкивается) то состояние, которое было на входе D непосредственно перед этим моментом.

На рис.2.8 показана схема D-триггера ИС типа SN7475 тактируемого уровнем синхросигнала C (ИС типа 155TM5), а в табл.2.1 приведены состояния D-триггера ИС типа SN7475.

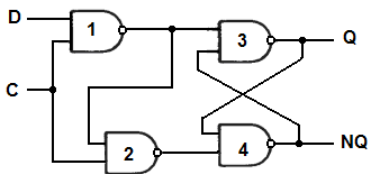


Рис.2.6. Схема D-триггера тактируемого уровнем

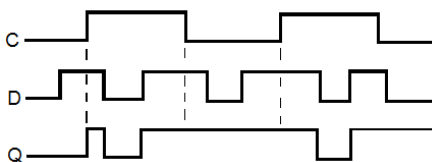


Рис.2.7. Временные диаграммы работы D-триггера

синхросигнала С на  
элементах 2И-НЕ

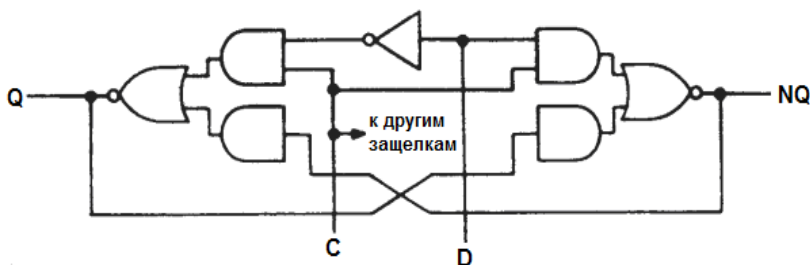


Рис.2.8. Схема D-триггера ИС типа SN7475 тактируемого уровнем синхросигнала С

Таблица 2.1

Таблица истинности D-триггера ИС типа SN7475

| Режим работы               | Входы |   | Выходы |             |
|----------------------------|-------|---|--------|-------------|
|                            | D     | C | Q      | $\bar{Q}$   |
| Разрешение передачи данных | L     | H | L      | H           |
| Защелкивание данных        | H     | H | H      | L           |
|                            | X     | L | $Q_0$  | $\bar{Q}_0$ |

### 2.1.2. Двухступенчатые триггеры

На рис.2.9 приведена схема, состоящая из двух последовательно включенных синхронных RS-триггеров, первый из которых называется ведущим или M-триггером (master – хозяин), а второй S-триггером (slave – раб). Благодаря общему синхросигналу С схема функционирует как единое целое и называется двухступенчатой или MS-триггером (master-slave flip-flop).

Рассмотрим работу MS-триггера. Если на вход  $C$  подан высокий уровень напряжения, то информация со входов  $R$  и  $S$  поступает на  $Q_M$ . При этом состояние  $S$ -триггера не изменяется, т.к. на входы элементов 5 и 6 через инвертор поступает низкий уровень напряжения  $C=0$ . Информация с выхода  $Q_M$  запишется в  $S$ -триггер только тогда, когда на входы элементов 5 и 6 поступит разрешающий сигнал, т.е. логическая единица. Это произойдет только в том случае, если на вход  $C$  будет подан 0. При  $C=0$  блокируется  $M$ -триггер и информация с управляющих входов  $R$  и  $S$  не может поступить на выход. Таким образом, ни при  $C=0$ , ни при  $C=1$  MS-триггер непрозрачен по управляющим входам  $R$  и  $S$ . Сказанное отражает важное свойство MS-триггера: запись информации в него происходит по отрицательному фронту синхросигнала.

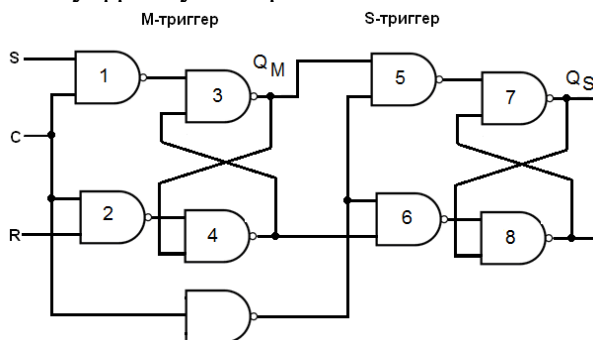


Рис.2.9. Двухступенчатый RS-триггер типа MS

Рассмотренный MS-триггер является основой для построения JK-триггера. ИС типа K155ТВ1 (SN7472) имеет один универсальный JK-триггер с тройными J и K-входами И (рис.2.10-2.12 и табл.2.2). Это позволяет выполнять логическое умножение управляющих сигналов. Раздельные асинхронные входы  $PRE\_L$  и  $CLR\_L$  (активные низкие уровни сигналов) позволяют устанавливать триггер в нулевое и единичное состояния независимо от сигналов на остальных входах. Триггер принимает данные, когда  $PRE\_L$  и  $CLR\_L = H$ . Используется двухступенчатый JK-триггер типа MS. Для

тактового входа CLK\_L требуется полный импульс. Положительным фронтом комбинация JK загружается в триггер-мастер. Она переносится в триггер-помощник отрицательным срезом и появляется на выходах Q и Q\_L.

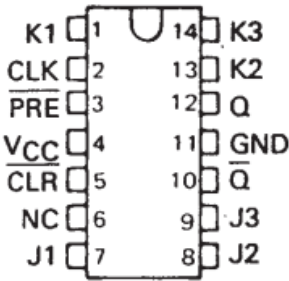


Рис.2.10. ИС типа SN7472  
JK-триггера

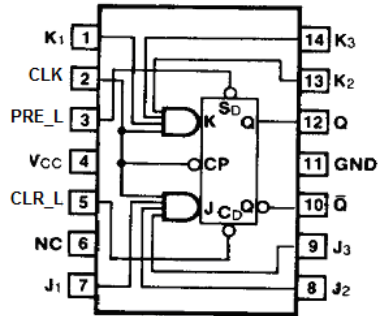


Рис.2.11. Условно-графическое  
обозначение ИС типа SN7472 JK-  
триггера

Режим хранения. Если на входы J и K подан ноль (L), то на выходах элементов 4И 1 и 2 будет высокий уровень напряжения независимо от состояния остальных входов. Триггер первой ступени находится в режиме хранения. Информация с его выходов будет перезаписываться во вторую ступень по каждому отрицательному фронту тактового сигнала CLK\_L. Так как состояния выходов Q не изменяются, то триггер находится в режиме хранения.

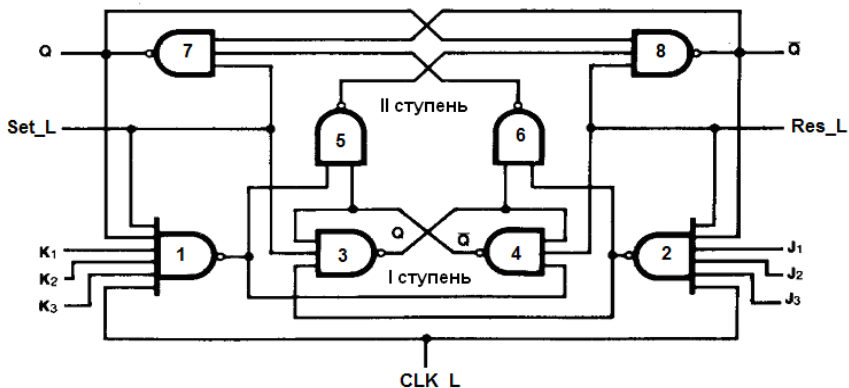


Рис.2.12. Схема двухступенчатого JK-триггера типа MS на ИС типа SN7472

Таблица 2.2  
Таблица истинности JK-триггера ИС типа SN7472

| Режимы работы          | Вход             |                  |              |   |   | Выход            |                  |
|------------------------|------------------|------------------|--------------|---|---|------------------|------------------|
|                        | $\overline{PRE}$ | $\overline{CLR}$ | CLK          | J | K | Q                | $\overline{Q}$   |
| Асинхронная установка  | L                | H                | X            | X | X | H                | L                |
| Асинхронный сброс      | H                | L                | X            | X | X | L                | H                |
| Неопределенность       | L                | L                | X            | X | X | H                | H                |
| Хранение               | H                | H                | $\downarrow$ | L | L | $Q_0$            | $\overline{Q_0}$ |
| Загрузка 1 (установка) | H                | H                | $\downarrow$ | H | L | H                | L                |
| Загрузка 0 (сброс)     | H                | H                | $\downarrow$ | L | H | L                | H                |
| Переключение           | H                | H                | $\downarrow$ | H | H | $\overline{Q_0}$ | $Q_0$            |

Предположим, что на выходе Q – низкий уровень напряжения, а на входы подана комбинация J=1, K=0 (режим загрузки 1). Высокий уровень на входе CLK\_L установит триггер первой ступени (элементы 3 и 4) в единичное состояние, которое по срезу синхросигнала CLK\_L запишется во вторую ступень. Таким образом, вход J выполняет функции S-входа. В силу симметрии схемы воздействие по K-входу

переводит триггер в 0. При разноименных уровнях на входах J и K JK-триггер ведет себя как синхронный RS-триггер.

Рассмотрим работу триггера при  $J=K=1$  (счетный режим). Для RS-триггера такое состояние входов запрещено. Пусть на входе Q-низкий уровень, который, поступая по цепи обратной связи на вход элемента 1, будет удерживать его выход в единичном состоянии. Сигнал с инверсного выхода разрешит прохождение синхросигнала CLK\_L на триггер первой ступени, который установится в единичное состояние. По отрицательному фронту CLK\_L единичное состояние первой ступени запишется во второй триггер, и на его выходе установится новое состояние, т.е.  $Q=1$ . Этот уровень разрешит прохождение сигналов через элемент 1, что приведет к изменению состояния триггера на противоположное после прихода очередного среза тактового импульса.

Для обозначения отрицательного фронта тактового синхросигнала используется символ “кружочек” или “стрелка вниз”. Для JK-триггера важен не уровень синхросигнала, а его перепад.

D-триггеры, синхронизируемые фронтом сигнала, изменяют свое состояние при поступлении на синхровход соответствующего фронта синхросигнала с положительного либо отрицательного (рис.2.13, а). При статических уровнях синхросигнала состояние триггера сохраняется независимо от уровней входных сигналов. Временная диаграмма работы такого триггера показана на рис.2.13, в. Обозначение двухтактного (двухступенчатого) триггера, принятое в зарубежной литературе, показано на рис.2.13, б. Треугольник на УГО показывает, что триггер тактируется передним фронтом синхроимпульса.

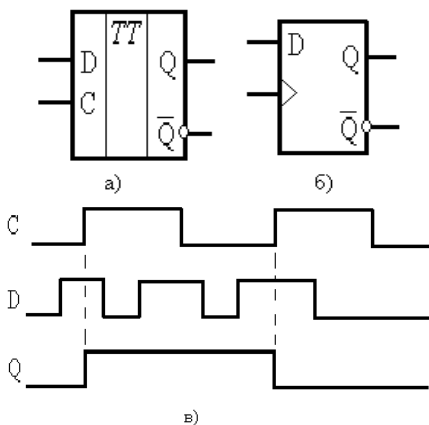


Рис.2.13. Условно-графическое обозначение D-триггера тактируемого фронтом синхросигнала, принятое в отечественной (а) и в зарубежной, литературе (б), временные диаграммы работы (в)

### 2.1.3. Триггеры с динамическим управлением

Триггер с динамическим управлением записью информации (триггеры, управляемые фронтами тактовых сигналов) допускает изменять информационные сигналы на D-входах при любом уровне тактовых сигналов без возникновения ошибок функционирования. В этой схеме тактовый сигнал активен лишь на коротком интервале в окрестностях фронта или спада импульса.

На рис.2.14 показана электрическая схема D-триггера TM2 (SN7474, ТТЛ) с динамическим управлением, тактируемого фронтом синхросигнала CLK (известная под названием “схема трех триггеров”). Схема триггера построена не по принципу “ведущий-ведомый”, схема содержит меньшее число логических элементов и обладает повышенным быстродействием. Входы PRE\_L и CLR\_L – асинхронные с активным низким уровнем L. Уровень на входе D надо зафиксировать перед приходом тактового перепада. Защитный интервал должен быть больше времени задержки в триггере. При L на входах PRE\_L и CLR\_L на прямом и инверсном

выходах триггера высокие уровни (режим неопределенности, при одновременном возвращении  $\overline{PRE\_L}$  и  $\overline{CLR\_L}$  в Н триггер может попасть в метастабильное состояние). Для записи (загрузки) в триггер логической единицы необходимо перевести входы  $\overline{PRE\_L}$  и  $\overline{CLR\_L}$  в Н, а на информационный вход до прихода переднего фронта синхроимпульса подать сигнал высокого уровня.

Таблица 2.3  
Таблица истинности D-триггера ИС типа SN7474

| Режим работы           | Входы            |                  |     |   | Выходы |                  |
|------------------------|------------------|------------------|-----|---|--------|------------------|
|                        | $\overline{PRE}$ | $\overline{CLR}$ | CLK | D | Q      | $\overline{Q}$   |
| Асинхронная установка  | L                | H                | X   | X | H      | L                |
| Асинхронный сброс      | H                | L                | X   | X | L      | H                |
| Неопределенность       | L                | L                | X   | X | H      | H                |
| Загрузка 1 (установка) | H                | H                | ↑   | H | H      | L                |
| Загрузка 0 (сброс)     | H                | H                | ↑   | L | L      | H                |
| Хранение               | H                | H                | L   | X | $Q_0$  | $\overline{Q}_0$ |

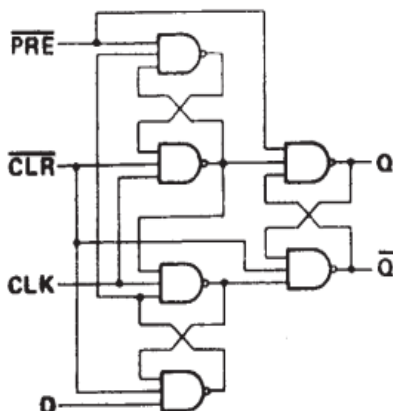


Рис.2.14. Электрическая схема D-триггера ИС типа SN7474 с динамическим управлением



## 2.2. Регистры на ИС средней степени интеграции

Регистр сдвига – это  $n$ -разрядный регистр, содержимого которого можно сдвигать на один разряд на каждом такте. На рис.2.15 показана структура регистра сдвига с последовательным вводом и последовательным выводом. На вход SERIN подаются биты которые появляются на последовательном выходе SEROUT спустя  $n$  тактов синхроимпульсов.

У регистра сдвига с последовательным вводом и параллельным выводом имеются выходы для всех хранимых в нем битов, благодаря чему они доступны для других схем (рис.2.16). Такие регистры используются для преобразования последовательного кода в параллельный.

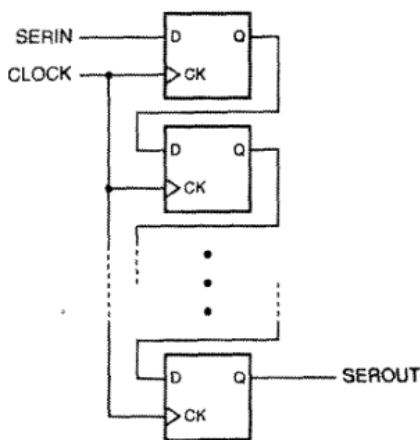


Рис.2.15. Структура регистра сдвига с последовательным вводом и последовательным выводом

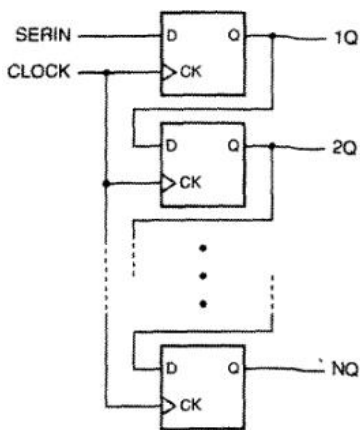


Рис.2.16. Структура регистра сдвига с последовательным вводом и параллельным выводом

На рис.2.17 показан регистр сдвига с параллельным вводом и последовательным выводом информации. В зависимости от значения сигнала на управляющем входе LOAD

(загрузка) / SHIFT (сдвиг) на каждом такте происходит либо загрузка новых данных с входов 1D – ND, либо сдвиг уже имеющегося содержимого регистра. На информационных входах D-триггеров, тактируемых фронтом синхросигнала, стоит 2-входной мультиплексор 2 в 1, позволяющий выбирать сигнал LOAD или SHIFT. С помощью регистра сдвига с параллельным вводом и последовательным выводом можно осуществить преобразование параллельного кода в последовательный.

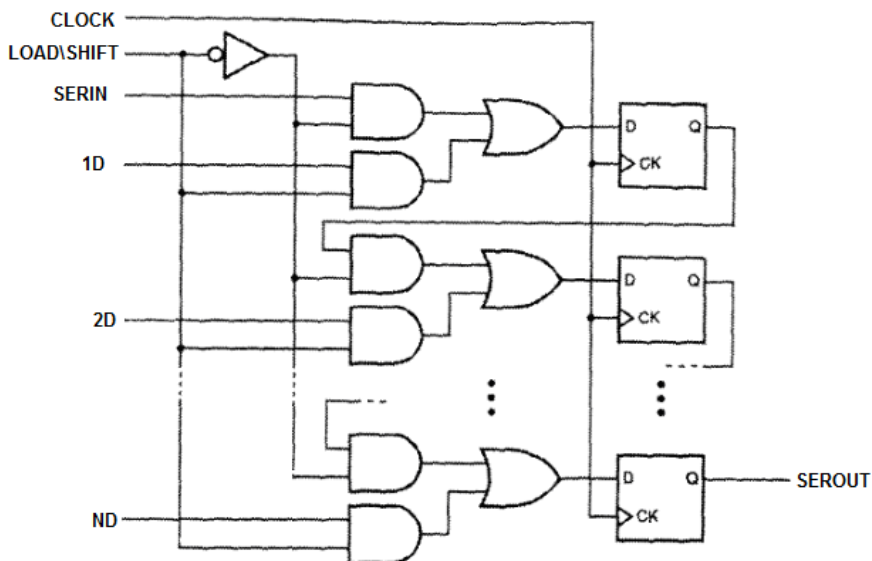


Рис.2.17. Структура регистра сдвига с параллельным вводом и последовательным выводом

Если регистр сдвига с параллельным вводом снабдить выводами для всех сохраняемых в нем битов, то получим регистр сдвига с параллельным вводом и параллельным выводом (рис.2.18).

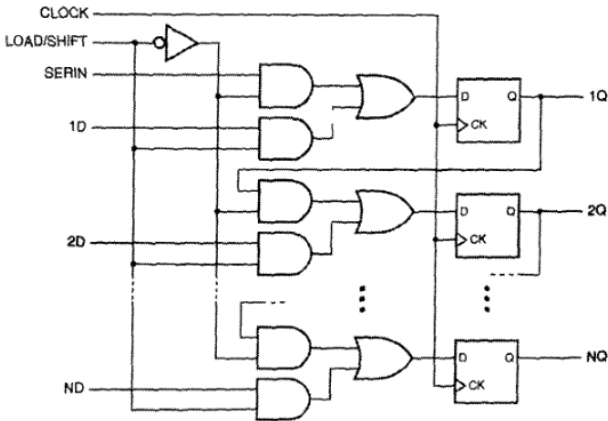


Рис.2.18. Структура регистра сдвига с параллельным вводом и параллельным выводом

ИС типа К531ИР12 (ИС типа SN74195) – универсальный регистр для синхронного накопления, сдвига и параллельно-последовательного преобразования на RS-триггерах, которые обеспечивают изменение выходных сигналов при подаче фронта (положительного перепада) тактового сигнала при наличии соответствующих входных сигналов, которые присутствовали до поступления тактового сигнала.

Дополнительная гибкость обеспечивается наличием отдельных J и K последовательных входов, которые при объединении образуют D-триггер. При SH/LD\_L=H происходит сдвиг слова вправо по каждому положительному перепаду (рис.2.19) от Q0 к Q3, а при SH/LD\_L=L происходит параллельная загрузка слова в регистр от положительного перепада и последующий сдвиг при SH/LD\_L=H. Сброс асинхронный CLR\_L=L. На рис.2.20 показаны различные режимы работы ИС типа SN74195: очистка, сдвиг, параллельная загрузка данных и сдвиг.

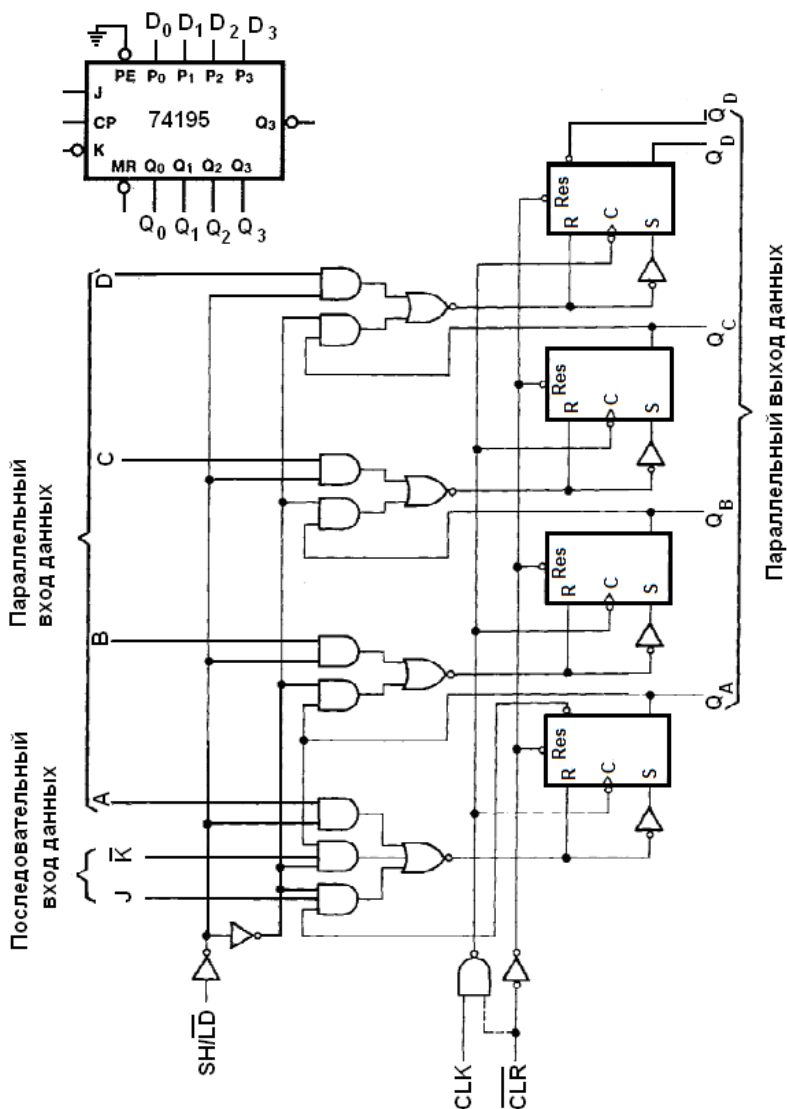


Рис.2.19. ИС типа SN74195 регистра для синхронного накопления, сдвига и параллельно-последовательного преобразования

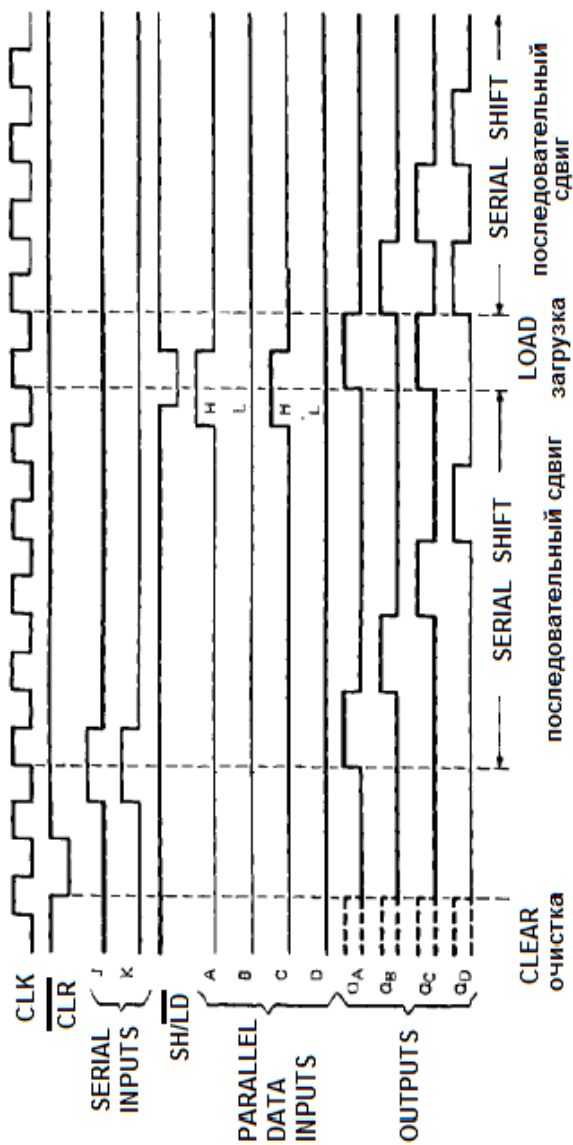


Рис.2.20. Режимы работы ИС типа SN74195: очистка, последовательный сдвиг, параллельная загрузка и сдвиг данных

Синхронно действующие параллельные входы ИС типа SN74195 можно использовать для образования регистра, который сдвигает данные влево или вправо при каждом тактовом импульсе CLK (рис.2.21). Для этого необходимо соединить выходы  $Q_1$ ,  $Q_2$  и  $Q_3$  со входами  $P_0$ ,  $P_1$ ,  $P_2$ . Когда на входе “Параллельное разрешение” (PE он же SH/LD\_L) высокий уровень происходит сдвиг данных вправо (RS – сдвиг вправо) и влево, если он низкий (LS – сдвиг). Для сдвига влево  $Q_0$  является выходом последовательных данных, а  $P_3$  их входом.

4-разрядный универсальный сдвиговый регистр ИС SN74195 можно использовать для счетных процедур различного рода. На рис.2.22 показано как организовать счетчики по модулю 8 и 6.

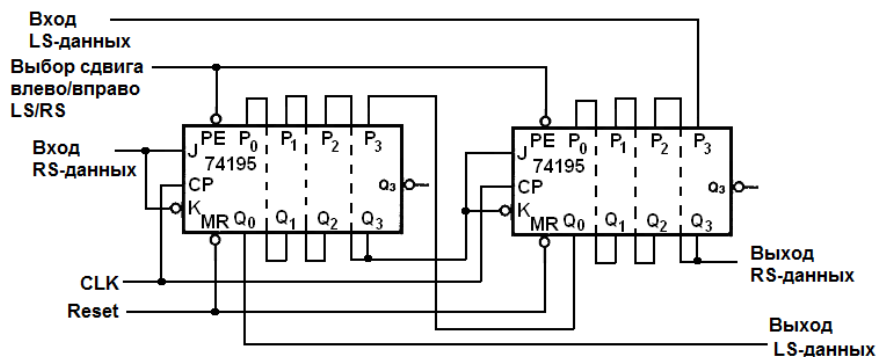


Рис.2.21. 8 – разрядный регистр сдвига влево/вправо на ИС типа SN74195

Регистры SN74195 могут быть использованы для разработки схемы поразрядного преобразователя двоичного кода в двоично-десятичный (рис.2.23). Для построения преобразователя для каждой конечной двоично-десятичной цифры так же потребуются один 4-разрядный сумматор с последовательным переносом ИС 7483 и один инвертор.

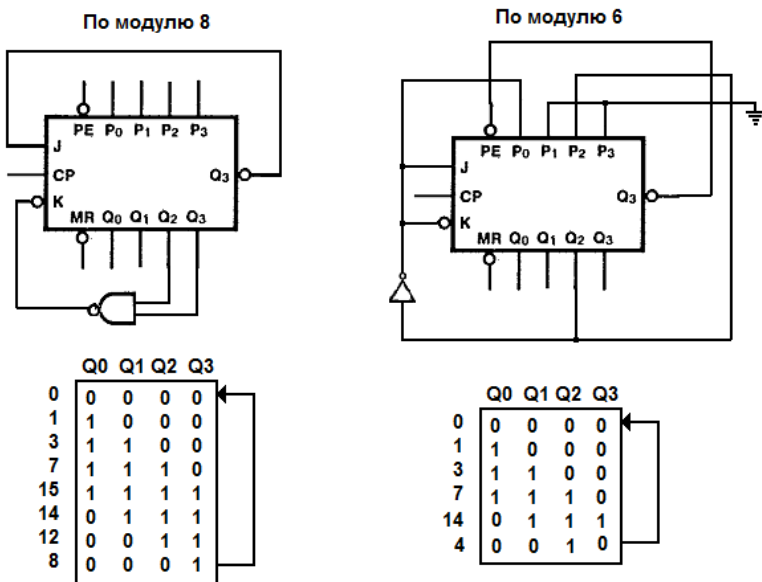


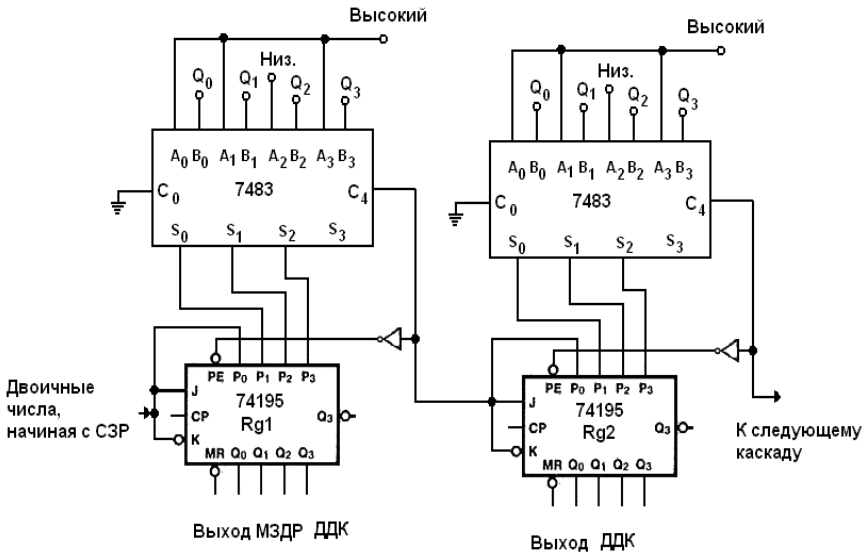
Рис.2.22. Считывание с помощью сдвиговых регистров ИС типа SN74195

Двоичное слово, начиная со старшего значащего разряда, вводится в сдвиговый регистр, состоящий из нескольких соединенных последовательно ИС 74195. Каждый сдвиг удваивает содержимое регистров, выраженное в двоично-десятичном коде. Поэтому требуется коррекция всякий раз, когда любой из 4-разрядных регистров содержит число больше чем четыре, которое при сдвиге вырабатывает неправильный код. Эта коррекция выполняется добавлением трех к содержимому регистра и введением суммы в параллельные входы данных, сдвигая на один раз вниз.

Если содержимое регистра больше 4-х, то вместо 3-х прибавляем 11-ть (1011) к содержимому регистра с помощью 4-разрядного сумматора. Если перенос в старший разряд  $S_4$  на выходе сумматора равен 1, то осуществляется коррекция содержимого регистра путем параллельной загрузки частичных сумм  $S_0, S_1, S_2$  4-разрядного сумматора на входы  $P_1, P_2, P_3$

регистра и следующего сдвигаемого бита с входов J и K на вход P0. Старший значащий разряд S3 игнорируется.

Двоичное число полностью преобразуется, когда введен его МЗР. Сдвиговый регистр должен быть достаточно длинным, чтобы вместить двоично-десятичный результат, который всегда длиннее, чем двоичное число. Данная схема может быть использована для любого числа разрядов и цифр.



Десятичное число 23

|     |   |   |   |   |   |     |
|-----|---|---|---|---|---|-----|
| ДК  | 0 | 1 | 0 | 1 | 1 | 1   |
| СЗР |   |   |   |   |   | МЗР |
| ДДК | 1 | 0 | 0 | 0 | 1 | 1   |
|     | 2 |   | 3 |   |   |     |

|          | Rg1    |    |    |       | Rg2       |    |    |    |
|----------|--------|----|----|-------|-----------|----|----|----|
|          | Q0     | Q1 | Q2 | Q3    | Q0        | Q1 | Q2 | Q3 |
| сдвиг    | 1      | 0  | 0  | 0 (1) | 0         | 0  | 0  | 0  |
| сдвиг    | 0      | 1  | 0  | 0 (2) | 0         | 0  | 0  | 0  |
| сдвиг    | 1      | 0  | 1  | 0 (5) |           |    |    |    |
| корреция | (+ 11) |    |    |       |           |    |    |    |
|          | +1     | 1  | 0  | 1     |           |    |    |    |
|          | <hr/>  |    |    |       |           |    |    |    |
|          | 0      | 0  | 0  | 0     | перенос 1 |    |    |    |
| сдвиг    | 1      | 0  | 0  | 0     | 1         | 0  | 0  | 0  |
| сдвиг    | 1      | 1  | 0  | 0     | 0         | 1  | 0  | 0  |

Выход в двоично-десятичном коде

Рис.2.23. Поразрядный преобразователь двоичного кода в двоично-десятичный на ИС типа SN74195

### 2.3. Счетчики на ИС средней степени интеграции



Счетчиком называют тактируемую последовательную схему, у которой диаграмма состояний представляет единственное кольцо.

Счетчик с последовательным переносом на базе Т-триггеров показан на рис. Информация о переносе поочередно передается от младших разрядов к старшим, по одному биту за раз. На рис.2.24 показаны схемы асинхронных суммирующих счетчиков.

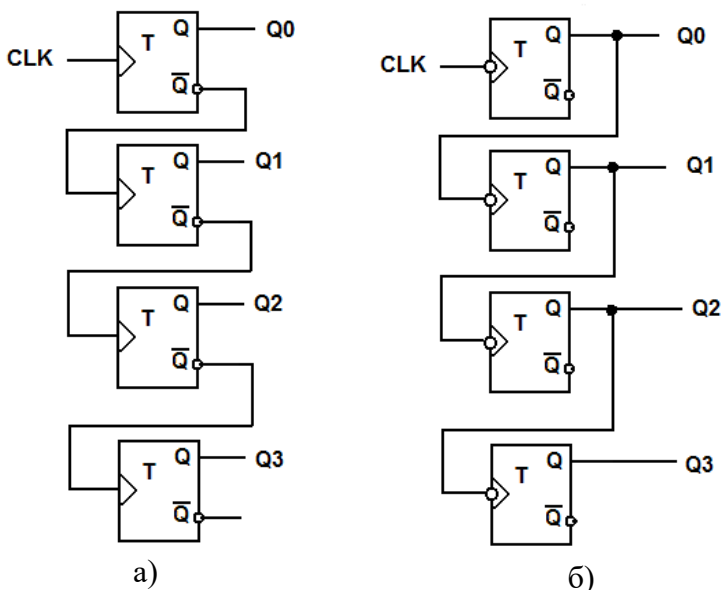


Рис.2.24. Схемы 4-разрядных двоичных суммирующих счетчиков с последовательным переносом: а) триггер тактируется фронтом и б) срезом синхросигнала

В синхронном счетчике к тактовым входам всех триггеров подводится один и тот же общий тактовый сигнал CLK, так что изменения значений сигналов на выходах всех триггеров происходят в один и тот же момент времени с небольшой задержкой. Для этого используются Т-триггеры со

входом разрешения. Сигнал на выходе триггера примет противоположное значение в момент, задаваемый нарастающим фронтом сигнала на его входе Т, только в том случае, если сигнал разрешения EN имеет активный уровень. Какие именно триггеры перейдут в состояние, противоположное предыдущему, на очередном нарастающем фронте сигнала на входе Т, определяется комбинационной логикой, включенной на входах разрешения EN.

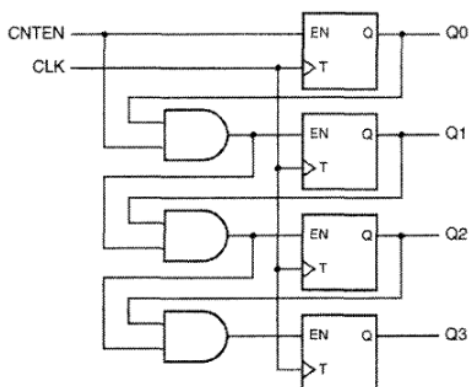


Рис.2.25. 4-разрядный синхронный двоичный суммирующий счетчик с последовательной логикой разрешения

Счетчик на рис.2.25 имеет главный сигнал разрешения CNTEN. Любой из Т-триггеров может переключиться тогда и только тогда, когда сигнал CNTEN имеет единичное значение и равны 1 биты во всех разрядах, младше данного. Такой счетчик называют последовательным синхронным счетчиком, т.к. сигналы разрешения проходят через комбинационную логику последовательно от младшего разряда к старшему.

ИС типа К155ИЕ2 (зарубежный аналог ИС типа SN7490) – асинхронный четырехразрядный двоично – десятичный счетчик (BCD) на JK-триггерах (рис.2.26, а). В схеме 4 триггера функционирующие в счетном режиме (Т-триггер). Первый двухтактный триггер самостоятельный делитель на два. Вход

CLK A – выход Q0. Остальные триггеры - делитель на 5 (CLK B). Триггеры тактируются срезами синхроимпульса. Для получения делителя на 10 необходимо соединить QA с CLKB, а синхроимпульсы необходимо подавать на CLK A.

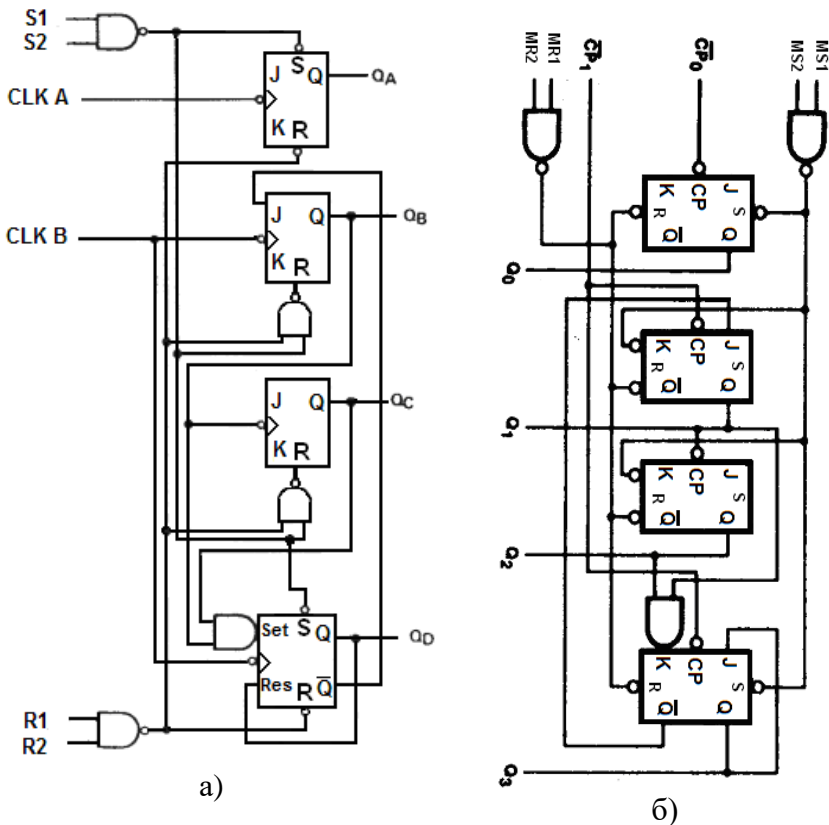


Рис.2.26. Электрическая схема 4-разрядного двоично – десятичного счетчика ИС типа SN7490 (а) фирмы TI и (б) фирмы Signetics (в оригинальном обозначении)

Установка S и сброс R – асинхронные. Активные низкие уровни сигналов S и R. Асинхронные входы установки S у второго и третьего триггеров не существуют. При S=H, R=X в

счетчик записывается двоичное число 1001 (9) табл.2.4. Счет происходит от 0000 до 1001 если  $S=R=L$  (табл.2.5). Если подать на вход CLK В подать частоту  $f$  и соединить QD с CLK А то получим сигнал с частотой  $f/10$ . Неподключенные входы триггеров J и K считаем подключенным к логической единице. Схема на рис.2.26, б полностью эквивалентна схеме на рис.2.26, а. В схеме на рис.2.26, а используется в качестве 4-го триггера RS-триггер синхронизируемый срезом синхроимпульса, а на рис.2.26, б JK-триггер.

Таблица 2.4

Выбор режима работы счетчика ИС типа SN7490

| Сброс/установка |    |    |    | Выходы         |                |                |                |
|-----------------|----|----|----|----------------|----------------|----------------|----------------|
| R1              | R2 | S1 | S2 | Q <sub>D</sub> | Q <sub>C</sub> | Q <sub>B</sub> | Q <sub>A</sub> |
| Н               | Н  | L  | X  | L              | L              | L              | L              |
| Н               | Н  | X  | L  | L              | L              | L              | L              |
| X               | X  | Н  | Н  | Н              | L              | L              | Н              |
| X               | L  | X  | L  | счет           |                |                |                |
| L               | X  | L  | X  | счет           |                |                |                |
| L               | X  | X  | L  | счет           |                |                |                |
| X               | L  | L  | X  | счет           |                |                |                |

Таблица 2.5

Последовательность двоично-десятичного счета в ИС типа SN7490

| Счет | Выходы         |                |                |                |
|------|----------------|----------------|----------------|----------------|
|      | Q <sub>D</sub> | Q <sub>C</sub> | Q <sub>B</sub> | Q <sub>A</sub> |
| 0    | L              | L              | L              | L              |
| 1    | L              | L              | L              | Н              |
| 2    | L              | L              | Н              | L              |
| 3    | L              | L              | Н              | Н              |
| 4    | L              | Н              | L              | L              |
| 5    | L              | Н              | L              | Н              |
| 6    | L              | Н              | Н              | L              |
| 7    | L              | Н              | Н              | Н              |
| 8    | Н              | L              | L              | L              |
| 9    | Н              | L              | L              | Н              |

Рассмотрим делитель на 12 (рис.2.27). ИС типа K155ИЕ4 (зарубежный аналог ИС типа SN7492) – четырехразрядный делитель на 2 (вход C0\_L и выход Q0) и на 6 (вход C1\_L и выход Q3) без внешних соединений. Соединив внешние выводы счетчика Q0 и C1\_L получим делитель на 12, на Co\_L подается

тактовый сигнал с частотой  $f$ , а с выхода Q3 снимаем  $f/12$ . Асинхронный сброс  $MR_1$  и  $MR_2 = H$  (табл.2.6). В табл.2.7 показана последовательность счета делителя на 12. Состояния 6, 7 и 14, 15 не реализуются.

Таблица 2.6

Режимы работы счетчика  
ИС типа SN7492 и SN7493

| Сброс           |                 | Выход          |                |                |                |
|-----------------|-----------------|----------------|----------------|----------------|----------------|
| MR <sub>1</sub> | MR <sub>2</sub> | Q <sub>0</sub> | Q <sub>1</sub> | Q <sub>2</sub> | Q <sub>3</sub> |
| H               | H               | L              | L              | L              | L              |
| L               | H               |                |                |                | Счет           |
| H               | L               |                |                |                | Счет           |
| L               | L               |                |                |                | Счет           |

Таблица 2.7

Последовательность счета  
делителя на 12 ИС типа  
SN7492

| Счет | Выходы         |                |                |                | DEC |
|------|----------------|----------------|----------------|----------------|-----|
|      | Q <sub>0</sub> | Q <sub>1</sub> | Q <sub>2</sub> | Q <sub>3</sub> |     |
| 0    | L              | L              | L              | L              | 0   |
| 1    | H              | L              | L              | L              | 1   |
| 2    | L              | H              | L              | L              | 2   |
| 3    | H              | H              | L              | L              | 3   |
| 4    | L              | L              | H              | L              | 4   |
| 5    | H              | L              | H              | L              | 5   |
| 6    | L              | L              | L              | H              | 8   |
| 7    | H              | L              | L              | H              | 9   |
| 8    | L              | H              | L              | H              | 10  |
| 9    | H              | H              | L              | H              | 11  |
| 10   | L              | L              | H              | H              | 12  |
| 11   | H              | L              | H              | H              | 13  |

ИС типа K155ИЕ5 (зарубежный аналог ИС типа SN7493) четырехразрядный счетчик на базе двухтактных JK-триггеров (рис.2.28). Счетчик составлен из делителя на 2, от CO\_L до Q0 и делителя на 8 от C1\_L до Q1 ... Q3. Соединив выход Q0 с тактовым входом C1\_L делителя на 8 получим делитель на 16 на Q3. Последовательность счета делителя на 16 ИС типа SN7493 показана в табл.2.8.

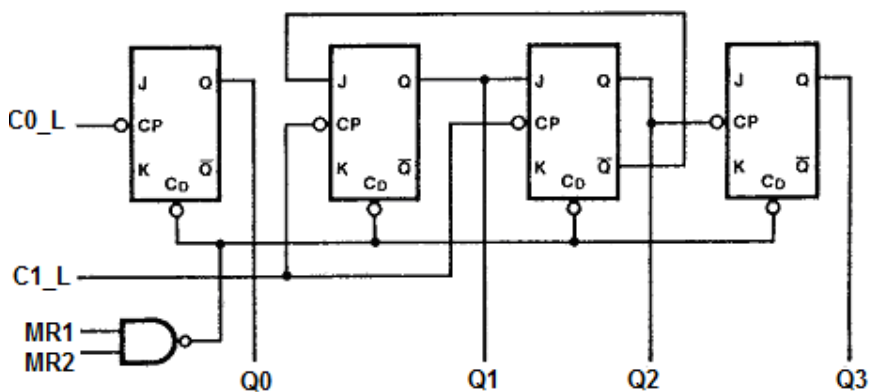


Рис.2.27. Электрическая схема делителя на 12 ИС типа SN7492

Таблица 2.8

Последовательность  
счета делителя на 16 ИС  
типа SN7493

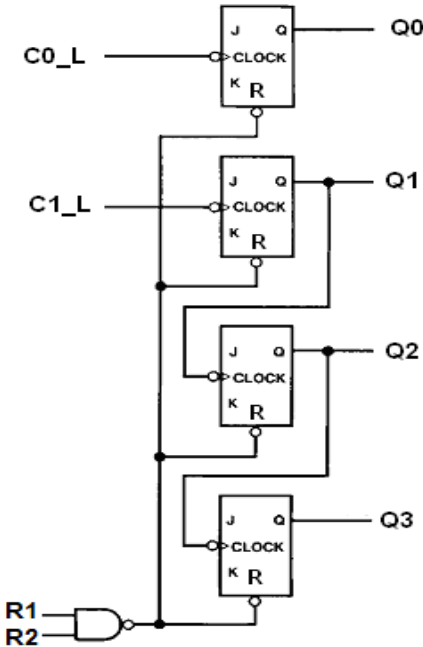


Рис.2.28. Электрическая схема  
делителя на 16 ИС типа SN7493

| Счет | Выходы |    |    |    |
|------|--------|----|----|----|
|      | Q3     | Q2 | Q1 | Q0 |
| 0    | L      | L  | L  | L  |
| 1    | L      | L  | L  | H  |
| 2    | L      | L  | H  | L  |
| 3    | L      | L  | H  | H  |
| 4    | L      | H  | L  | L  |
| 5    | L      | H  | L  | H  |
| 6    | L      | H  | H  | L  |
| 7    | L      | H  | H  | H  |
| 8    | H      | L  | L  | L  |
| 9    | H      | L  | L  | H  |
| 10   | H      | L  | H  | L  |
| 11   | H      | L  | H  | H  |
| 12   | H      | H  | L  | L  |
| 13   | H      | H  | L  | H  |
| 14   | H      | H  | H  | L  |
| 15   | H      | H  | H  | H  |

Для реализации счетчика с произвольным модулем счета используются два основных способа. В основе первого способа лежит метод исключения лишних комбинаций по цепи сброса, во втором – установка исходного числа.

Первый способ рассмотрим на примере построения счетчика с коэффициентом пересчета 37 на базе счетчика ИС типа К155ИЕ5 (рис.2.29). Входы асинхронного сброса триггеров объединены и выведены на внешние выводы R1 и R2 через логический вентиль 2И-НЕ.

Так как заданный модуль счета больше 16, то для реализации этого счетчика необходимо использовать два четырехразрядных счетчика К155ИЕ5.

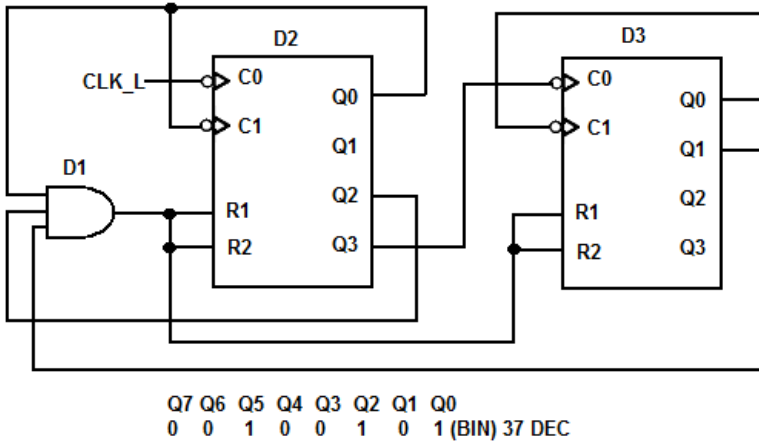


Рис.2.29. Схема счетчика с модулем счета 37 на ИС типа К155ИЕ5

Внешний сигнал синхронизации CLK\_L подается на вход C0 счетчика D2. Его выход Q0 соединен со входом C2. Вход C0 счетчика D3 подключен к выходу Q3 счетчика D2. В процессе подсчета импульсов счетчик последовательно принимает состояния от 0 до 36. После чего он должен сброситься в ноль, т.е. все оставшиеся комбинации от 37 до 255 должны быть исключены. Как только на выходах счетчика появляется число десятичное число 37 DEC = 100101 BIN вырабатывается сигнал сброса, полученный логическим объединением по И выходов Q0, Q2 и Q5. Из рассмотренного примера следует, что для построения счетчика с произвольным модулем счета по методу исключения лишних комбинаций, необходимо представить заданный коэффициент пересчета в двоичном коде. Выходы счетчика, веса которых соответствуют весам единиц в полученном двоичном числе, подсоединяют ко входам логического вентиля И, а выход которого подключают ко входам сброса счетчика.

ИС типа SN74163 4-разрядный синхронный двоичный счетчик с входами сброса CLR\_L и LOAD\_L; сигналы на этих



входах имеют низкий активный уровень. Электрическая схема делителя частоты на 16 показана на рис.2.30, а работа представлена в табл.2.9. Схема построена с использованием D-триггеров.

Внутри ИС используются D-триггеры для упрощения функции загрузки и сброса. На D-вход каждого триггера сигнал поступает с выхода 2-входового мультиплексора, состоящего из вентиля ИЛИ и двух вентилях И. Выходной сигнал мультиплексора равен 0, если подан входной сигнал CLR\_L. Если CLR\_L=Н и LD\_L=L, то верхний вентиль И пропускает входные сигналы данных со входов Data\_A, Data\_B, Data\_C, Data\_D на выходы QA, QB, QC, QD.

Если ни один из уровней не является активным CLR\_L=Н и LD\_L=Н, то нижней вентиль И мультиплексора 2 в 1 пропускает на выходной сигнал вентиля исключающее ИЛИ-НЕ.

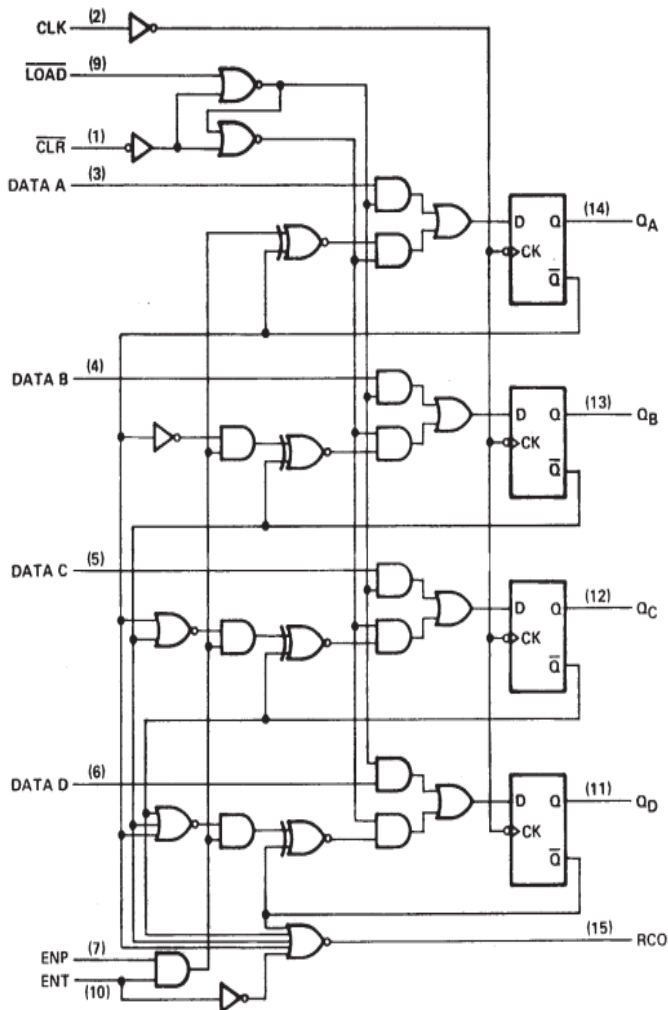


Рис.2.30. Принципиальная схема синхронного двоичного счетчика ИС типа SN74163

Функция счета в ИС типа 74163 выполняется с помощью вентилях исключающее ИЛИ-НЕ. На один из входов этого вентиля в каждом разряде поступает бит, хранящийся в этом разряде ( $Q_A$ ,  $Q_B$ ,  $Q_C$ ,  $Q_D$ ) а на другой вход подана логическая

1, в результате на выходе этого вентиля вырабатывается дополнение к биту, хранящемуся в данном разряде, но только в том случае, когда оба сигнала разрешения ENP и ENT имеют активный уровень и во всех разрядах счетчика младшего данного, биты равны 1.

Таблица 2.9

Таблица состояний 4-разрядного двоичного счетчика  
ИС типа 74163

| Входы |      |     |     | Текущее состояние |    |    |    | Следующее состояние |     |     |     |
|-------|------|-----|-----|-------------------|----|----|----|---------------------|-----|-----|-----|
| CLR_L | LD_L | ENT | ENP | QD                | QC | QB | QA | QD*                 | QC* | QB* | QA* |
| 0     | x    | x   | x   | x                 | x  | x  | x  | 0                   | 0   | 0   | 0   |
| 1     | 0    | x   | x   | x                 | x  | x  | x  | D                   | C   | B   | A   |
| 1     | 1    | 0   | x   | x                 | x  | x  | x  | QD                  | QC  | QB  | QA  |
| 1     | 1    | x   | 0   | x                 | x  | x  | x  | QD                  | QC  | QB  | QA  |
| 1     | 1    | 1   | 1   | 0                 | 0  | 0  | 0  | 0                   | 0   | 0   | 1   |
| 1     | 1    | 1   | 1   | 0                 | 0  | 0  | 1  | 0                   | 0   | 1   | 0   |
| 1     | 1    | 1   | 1   | 0                 | 0  | 1  | 0  | 0                   | 0   | 1   | 1   |
| 1     | 1    | 1   | 1   | 0                 | 0  | 1  | 1  | 0                   | 1   | 0   | 0   |
| 1     | 1    | 1   | 1   | 0                 | 1  | 0  | 0  | 0                   | 1   | 0   | 1   |
| 1     | 1    | 1   | 1   | 0                 | 1  | 0  | 1  | 0                   | 1   | 1   | 0   |
| 1     | 1    | 1   | 1   | 0                 | 1  | 1  | 0  | 0                   | 1   | 1   | 1   |
| 1     | 1    | 1   | 1   | 0                 | 1  | 1  | 1  | 1                   | 0   | 0   | 0   |
| 1     | 1    | 1   | 1   | 1                 | 0  | 0  | 0  | 1                   | 0   | 0   | 1   |
| 1     | 1    | 1   | 1   | 1                 | 0  | 0  | 1  | 1                   | 0   | 1   | 0   |
| 1     | 1    | 1   | 1   | 1                 | 0  | 1  | 0  | 1                   | 0   | 1   | 1   |
| 1     | 1    | 1   | 1   | 1                 | 0  | 1  | 1  | 1                   | 1   | 0   | 0   |
| 1     | 1    | 1   | 1   | 1                 | 1  | 0  | 0  | 1                   | 1   | 0   | 1   |
| 1     | 1    | 1   | 1   | 1                 | 1  | 0  | 1  | 1                   | 1   | 1   | 0   |
| 1     | 1    | 1   | 1   | 1                 | 1  | 1  | 0  | 1                   | 1   | 1   | 1   |
| 1     | 1    | 1   | 1   | 1                 | 1  | 1  | 1  | 0                   | 0   | 0   | 0   |

Сигнал RCO (выход сквозного переноса) означает наличие переноса из самого старшего разряда; он равен 1, когда равны 1 биты, хранящиеся во всех разрядах счетчика, и подан сигнал разрешения ENT.

На рис.2.31 показана загрузка десятичного числа 12 (1100) для десятичных счетчиков 74161 (асинхронная очистка) и 74163. Вначале осуществляется синхронная очистка содержимого счетчика сигналом CLR\_L, затем синхронная загрузка числа 12 по переднему фронту сигнала CLK и последующий счет до 15 и от 0 до 2 с последующим запретом счета с сохранением текущего содержимого счетчика. На рис.2.33 показана работа счетчика в непрерывном режиме, когда счет разрешен постоянно (рис.2.32).

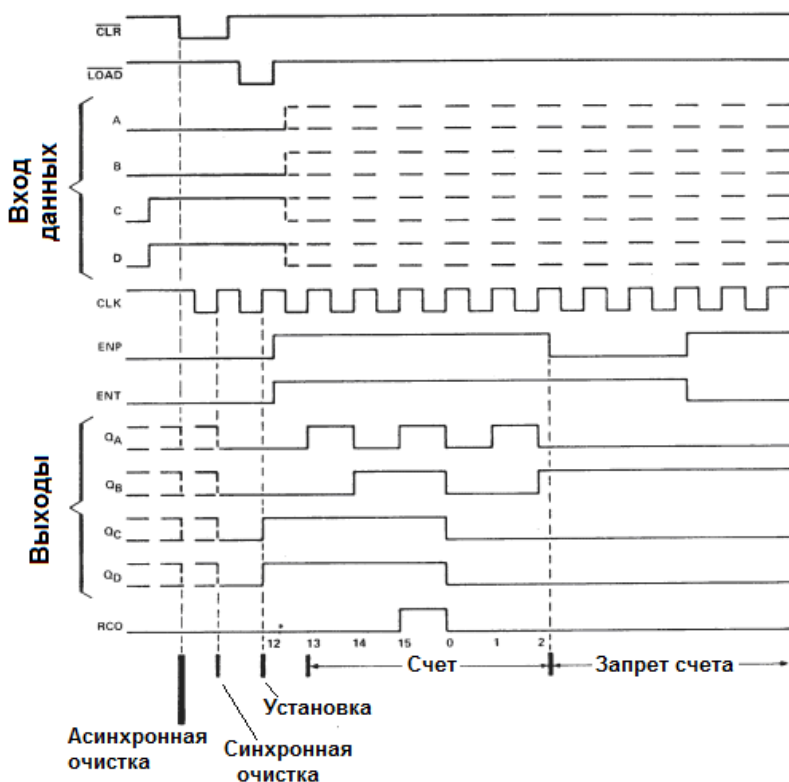


Рис.2.31. Загрузка в счетчик десятичного числа 12 и последующий счет от 12 до 15 и от 0 до 2 с последующим запретом счета для ИС типа SN74163

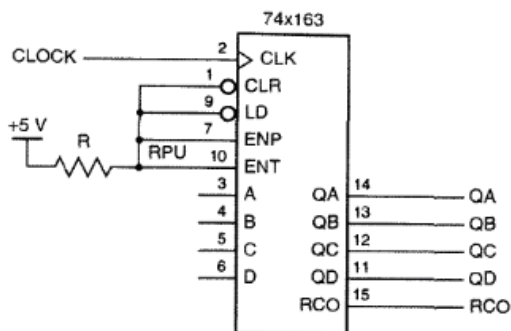


Рис.2.32. Включение счетчика в непрерывный режим работы для ИС типа SN74163

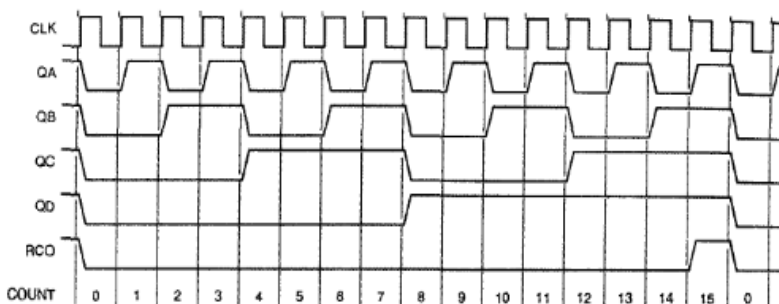


Рис.2.33. Временные диаграммы тактового сигнала и сигналов на выходах отдельных разрядов в делителе частоты на 16

Счетчик является полностью синхронным. Сигналы на его выходах изменяются только на нарастающем фронте сигнала CLK.

Счетчик 74163 считает до 16, но с помощью сигналов CLR\_L и LD\_L его можно заставить считать по меньшему модулю, чем 16, укоротив проходящую им последовательность состояний. На рис.2.34, показано использование ИС типа 74163 в качестве счетчика по модулю 11 с использованием метода предварительной загрузки числа.

Когда счетчик находится в состоянии 15, на выходе RCO возникает единичный сигнал, который заставляет перейти счетчик в состояние 5, поэтому схема считает от 5 до 15 и снова начинает счет с 5. В цикле счета 11 состояний.

На рис.2.35 показан другой способ построение счетчика по модулю 11. Для обнаружения состояния счетчика, равного 10 (1010) используется вентиль И-НЕ. Сигнал, возникающий на выходе этого вентиля, заставляет счетчик перейти в состояние 0.

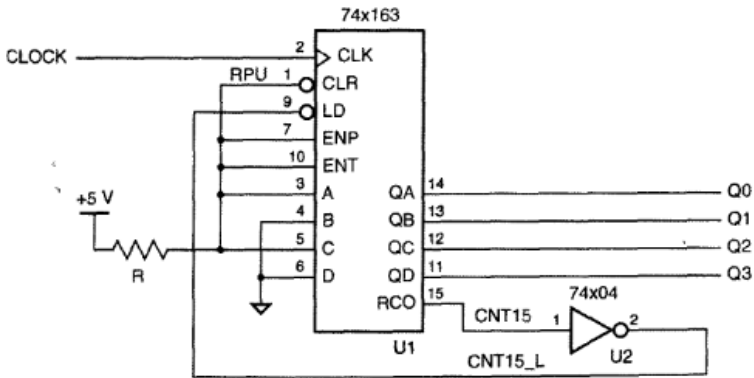


Рис.2.34. Применение ИС типа SN74163 в качестве счетчика по модулю 11 с последовательностью счета 5, 6, ..., 15, 5, 6 с использованием метода предварительной загрузки числа

На рис.2.36 показана общая структура последовательного включения счетчиков ИС типа 9316 для построения многокаскадного суммирующего синхронного счетчика.

На рис.2.37 показан синхронный 4-разрядный счетчик на JK-триггерах (ИС типа 9316 фирмы National Semiconductor). В отличие от ИС типа SN74163 сигнал очистки CLEAR асинхронный (активный низкий). Сигнал загрузки LOAD – активный низкий, синхронизируется по переднему фронту сигнала CLK. Схема более громоздкая, т.к. к каждому входу J и

К JK-триггера подключены свои мультиплексоры. Вход ENABLE\_P разрешает параллельную загрузку в счетчик. В отличие от ИС типа 74163 сигнал ENABLE\_T разрешает выход RCO.

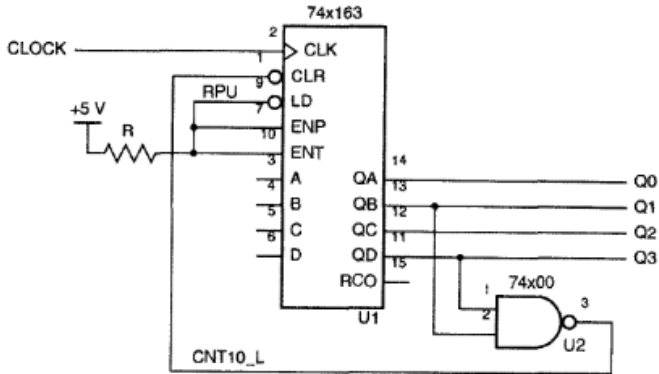


Рис.2.35. Применение ИС типа SN74163 в качестве счетчика по модулю 11 с последовательностью счета 0, 1, 2, ..., 10, 0, 1

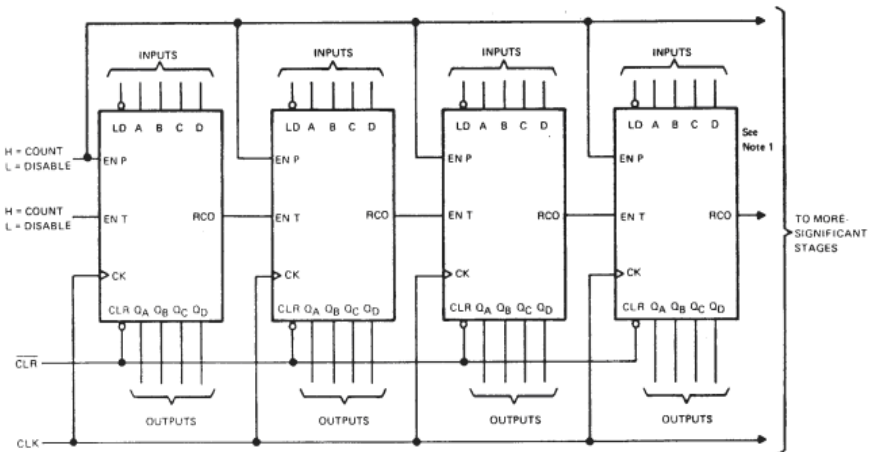


Рис.2.36. Общая структура последовательного включения счетчиков ИС типа 9316 (многокаскадный синхронный счетчик)

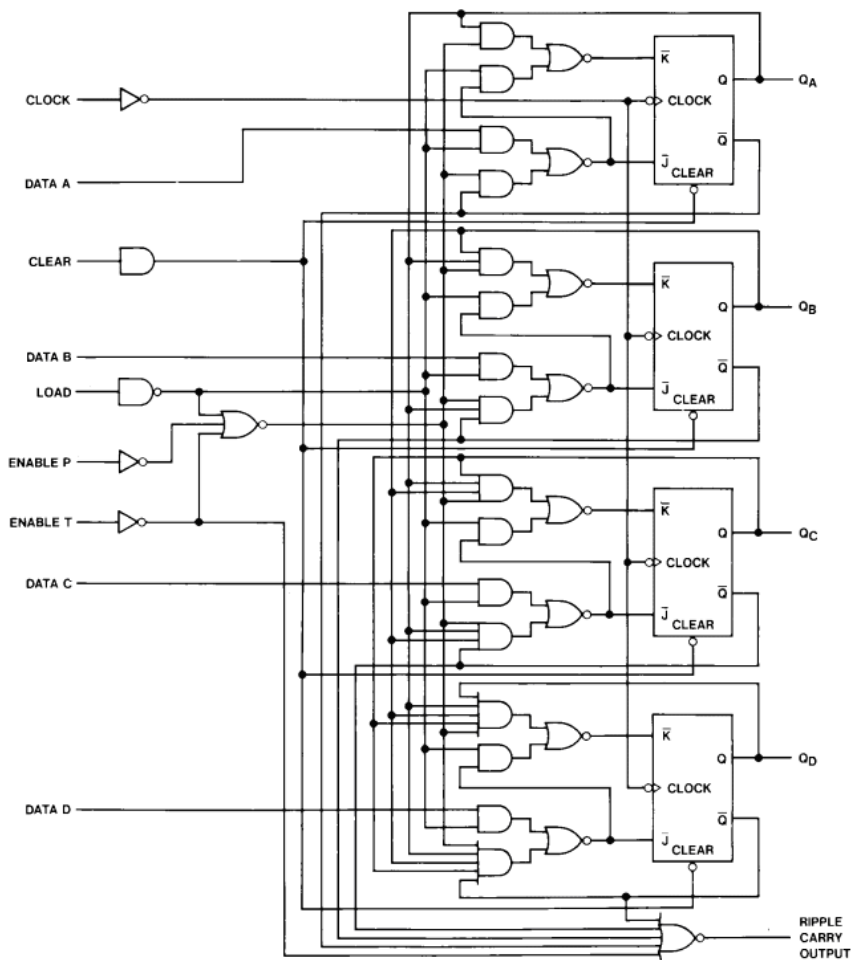


Рис.2.37. Синхронный 4-разрядный счетчик на JK-триггерах ИС типа 9316

Реверсивный счетчик. Суммирующий и вычитающий счетчики различаются только точкой съема сигнала, подаваемого с предыдущего разряда на последующий. Для получения реверса достаточно управлять выбором источника сигнала. ИС типа SN74192 (отечественный аналог К155ИЕ6) –



синхронный, четырехразрядный, реверсивный двоично-десятичный счетчик от 0.. до 9 .. 0 (рис.2.38). Синхросигналы CPu и CPd с помощью мультиплексора поступают на тактовый вход Т-триггера (JK-триггер типа MS). Положительный перепад на увеличение CPu (UP) или уменьшение CPd (DOWN) прибавляет или вычитает 1. Сигналы R (MR – главный сброс) и PE\_L асинхронные. Если R=PE\_L (LOAD)=L то в счетчик можно загрузить байт данных D0..D3, который появляется на выходах с определенной задержкой. Сигналы предельного счета TCu\_L (Up, перенос) и TCd\_L (Down, заем) активные низкие (табл.2.10).

Для наращивания разрядности счетчика до 8 разрядов необходимо соединить оба выхода окончания счета TCu\_L и TCd\_L непосредственно с CPu и CPd следующей ИС. Однако в этом случае получаемый 8 разрядный счетчик не является полностью синхронным. При CPu или CPd =L счетчик не переключается.

Таблица 2.10  
Режим работы счетчика ИС типа SN74192

| Режим                    | Входы |                 |          |          |    |    |    |    | Выходы                |    |    |    |       |       |
|--------------------------|-------|-----------------|----------|----------|----|----|----|----|-----------------------|----|----|----|-------|-------|
|                          | MR    | $\overline{PL}$ | CPu      | CPd      | D0 | D1 | D2 | D3 | Q0                    | Q1 | Q2 | Q3 | TCu_L | TCd_L |
| Асинхр сброс             | H     | X               | X        | L        | X  | X  | X  | X  | L                     | L  | L  | L  | H     | L     |
|                          | H     | X               | X        | H        | X  | X  | X  | X  | L                     | L  | L  | L  | H     | H     |
| Параллельная<br>загрузка | L     | L               | X        | L        | L  | L  | L  | L  | L                     | L  | L  | L  | H     | L     |
|                          | L     | L               | X        | H        | L  | L  | L  | L  | L                     | L  | L  | L  | H     | H     |
|                          | L     | L               | H        | X        | H  | L  | L  | H  | Qn=Dn<br>Qn=Dn        |    |    | L  | H     |       |
| Счет на<br>увеличение    | L     | H               | $\lceil$ | H        | X  | X  | X  | X  | Счет на<br>увеличение |    |    | H  | H     |       |
| Счет на<br>уменьшение    | L     | H               | H        | $\lceil$ | X  | X  | X  | X  | Счет на<br>уменьшение |    |    | H  | H     |       |

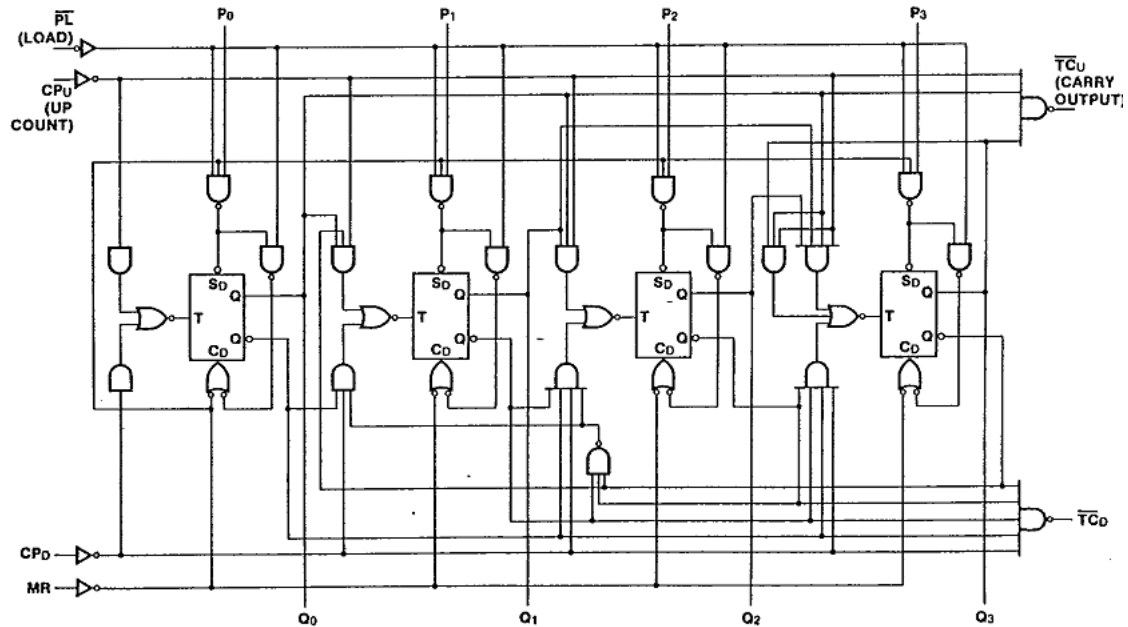


Рис.2.38. ИС типа SN74192 – синхронный, четырехразрядный, реверсивный двоично-десятичный счетчик

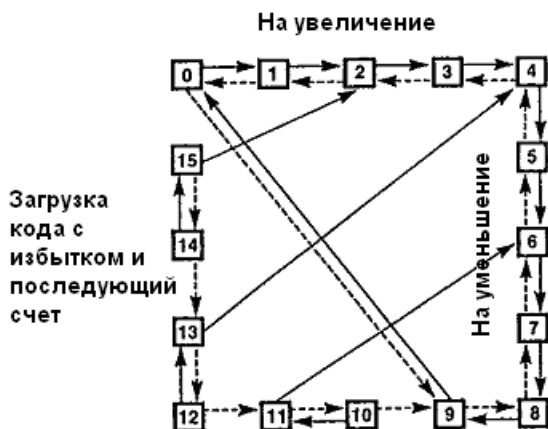


Рис.2.39. Диаграмма работы счетчика ИС типа SN74192

Диаграмма работы счетчика показана на рис.2.39. В счетчик может быть загружено избыточное число старше 9 и в зависимости от сигналов TCu\_L или TCd\_L будет осуществляться счет либо на увеличение или на уменьшение с изменением состояний счета.

На рис.2.40 показаны временные диаграммы работы счетчика SN74192. Режим очистки, загрузки десятичного числа 7, последующий счет на увеличение с 7 до 9 и с 0 до 2 при подачи на вход CPu положительных перепадов и выработки сигнала окончания счета TCu\_L=L, и счет на уменьшение с 2 до 0 и с 9 до 7.

В основе метода предварительной загрузки числа лежит способ исключения начальных состояний для суммирующего счетчика. При этом счет начинается с того числа, которое было предварительно записано в счетчик. Модуль счета определяется в соответствии с выражением:

$$M = \begin{cases} 2^n - 1 - \text{для суммирующего счетчика;} \\ X + 1 - \text{для вычитающего счетчика,} \end{cases}$$

где X - предварительно загружаемое число.

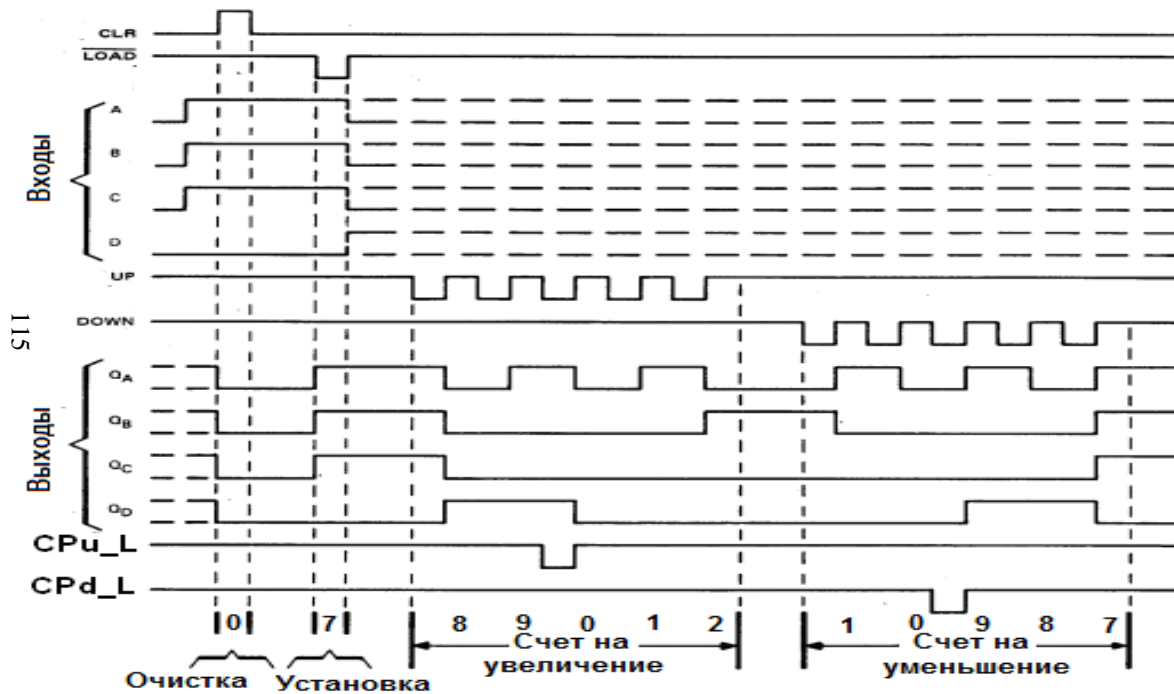


Рис.2.40. Временные диаграммы работы ИС типа SN74192. Режимы очистки, загрузки десятичного числа 7, счет на увеличение 8, 9, 0, 1, 2 и уменьшение 1, 0, 9, 8, 8, 7

На рис.2.41 показана схема суммирующего счетчика с модулем счета  $M=77$  построенного на ИС типа К155ИЕ7. Предварительная запись числа в счетчик происходит если на вход  $PE\_L$  разрешения параллельной загрузки будет подан отрицательный импульс. Для осуществления прямого счета на вход  $+1$  подаются положительные импульсы синхросигнала CLK, а на вход  $-1$  – высокий уровень напряжения. После заполнения счетчика выходы устанавливаются в состояние высокого уровня, а на выходе прямого переноса  $\geq 15$  появится отрицательный импульс. Именно этот импульс и используется для предварительной записи числа. В рассматриваемом примере это число будет равно:

$$X = 256 - 1 - 77 = 178 \text{ (DEC)} = 10110010 \text{ (BIN)}.$$

В соответствии с полученным числом входы счетчиков D0 – D7 подключаются либо к нулевому потенциалу, либо через резистор к положительному выводу источника питания.

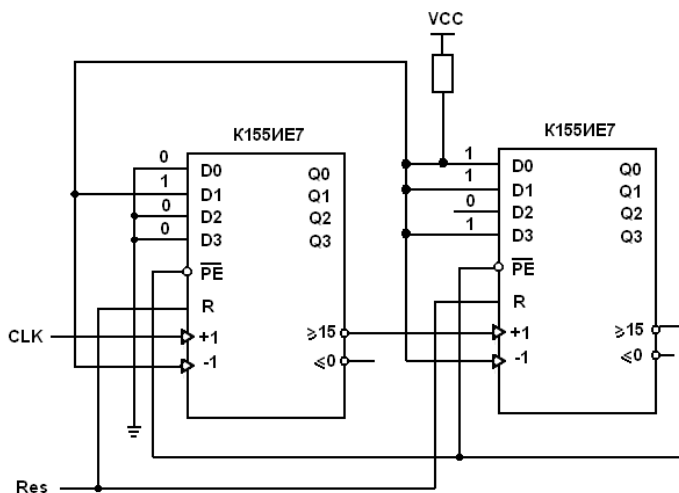


Рис.2.41. Схема счетчика с модулем счета 77 с использованием двух реверсивных счетчиков на ИС типа К155ИЕ7

### 3. СХЕМОТЕХНИКА ЭЛЕМЕНТОВ КМОП БИС

#### 3.1. Логические элементы на МОП-транзисторах

МОП-транзисторы (МОПТ) подразделяются по типу канала (на n-канальные и p-канальные) и по режиму работы (нормальное состояние - открыт и нормальное состояние - заперт). МОПТ, у которых нормальное состояние – открыт, называют МОПТ обедненного типа или МОПТ со встроенным каналом. У МОПТ обедненного типа канал имеет тот же тип проводимости, что и сток с истоком. В МОПТ обогащенного типа, у которых нормальное состояние – заперт, канал легирован противоположной примесью по отношению к истоку и стоку. Для отпирания такого прибора необходимо приложить напряжение между затвором и подложкой. Такие транзисторы называют еще МОПТ с индуцированным каналом.

Рассмотрим МОПТ с индуцированным каналом. При нормальной работе n-канальной МОП-структуры исток берется в качестве точки отсчета. Обычно он заземлен. Подложка p-МОПТ или заземляется, или находится под отрицательным смещением. Сток и затвор находятся под положительным смещением. Контакт подложки, размещенный на нижней стороне пластины, часто соединяется с омическим контактом на верхней поверхности, расположенным вне области канала (рис.3.1).

Для правильной работы МОПТ полярности на переходах истока и стока выбираются таким образом, чтобы на диодах по отношению к подложке смещение было нулевым или обратным.

Прежде всего, следует рассмотреть случай, когда напряжение сток - исток  $V_{СИ}$  равно нулю, а напряжение затвор - исток  $V_{ЗИ}$  изменяется в положительном направлении (рис.3.1). Для  $V_{ЗИ} < V_T$ , где  $V_T$  - пороговое напряжение (напряжение, необходимое для образования инверсионного слоя) МОПТ находится в подпороговом режиме. Обедненная область

распространяется от поверхности в подложку на глубину  $W_D$ .

Напряжение на стоке обеспечивает поток электронов от истока к стоку. При  $V_{ЗИ} < V_T$  и  $V_{СИ} > 0$  (подпороговый режим) протекает небольшой, но потенциально важный ток. Так как область между истоком и стоком обеднена, протекающий ток обусловлен диффузией. Этот ток является постоянным для любых напряжений стока, превосходящих 100 мВ. Подпороговый ток влияет на скорость, с которой может происходить открывание или закрывание МОПТ, а также на величину мощности, рассеиваемой в ждущем режиме.

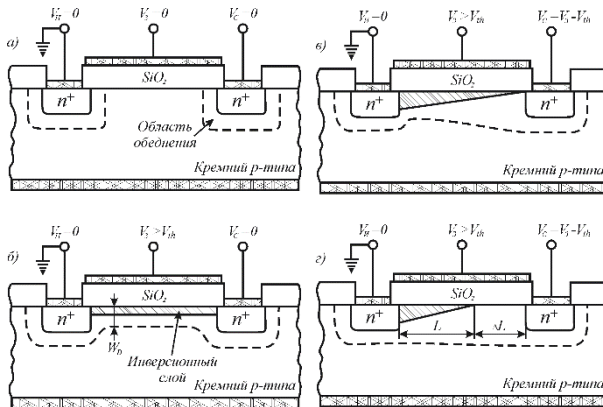


Рис.3.1. n-МОПТ обогащенного типа (МОПТ с индуцированным каналом) при разных режимах смещения

Если  $V_{ЗИ}$  начнет превосходить  $V_T$ , а  $V_{СИ}$  поддерживается на уровне, меньшем чем  $V_{ЗИ} - V_T$ , то образующийся при этом инверсионный слой (канал) создает возможность протекания тока. При этом структура ведет себя как резистор, управляемый напряжением, т.е. сила тока регулируется напряжением затвора.

По мере дальнейшего увеличения  $V_{СИ}$  обедненная область у стока расширяется, так как диод сток-подложка находится под обратным смещением (рис.3.1), а инверсионная

область вблизи стока начинает уменьшаться. Дальнейшее увеличение напряжения стока приводит к дополнительному уменьшению глубины инверсионного слоя. В результате этого наблюдается отклонение от линейной зависимости между током канала и напряжением стока.

Продолжающееся увеличение  $V_{СИ}$  приводит к полному обеднению инверсионной области у стокового конца. Результатом этого является возникновение состояния, называемого отсечкой. В режиме отсечки обедненная область существует между концом инверсионной области и переходом стока. Напряжение стока, приводящее к появлению отсечки, называется напряжением насыщения,  $V_{СИнас}$ .

При увеличении  $V_{СИ}$  до значений, превосходящих  $V_{СИнас}$ , область отсечки расширяется по направлению к истоку. При напряжениях, меньших  $V_{СИнас}$ , падение напряжения вдоль канала является приблизительно линейным.

Простейшее описание МОПТ заключается в рассмотрении носителей как частиц, проходящих от истока к стоку с постоянной скоростью. Время, необходимое для прохождения канала, имеющего длину  $L$ , равно

$$\tau = L / v ,$$

где  $v$  – скорость носителей. Скорость связана с электрическим полем  $E$  через подвижность:

$$v = \mu E .$$

Приближенно считая падение напряжения между истоком и стоком линейным:

$$E = V_{СИ} / L ,$$

получим:

$$\tau = L^2 / \mu E ,$$

Уравнение позволяет сделать несколько важных выводов. Чтобы увеличить скорость переключения МОПТ, длину канала следует уменьшать. Для достижения той же цели электрическое поле и подвижность следует увеличивать. В современных



МОПТ с малыми размерами для увеличения быстродействия используются оба этих пути.

Для вычисления тока  $I_C$  следует суммарный заряд в канале разделить на время пролета. Заряд в инверсионной области, как можно приближенно считать, индуцируется напряжением на затворе, как только  $V_{3И}$  становится больше порогового напряжения. Используя закон Гаусса, можно написать:

$$Q_n = -C_{OX}(V_{3И} - V_T)WL,$$

где  $C_{OX}$  – емкость оксида, приходящаяся на единицу площади. Таким образом, ток через прибор равен

$$I_{СИ} = -Q_n / \tau,$$

или

$$I_{СИ} = \mu C_{OX}(W/L)(V_{3И} - V_T)V_{СИ}.$$

Данное выражение позволяет сделать некоторые важные замечания. Для увеличения тока надо уменьшать длину канала или пороговое напряжение, увеличивать ширину или увеличивать напряжение на затворе и стоке. Рассчитаем время заряда через  $RC$ -цепочку. Если предположить, что осуществляется управление идентичным МОПТ, то время заряда емкости затвора равно

$$\tau_{RC} = (V_{СИ} / I_{СИ})C_{OX}, \quad f_{MAX} = 1/2\pi\tau_{RC}$$

или

$$\tau_{RC} = L^2 / \mu C_{OX}(V_{3И} - V_{th}).$$

Из этого выражения также видно, что для создания быстродействующих ИС требуется обеспечивать малую длину каналов, их большую ширину и большой запас по управляющему напряжению, т.е. большую величину  $(V_{3И} - V_T)$ . Например, для МОПТ с индуцированным каналом р-типа, имеющего  $L = 5$  мкм и  $\mu = 200 \text{ см}^2/\text{Вс}$ , предельная частота при  $V_{3И} - V_T = -5$  В равна 0.637 ГГц.

На практике используют более точное выражение для статических выходных характеристик. Статическую выходную характеристику записывают в виде:

$$I_C = (W / L) \mu_n C_{OX} [(V_{3И} - V_T) V_{СИ} - V_{СИ}^2 / 2].$$

Уравнение моделирует МОПТ как в линейной области, так и на участке приближения к насыщению. Квадратичный член приведет к уменьшению наклона зависимости  $I_C$  от  $V_{СИ}$  при больших  $V_{СИ}$ .

В области насыщения данное уравнение не справедливо. Как только инверсионный слой в области стока исчез, уравнением нельзя пользоваться. Если напряжение стока, необходимое для того, чтобы вызвать отсечку инверсионной области у стокового конца канала, приближенно выразить как

$$V_{СИнас} = V_{СИ} - V_T,$$

то уравнение можно переписать как

$$I_{Снас} = \mu_n C_{OX} (W / 2L) (V_{3И} - V_T)^2.$$

Ток стока не зависит от напряжения стока и зависит квадратично от напряжения затвора. Ни одна из этих характеристик не является справедливой для МОПТ с малыми размерами.

При увеличении напряжения на стоке  $V_{СИ} > V_{СИнас}$  наблюдается эффект модуляции длины канала. Так как ток  $I_{Снас}$  обратно пропорционален длине канала  $L$ , то в соответствии с указанным эффектом ток стока будет связан с  $I_{Снас}$  следующим образом:

$$I_C (V_{СИ} > V_{СИнас}) = I_{Снас} \left[ \frac{L}{L - \Delta L} \right],$$

где  $\Delta L$  – длина области отсечки, которая распространяется в направлении к истоку, при увеличении  $V_{СИ}$ .

Под крутизной  $g_m$  обычно понимают усиление прибора. Крутизна непосредственно связана с быстродействием ИС, и ее надо максимизировать. Крутизна определяется как

$$g_m = \partial I_C / \partial V_{3И} \Big|_{V_{СИ} = \text{const}} .$$

В линейной области для МОПТ с большими размерами

$$g_m = (W / L) \mu C_{OX} V_{СИ} ,$$

а в области насыщения

$$g_m = (W / L) \mu C_{OX} (V_{3И} - V_T) .$$

Эти уравнения показывают, что  $g_m$  увеличивается при уменьшении длины канала, порогового напряжения или толщины окисла. Крутизна увеличивается при увеличении ширины канала или напряжения затвора.

Проводимость канала  $g_C$  – величина, обратная сопротивлению канала. Кроме того,  $g_C$  – это мера крутизны вольт-амперной характеристики при постоянном напряжении затвора. Когда прибор находится под смещением и в линейной области характеристик, важно, чтобы сопротивление канала было настолько малым, насколько это возможно. Поэтому величина  $g_C$  должна быть по возможности большой. Когда МОПТ находится в насыщении, сопротивление канала должно быть как можно больше и поэтому величина  $g_C$  должна быть малой. Проводимость канала определяется как

$$g_C = \partial I_C / \partial V_{СИ} \Big|_{V_{3И} = \text{const}} .$$

Для классического МОПТ с большими размерами, находящегося в линейной области,

$$g_C = (W / L) \mu C_{OX} (V_{3И} - V_T) ,$$

а в области насыщения  $g_C = 0$  .

Благодаря тому, что  $I_C$  не зависит от  $V_{СИ}$ , получается, что в области насыщения  $g_C = 0$ . Измерение тока стока в подпороговой области позволяет оценить, насколько быстро

может быть включен или выключен МОПТ. Прибор считается выключенным, если ток в нем снизился на порядок величины по сравнению с уровнем тока при  $V_T$ . Размах  $S$  определяется как изменение напряжения затвора в подпороговой области, необходимое для уменьшения тока стока в десять раз. В соответствии с этим определением

$$S = \ln 10 dV_{зи} / d(\ln I_C).$$

Минимальный размах составляет 57,5 мВ для того, чтобы выключить идеальный МОПТ. Размах можно уменьшить, снижая толщину подзатворного оксида или уровень легирования подложки, а также прикладывая к подложке смещение. На практике обычная величина размаха имеет порядок 80 - 90 мВ.

Стоковые характеристики (рис.3.2, а) имеют крутой начальный участок 1, соответствующий режиму неперекрытого канала, и пологий участок 2, соответствующий режиму перекрытого канала, или насыщения. Разделяющее эти участки напряжение насыщения  $V_{СИнас} - V_T$  не зависит от длины канала. При увеличении длины канала пропорционально снижается крутизна ВАХ на участке 1 и ток насыщения на участке 2. Наклон ВАХ в режиме насыщения определяется эффектом модуляции длины канала, слабее выраженным при большой длине канала. Поэтому угол наклона уменьшается, а внутреннее сопротивление канала увеличивается пропорционально  $L$ .

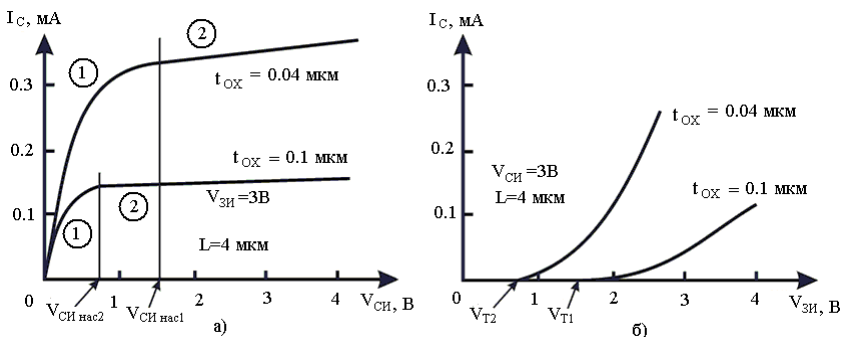


Рис.3.2. Стоковая (а) и стоко-затворная (б) характеристики МОПТ при различной толщине подзатворного оксида  $t_{ox}$

С ростом  $t_{ox}$  уменьшаются удельная крутизна и крутизна стокозатворной характеристики и увеличивается пороговое напряжение. Для увеличения крутизны, а также ослабления эффекта подложки толщину диэлектрика обычно выбирают минимальной исходя из возможностей технологии. Однако при очень малом ( $t_{ox} < 0.01$  мкм) возможно протекание тока через диэлектрик вследствие туннельного эффекта, а также снижается напряжение пробоя диэлектрического слоя, что ухудшает параметры транзистора.

Основной логической цифровой схемой является инвертор, выполняющий логическую функцию НЕ. Схема ЛЭ с нелинейной и с токостабилизирующей нагрузкой на n-МОПТ показана на рис.3.3. На рис.3.3 а, затвор нагрузочного n-МОПТ с индуцированным каналом подключается к источнику питания  $V_{CC}$ . Транзистор  $VT1$  с индуцированным каналом, на затвор которого подается входной сигнал, называют активным (или усилительным), а транзистор  $VT2$  со встроенным каналом, выполняющий функцию нелинейного резистора - пассивным. Схема ЛЭ с токостабилизирующей нагрузкой на n-МОПТ, показана на рис.3.3 б. В качестве токостабилизирующей нагрузки используется n-МОПТ со встроенным каналом, затвор которого соединен с выходом схемы.

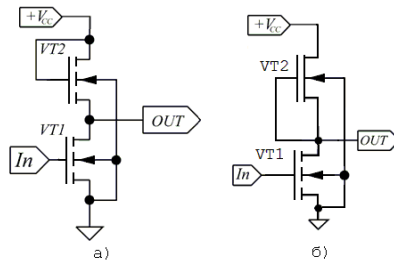


Рис.3.3. Электрические схемы цифровых инверторов на n-МОПТ: а) - инвертор нелинейной нагрузкой; б) – инвертор с токостабилизирующей нагрузкой

Если построить графики зависимостей  $I_C$  от  $V_{СИ}$  для нагрузочных транзисторов, показанных на рис.3.4 а и б, то они будут нелинейными. На рис.3.4 так же показана линия условной активной нагрузки. Токостабилизирующая нагрузка более предпочтительна, потому, что ее характеристика пересекает ось  $V$  при  $V_{CC}$ . Эта нагрузка работает как источник тока, увеличивая до максимума скорость заряда емкости внешней нагрузки.

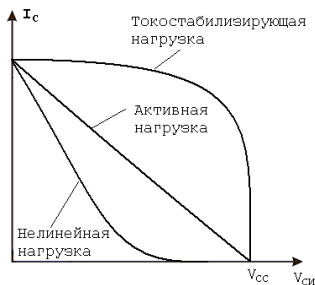


Рис.3.4. Характеристики нагрузки для нагрузочных МОПТ с нелинейной и с токостабилизирующей нагрузкой

В общем случае необходимы два источника питания: положительной  $+V_{CC1}$  и отрицательной  $-V_{CC2}$  полярности относительно общей (нулевой) шины ИС. Второй из них, называемый источником смещения подложки, не является принципиально необходимым для функционирования, но позволяет существенно улучшить параметры схемы.

Если на входе инвертора напряжение низкого уровня (напряжение логического нуля  $V^0$ )  $V^0 < V_T^{VT1}$ , где  $V_T^{VT1}$  — пороговое напряжение активного транзистора  $VT1$ , то последний закрыт. Пассивный транзистор всегда открыт независимо от входного напряжения. Поэтому выходное

напряжение равно  $+V_{CC}$  и соответствует напряжению высокого уровня  $V^1$  (напряжение логической единицы). Если  $V_{IN} = V^1 = V_{CC}$ , то транзистор  $VT1$  открыт.

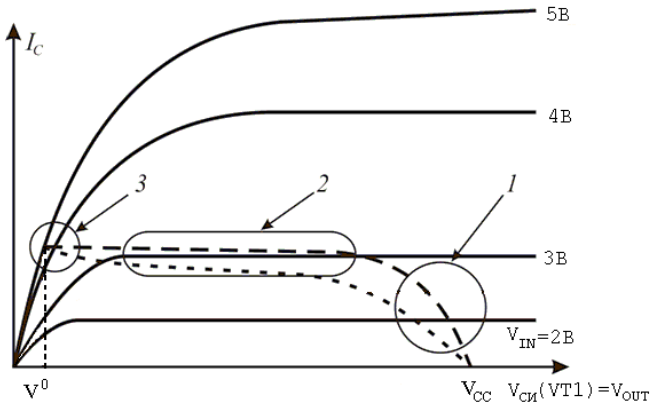


Рис.3.5. ВАХ нагрузочного и активного n-МОПТ с токостабилизирующей нагрузкой: область 1:  $VT_1 = \text{нас.}$ ,  $VT_2 \neq \text{нас.}$ ; область 2:  $VT_1 = \text{нас.}$ ,  $VT_2 = \text{нас.}$ ; область 3:  $VT_1 \neq \text{нас.}$ ,  $VT_2 = \text{нас.}$

На рис.3.5 показаны стоковые характеристики. Сплошными линиями показаны стоковые характеристики активного транзистора  $VT1$  при разных входных напряжениях. Штриховой линией показана характеристика пассивного транзистора  $VT2$ . Она развернута в обратную сторону. При высоких напряжениях на входе, удовлетворяющих условию  $V_{CC} - V_{CНac}^{VT2} < V_{OУТ} < U_{CC}$ , получается крутой участок, а при низких ( $V_{OУТ} < V_{CC} - V_{CНac}^{VT2}$ ) - пологий. Здесь  $V_{CНac}^{VT2}$  - напряжение насыщения пассивного транзистора  $VT2$ , равное  $V_{3И}^{VT2} - V_T^{VT2}$ . Для простоты будем считать, что ВАХ в пологий области (в режиме насыщения) параллельны оси абсцисс, т.е.

пренебрежем эффектом подложки в пассивном транзисторе и эффектом модуляции длины канала.

При малых входных напряжениях  $V_{IN}$  точки пересечения лежат в области 1 (рис.3.5). Пассивный транзистор работает на крутом участке стоковой ВАХ, а активный - на пологом, в режиме насыщения. Когда входное напряжение достигает значения области 2, оба транзистора переходят в режим насыщения, а выходное напряжение изменяется скачкообразно. В области 2 активный транзистор работает на крутом, а пассивный - на пологом участках стоковых ВАХ. Из анализа рис.3.5 можно сделать вывод, что транзисторы VT1 и VT2 будут переключаться между линейной областью и областью насыщения.

Напряжения затвор-исток и сток-исток для транзисторов VT1 и VT2 равны:

$$V_{ЗИ}(VT1) = V_{IN}, V_{ЗИ}(VT2) = 0,$$

$$V_{СИ}(VT1) = V_{OUT}, V_{СИ}(VT) = V_{CC} - V_{OUT}.$$

Подставляя напряжения затвор-исток и сток-исток транзисторов VT1 и VT2 в уравнение ВАХ МОПТ получим: для нагрузочного транзистора VT2:

$$I_C(VT2) = K_{VT2} \left[ (-V_T^{VT2})(V_{CC} - V_{OUT}) - \frac{1}{2}(V_{CC} - V_{OUT})^2 \right] \text{ в}$$

линейной области;

$$I_C(VT2) = \frac{1}{2} K_{VT2} (V_T^{VT2})^2 \text{ в области насыщения;}$$

для активного транзистора VT1:

$$I_C(VT1) = K_T^{VT1} \left[ (V_{IN} - V_T^{VT1})V_{OUT} - \frac{1}{2}V_{OUT}^2 \right] \text{ в линейной области;}$$

$$I_C(VT1) = \frac{1}{2} K_{VT1} (V_{IN} - V_T^{VT1})^2 \text{ в области насыщения.}$$

Так как транзисторы соединены последовательно, а токи внешней нагрузки пренебрежительно малы, то токи стоков



будут равны  $I_C(VT1) = I_C(VT2)$ . На участке 1 разрешая это уравнение относительно  $V_{OUT}$ , получим:

$$V_{OUT} = V_{CC} + V_T^{VT2} + \sqrt{\left(V_T^{VT2}\right)^2 - \frac{K_{VT1}}{K_{VT2}} \left(V_{IN} - V_T^{VT1}\right)^2}.$$

Это равенство справедливо при

$$\left(V_T^{VT2}\right)^2 \geq \frac{K_{VT1}}{K_{VT2}} \left(V_{IN} - V_T^{VT1}\right)^2 \text{ и } V_{IN} \geq V_T^{VT1}.$$

На участке 2 нагрузочный и усилительный транзисторы работают в области насыщения. Полагая  $I_C(VT1) = I_C(VT2)$  и решая уравнение относительно  $V_{IN}$  получим:

$$V_{IN} = V_T^{VT1} + \left(\frac{K_{VT1}}{K_{VT2}}\right)^{-1/2} \left|V_T^{VT2}\right|.$$

В это уравнение, напряжение  $V_{OUT}$  не входит, это означает, что передаточная характеристика имеет бесконечно малый наклон. Входное напряжение, при котором происходит переключение между высоким и низким уровнями  $V_{OUT}$ , зависит от пороговых напряжений транзисторов и отношения крутизны транзисторов, т.е. от относительных размеров каналов транзисторов.

На участке 3 нагрузочный транзистор VT2 работает в режиме насыщения, а транзистор VT1 в активном режиме, имеем:

$$V_{OUT} = \left(V_{IN} - V_T^{VT1}\right) - \sqrt{\left(V_{IN} - V_T^{VT1}\right)^2 - \frac{K_{VT2}}{K_{VT1}} \left(V_T^{VT2}\right)^2}.$$

Важную роль в обеспечении достаточной крутизны передаточной характеристики играет отношение  $K_{VT2}/K_{VT1}$ . На рис.3.6 показано влияние на передаточную характеристику параметра  $K_{VT2}/K_{VT1}$  ( $V_{CC1} = 5$  В,  $V_T^{VT1} = 0.7$  В,  $|V_T^{VT2}| = 1.5$  В). Типовые значения  $K_{VT2}/K_{VT1} = 0.1 \dots 0.5$ . С ростом этого

параметра передаточная характеристика смещается вправо, ее крутизна уменьшается.

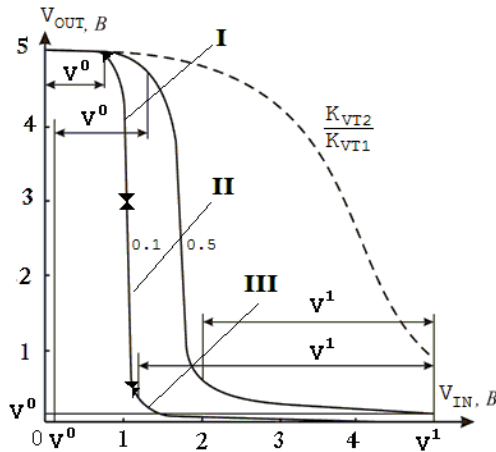


Рис.3.6. Влияние параметра  $K_{VT2}/K_{VT1}$  на передаточную характеристику инвертора с Д-нагрузкой: область I:  $VT_1 = \text{нас.}$ ,  $VT_2 \neq \text{нас.}$ ; область II:  $VT_1 = \text{нас.}$ ,  $VT_2 = \text{нас.}$ ; область III:  $VT_1 \neq \text{нас.}$ ,  $VT_2 = \text{нас.}$

Передаточная характеристика ЛЭ на МОПТ (в отличие от ЛЭ на биполярных транзисторах) практически не зависит от температуры. Отношение  $K_{VT2}/K_{VT1}$ , определяющее ее форму, связано только с геометрическими размерами. Температура практически не влияет на пороговые напряжения  $n$ -канальных МОПТ. Поэтому рассматриваемый инвертор имеет высокую помехоустойчивость в широком интервале температур.

Передаточная характеристика и помехоустойчивость не зависят от числа нагрузок, так как во входных (затворных) цепях отсутствует ток. Средняя потребляемая мощность в статическом режиме:

$$P_{cp} = 0.5(P^0 + P^1) = 0.5P^0 = 0.5V_{CC}I_2(V^0).$$

В закрытом состоянии инвертор не потребляет мощности ( $P^1 = 0$ ). Здесь  $P^0, P^1$  – мощности при напряжениях на выходе  $V^0$  и  $V^1$  соответственно.

На рис.3.7 показана схема инвертора на комплементарных транзисторах с индуцированными каналами. Схема КМОП-инвертора (рис.3.7) содержит транзисторы  $VT_n$  и  $VT_p$  с каналами соответственно  $n$ - и  $p$ -типа. На рис.3.7 обозначено,  $\Delta V_T$  – логический входной (выходной) перепад напряжений  $\Delta V_T = U_{OH} - U_{OL}$ ;  $U_{OH}, U_{OL}$  – выходное напряжение высокого и низкого уровней;  $I_{OL}, I_{OH}$  – выходной ток высокого и низкого уровней.

Выходные уровни напряжений КМОП ЛЭ оцениваются по формулам:

$$V_{OL} \approx (V_{CC} - V_T^n) - \sqrt{\frac{0.5K_n(V_{CC} - V_T^n)^2 - I_{OL}}{0.5K_n}} \quad \text{при } V_{OL} < V_{CC} - V_T^n;$$

$$V_{OH} \approx V_T^p + \sqrt{\frac{0.5K_p(V_{CC} - |V_T^p|)^2 - |I_{OH}|}{0.5K_n}} \quad \text{при } V_{OH} < V_T^p;$$

где  $V_T^p, V_T^n$  – пороговые напряжения  $p$ -МОП и  $n$ -МОПТ  $VT1$  и  $VT2$ ;  $K_n, K_p$  – удельная крутизна  $p$ -МОП и  $n$ -МОПТ  $VT1$  и  $VT2$ .

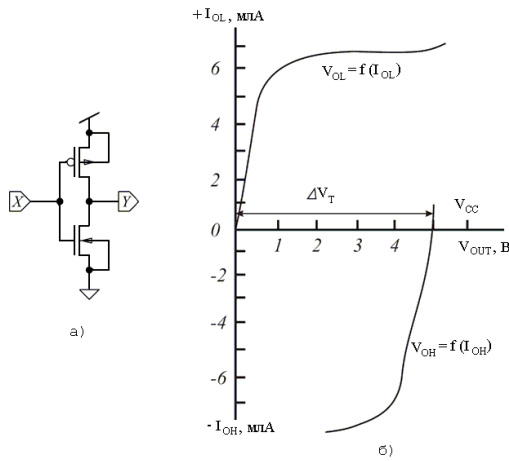


Рис.3.7. Электрическая схема (а) и выходные характеристики (б) статического КМОП ЛЭ

Емкостной характер входа КМОП ЛЭ обуславливает практически нулевые входные токи  $I_{IH} \approx 0$  и  $I_{IL} \approx 0$ . Поэтому в цепи последовательно соединенных ЛЭ в статическом режиме:

$$V_{OL} \approx 0; V_{OH} \approx V_{CC}.$$

При  $V_{IN} = V^1 = V_{CC}$  транзистор  $VT_n$  открыт, а  $VT_p$  закрыт. На выходе получаем  $V_{OUT} = V^0 \approx 0$ . Если  $V_{IN} = V^0 = 0$ , то, наоборот, транзистор  $VT_n$  закрыт, а  $VT_p$  открыт и  $V_{OUT} = V^1 \approx V_{CC}$ . В обоих состояниях ток, потребляемый от источника питания, практически равен нулю. Предполагается, что выход инвертора соединен со входами аналогичных инверторов-нагрузок. Таким образом, мощность, потребляемая в статическом режиме, практически равна нулю, что является важнейшим преимуществом по сравнению с любыми другими микросхемами.

На рис.3.8, а показана передаточная характеристика инвертора. С помощью рис.3.9, б можно пояснить графический метод ее построения. На нем сплошными линиями изображены стоковые характеристики n-МОПТ  $I_C^n(V_{OUT})$ , а штриховыми - стоковые характеристики p-МОПТ  $I_C^p(V_{OUT})$  при одних и тех же входных напряжениях:  $V_{IN3} > V_{IN2} > V_{IN1} > V_T^n$ . Пороговые напряжения для простоты предполагаются одинаковыми для обоих транзисторов  $V_T^n = |-V_T^p|$ .

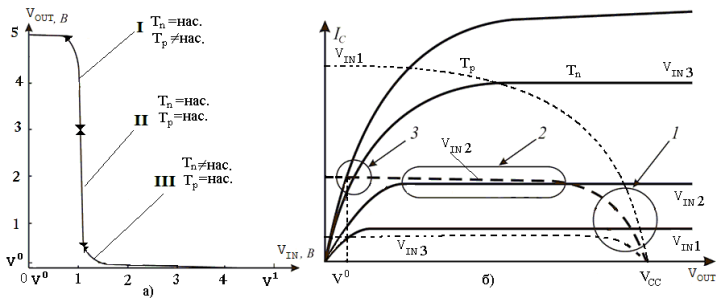


Рис.3.8. Передаточная характеристика КМОП-инвертора (а) и стоковые характеристики элементов КМОП

При малых входных напряжениях  $V_{IN}$  точки пересечения ВАХ лежат в области I, где n-МОПТ работает в режиме насыщения, а p-МОПТ не насыщен (рис.3.8):

$$I_C^p = K_p \left[ (V_{IN} - V_{CC} - V_T^p)(V_{OUT} - V_{CC}) - \frac{1}{2}(V_{OUT} - V_{CC})^2 \right],$$

$$I_C^n = \frac{1}{2} K_n (V_{IN} - V_T^n)^2.$$

Полагая  $I_C^p = I_C^n$  и решая уравнение относительно  $V_{OUT}$ , получим:

$$V_{OUT} = (V_{IN} - V_T^p) + \sqrt{(V_{IN} - V_T^n)^2 - 2\left(V_{IN} - \frac{1}{2}V_{CC} - V_T^p\right)V_{CC} - \frac{K_n}{K_p}(V_{IN} - V_T^n)^2}.$$

При  $\frac{K_n}{K_p} = 1$ ,  $V_T^n = -V_T^p$  и  $V_{IN} = \frac{1}{2}V_{CC}$  имеем

$V_{OUT} = (V_{IN} - V_T^p)$ , т.е. инвертор находится в переходной области при  $V_{IN}$ , равном половине напряжения питания, независимо от величины напряжения источника питания.

Если положить  $\frac{K_n}{K_p} = 1$ ,  $V_{CC} = 5$  В,  $V_T^n = |-V_T^p| = 1$  В имеем:

$$V_{OUT} = (V_{IN} + 1) + \sqrt{15 - 6V_{IN}}.$$

Когда входное напряжение достигает  $V_{IN2} = V_T$ , оба транзистора находятся в режиме насыщения, а выходное напряжение изменяется скачкообразно в пределах области **II** на рис.3.9:

$$I_C^p(\text{нас.}) = \frac{1}{2}K_p(V_{IN} - V_{CC} - V_T^p)^2,$$

$$I_C^n(\text{нас.}) = \frac{1}{2}K_n(V_{IN} - V_T^n)^2.$$

Приравнявая токи стоков  $I_C^p(\text{нас.}) = I_C^n(\text{нас.})$  получим выражение для определения  $V_{IN}$ :

$$\sqrt{\frac{K_n}{K_p}}(V_{IN} - V_T^n) = (V_{CC} + V_T^p - V_{IN}).$$

При  $V_{IN} = V_T$  определим входной порог схемы переключения:

$$V_{IN} = V_T = \left(V_T^n + \sqrt{K_p/K_n}(V_{CC} - |V_T^p|)\right) / \left(1 + \sqrt{K_p/K_n}\right).$$

При  $V_{IN} = V_T$  напряжение  $V_{OUT}$  скачкообразно изменяется от  $V_T + |V_T^p|$  до  $V_T - V_T^n$ . Когда входное напряжение изменяется от  $V_T^n$  до  $V_{CC} - |V_T^p|$  оба транзистора открыты и через них протекает сквозной ток потребления  $I_{CC}$ . Он достигает максимума при  $V_{IN} = V_T$  (рис.3.9):

$$I_{CC} = (K_n/2)(V_{CC} - V_T^n - |V_T^p|)^2 / (\sqrt{K_n/K_p} + 1)^2.$$

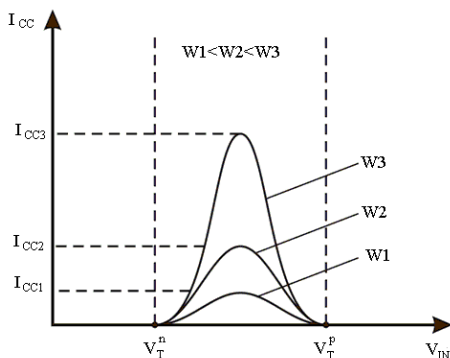


Рис.3.9. Токовая электрическая характеристика КМОП ЛЭ в переходном режиме

Оптимальная форма передаточной характеристики достигается при одинаковых параметрах МОПТ  $K_n = K_p$ , то  $V_T = (V_T^n + (V_{cc} - |V_T^p|))/2$ , и в случае одинаковых пороговых напряжений МОПТ  $V_T^n = |V_T^p|$  имеем  $V_T = V_{cc}/2$ , помехоустойчивость максимальна и близка к  $V_{cc}/2$ :

$$\Delta V_T^+ = V_T - V_{OL} \approx V_{cc}/2; \quad \Delta V_T^- = V_{OH} - V_T \approx V_{cc}/2,$$

где  $\Delta V_T^+$  и  $\Delta V_T^-$  — запас помехозащищенности к положительной и отрицательной помехам.

Столь высокие значения не достигаются в инверторах других типов, в том числе на биполярных транзисторах. Это обусловлено минимальным значением  $V^0 = 0$ , максимальным значением  $V^1 = V_{CC}$  и оптимальной (симметричной) передаточной характеристикой. К тому же она практически не зависит от температуры. Высокая помехоустойчивость в широком интервале температур - также важное преимущество.

На рис.3.10 показано влияние параметра  $K_n/K_p$ , зависящего от геометрических размеров транзисторов, на передаточную характеристику ( $V_{CC} = 5$  В,  $|V_T^p| = V_T^n = 0.7$  В). Между параллельными штриховыми линиями находится область **II**, проходящая практически вертикально, где оба транзистора работают в режиме насыщения. С ростом  $K_n/K_p$  характеристика смещается влево, помехоустойчивость к нулю уменьшается, а к единице увеличивается.

Из-за разной подвижности электронов и дырок ( $\mu_n/\mu_p = 2,5$ ) для выполнения условия  $K_n/K_p = 1$  требуется разная ширина каналов транзисторов ( $W_p/W_n = \mu_n/\mu_p$ ), длина каналов обычно выбирается одинаковой. При этом площадь инвертора не получается минимальной. При одинаковых геометрических размерах транзисторов, обеспечивающих минимальную площадь, получаем  $K_n/K_p = \mu_n/\mu_p$ , что ухудшает форму передаточной характеристики.



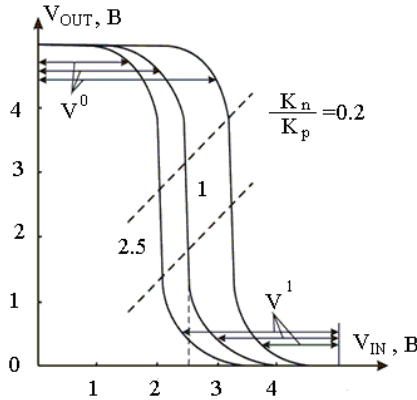


Рис.3.10. Влияние параметра  $K_n / K_p$ , зависящего от геометрических размеров транзисторов, на передаточную характеристику

При  $V_{IN} > V_T$  р-МОПТ работает в режиме насыщения, а п-МОПТ не насыщен, чему соответствует область **III** на передаточной характеристике:

$$I_C^p = \frac{1}{2} K_p (V_{IN} - V_{CC} - V_T^p)^2, \quad I_C^n = K_n \left[ (V_{IN} - V_T^n) V_{OUT} - \frac{1}{2} V_{OUT}^2 \right].$$

Считая что  $I_C^p = I_C^n$  и решая уравнение относительно  $V_{OUT}$  получим:

$$V_{OUT} = (V_{IN} - V_T^n) - \sqrt{(V_{IN} - V_T^n)^2 - \frac{K_p}{K_n} (V_{IN} - V_{CC} - V_T^p)^2}.$$

Если положить  $\frac{K_n}{K_p} = 1$ ,  $V_T^n = | -V_T^p |$  и  $V_{IN} = \frac{1}{2} V_{CC}$  то

получим:  $V_{OUT} = V_{IN} - V_T^n$ . В случае, если  $\frac{K_n}{K_p} = 1$ ,  $V_{CC} = 5$  В,

$$V_T^n = | -V_T^p | = 1\text{В}: \quad V_{OUT} = (V_{IN} - 1) + \sqrt{6V_{IN} - 15}.$$

Поскольку в каждом из двух логических состояний один из транзисторов VT1, VT2 открыт, а второй закрыт, то КМОП

ЛЭ характеризуется низкой статической мощностью потребления  $P_{CCL}^C \approx P_{CCH}^C \approx 0$ .

В импульсном режиме основная часть потребляемой мощности расходуется на перезаряд нагрузочной емкости. За период  $T$  поступающих на вход прямоугольных импульсов емкость перезаряжается дважды, на что необходима энергия  $C_n U_{cc}^2$ , поэтому мощность

$$P = KFC_n V_{cc}^2 + I_{off} V_{cc}$$

где  $K$  – коэффициент переключения;  $F$  – частота следования импульсов;  $I_{off}$  – ток утечки в выключенном состоянии.

Первый член представляет рассеиваемую мощность в активном режиме, а второй – в холостом режиме. На низких частотах (порядка 1 кГц) мощность составляет единицы нановатт. На максимальной частоте (десятки мегагерц) мощность составляет десятые доли или единицы милливатт, что меньше, чем для инверторов на n-МОПТ.

### **3.2. Схемотехника базовых КМОП логических элементов**

Для построения КМОП-вентилей применяются три типа соединений транзисторов:

последовательное из однотипных транзисторов (рис.3.11, а), выполняющее функцию И для информационного сигнала;

параллельное из однотипных транзисторов (рис.3.11, б), выполняющее функцию ИЛИ для информационного сигнала;

параллельное из комплементарных транзисторов (рис.3.11, в).

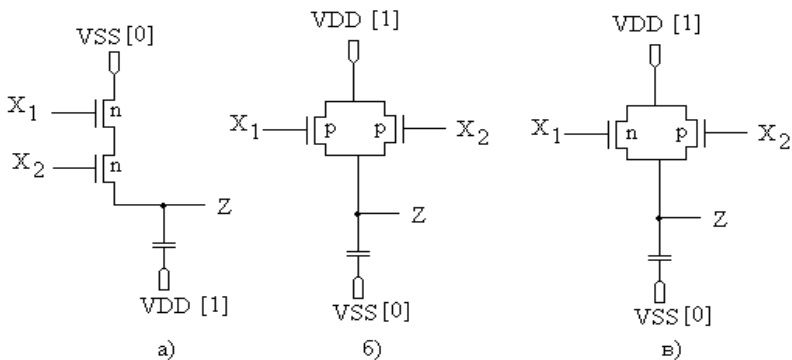


Рис.3.11. Виды соединений МОП-транзисторов, используемые для построения КМОП вентиляей:  
 а) – последовательное соединение однополярных  $n$ -транзисторов; б) – параллельное соединение однополярных  $p$ -транзисторов; в) – параллельное соединение комплементарных транзисторов

Простейшая структура базового логического элемента состоит из двух компонентов (рис.3.12, а): переключательного ПК, выполняющего преобразование входной информации  $U_1$ , и нагрузочного НК, позволяющего сформировать необходимые уровни выходных сигналов  $U_o$ . Нагрузочный компонент может быть как управляемый входным сигналом  $U_1$ , так и неуправляемым (штриховая линия на рис.3.12). По способу передачи информации логические элементы можно разделить на две группы: асинхронные, либо статические, и синхронные, либо динамические. Структура логических элементов первой группы приведена на рис.3.13.

Время формирования выходного сигнала  $U_o$  определяется собственным временем задержки логического элемента. В динамических элементах время задержки формирования выходного сигнала квантуется в определенные моменты времени, устанавливаемые частотой сигнала, подаваемого на синхронизирующий вход С (рис.3.12, б).

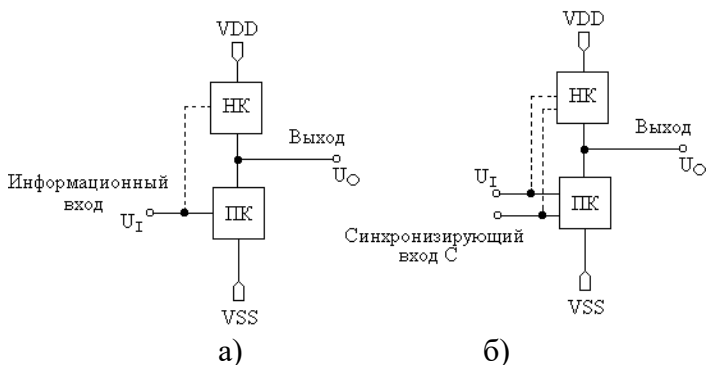


Рис.3.12. Общая структура внутреннего базового логического элемента: а) - статического; б) - динамического

Структурная организация статического КМОП-вентилья показана на рис.3.13. Вентиль состоит из n- и p-канальных частей, которые реализуют дополнительные логические функции  $\bar{F}_n(x)$  и  $F_p(\bar{x})$ . При этом в статическом режиме, когда входы схемы принимают произвольные значения из алфавита  $A_2 = (0,1)$ , одна часть схемы, соответствующая, например, функции  $\bar{F}_n(x)$ , открыта, а другая, соответствующая  $F_p(\bar{x})$ , закрыта. Поэтому в статическом режиме КМОП-схемы имеют чрезвычайно малый ток потребления. Структура логического элемента, показанная на рис.3.13, имеет один информационный вход, вследствие чего он выполняет простейшие логические преобразования входного информационного сигнала. Поэтому для расширения функциональных возможностей в схему логического элемента вводят дополнительный многовыводной логический компонент (ЛК). ЛК может быть введен либо на входе (рис.3.14), либо на выходе и позволяет формировать логическую функцию от N входных информационных сигналов, либо N выходных функций одного входного сигнала.

Пример построения статического вентиля ИЛИ-НЕ и его условное графическое обозначение (УГО) представлены на

рис.3.15, а и б. При построении вентиля учтено, что при корректном включении схемы в устойчивом состоянии на входы подаются сигналы 0 или 1, а выход OUT всегда коммутируется с одним из источников 0 шина VSS или 1 шина VDD.

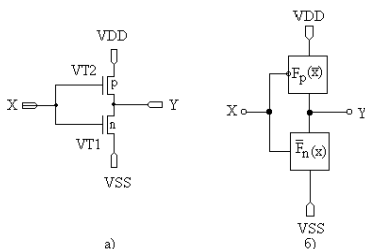


Рис.3.13. Электрическая (а) и структурная (б) схемы статического КМОП-вентилья

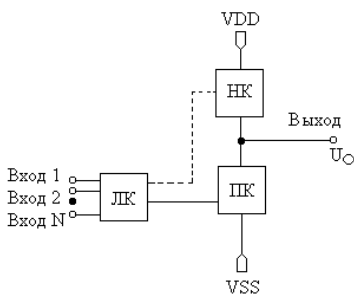


Рис.3.14. Многовходной базовый элемент

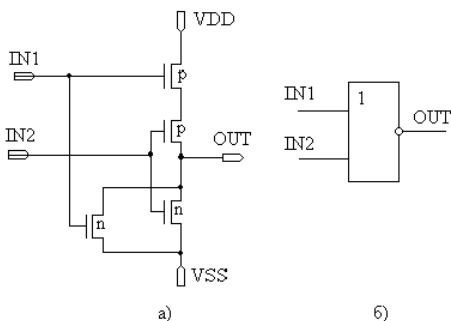


Рис.3.15. Пример реализации вентиля ИЛИ-НЕ по КМОП-технологии на транзисторном уровне (а) и его УГО (б)

Однонаправленные и двунаправленные логические элементы. Рассмотрим схему на п-МОПТ (рис.3.16). Схема содержит п-МОПТ вентиль, работающий в режиме обогащения,

который соединен последовательно с инвертором. Транзистор не действует, как передаточный вентиль. Он используется для разделения и временного запоминания заряда на соседних узлах схемы. Если  $s0$  имеет высокий уровень, транзистор не проводит, и емкость  $C1$  (паразитная емкость), которая представляет собой емкость затвора инвертора nb1, заряжается почти до уровня  $U_{вх}$ . Когда на входе  $s0$  низкий уровень, транзистор не закрывается и входное напряжение  $U_{вх}$  оказывается изолированным от инвертора. Инвертор запоминает выбранное входное напряжение  $U_{вх}$  на емкости затвора в течение 1 с. В тех случаях, когда время цикла значительно меньше 1 мс, схема может использоваться в качестве динамического триггера.

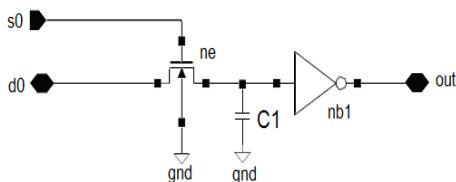


Рис.3.16.  
Последовательное  
соединение  
передаточного n-МОПТ  
вентилья с инвертором

Рассмотрим статический режим работы передаточного вентилья. Если  $U_{вх} = 5$  В и  $s0=5$  В, транзистор не открывается и ток начнет протекать слева направо, от  $U_{вх}$  к емкости  $C1$ . Левый вывод транзистора не становится стоком, т.к. вывод находится под более высоким потенциалом, а правый – истоком. Транзистор не будет находится в проводящем состоянии, пока напряжение между затвором и истоком равно пороговому напряжению:  $s0 - U_{C1} = U_{пор}$ . Если пороговое напряжение передаточного вентилья  $U_{пор} = 0.6$  В, емкость затвора заряжается до напряжения  $U_{C1} = s0 - U_{пор} = 5 - 0.6 = 4.4$  В. Для случая, когда напряжение на стоке и на затворе равно  $U_{CC}$ , напряжение на истоке транзистора не равно:

$$U_X = U_{CC} - \left( U_{\text{пор}}^n + \gamma \left( \left( \sqrt{|2\phi_f|} + U_X \right) - \sqrt{|2\phi_f|} \right) \right).$$

Если на входе  $s_0$  возникает уровень 0 В, то n-МОПТ не закроется и напряжение  $U_{\text{вх}}$  окажется изолированным от инвертора nb1. Емкость  $C_1$  временно запоминает свой заряд и n-МОПТ инвертора nb1 остается открытым, а выходное напряжение  $U_{\text{вых}}$  имеет низкий уровень. Если установить  $U_{\text{вх}} = 0$  В, а  $s_0 = 5$  В, то правый вывод транзистора не с более высоким потенциалом становится стоком, а левый – истоком. Ток, протекающий через транзистор не справа налево, разряжает емкость  $C_1$ . Транзистор nb1 остается в открытом состоянии, пока  $s_0 - U_{\text{вх}} > 0.6$  В, емкость затвора  $C_1$  разряжается до 0 В.

Недостатком передаточного вентилля на n-МОПТ заключается в том, что емкость затвора инвертора  $C_1$  может заряжаться только до напряжения  $U_{\text{вх}} - U_{\text{пор}}$ . Поэтому для устранения этого недостатка и включают последовательно инвертор, который восстанавливает уровень сигнала.

Дадим описание работы передаточного вентилля КМОП в цифровой схеме, выбрав следующие значения для напряжения питания, входных сигналов и порогов срабатывания транзисторов:

$$U_{\text{ИП}} = 5 \text{ В}, U_{\text{пор}}^p = -0.6 \text{ В},$$

$$U_{\text{пор}}^n = 0.6 \text{ В}, U_{\text{вх}} = +5 \text{ В или } 0 \text{ В}.$$

На рис.3.17, а изображен передаточный вентиль с  $U_{\text{вх}} = +5$  В и  $U_{\text{вых}} = 0$  В.  $C_n$  – представляет собой емкость нагрузочных схем, подключенных к выходу вентилля.

При  $\phi = 5$  В а  $\bar{\phi} = 0$  В оба транзистора откроются. Так как потенциал  $U_{\text{вх}} > U_{\text{вых}}$ , то ток через оба транзистора будет протекать в направлении слева направо. На рис.3.17, а слева расположен сток n-МОПТ и исток p-МОПТ. Когда  $U_{\text{вых}}$

достигает 4.4 В, то  $U_{ЗИ}^n$  установится равным +0.6 В и n-МОПТ попадет в состояние отсечки. Но при этом  $U_{ЗИ}^p = -5$  В, так как  $\bar{\phi} = 0$  В, поэтому р-канальный транзистор остается открытым и  $C_H$  полностью зарядится до 5 В.

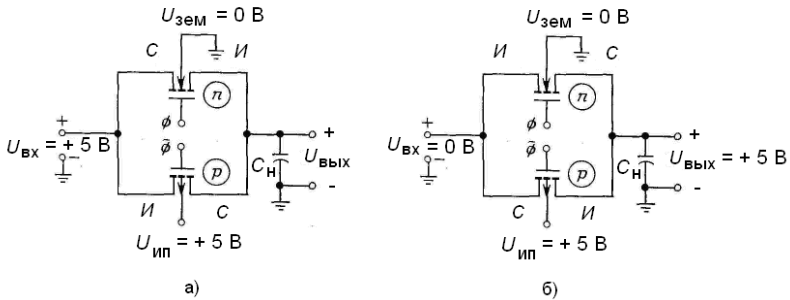


Рис.3.17. Передаточный вентиль: а) – заряд емкости  $C_H$  через вентиль; б) – разряд емкости  $C_H$  через вентиль

На рис.3.17, б показан передаточный вентиль при  $U_{ВХ} = 0$  В и  $U_{ВЫХ} = 5$  В. Теперь ток протекает в направлении справа налево. Справа расположены сток n-МОПТ и исток р-МОПТ. Конденсатор  $C_H$  разряжается через оба транзистора ( $U_{ВХ} = 0$  В) до тех пор, пока  $U_{ВЫХ} = 0.6$  В. В этот момент  $U_{ЗИ}^p = -0.6$  В и р-МОПТ попадает в состояние отсечки. Однако поскольку  $\phi = +5$  В, то  $U_{ЗИ}^n = +5$  В, поэтому n-МОПТ остается открытым и  $C_H = 0$  В.

Следовательно, при открытых n- и р-МОПТ имеется всегда открытый транзистор и низкоомная цепь между входом и выходом передаточного вентиля (рис.3.18). Типовое значение сопротивления «замкнутого» передаточного вентиля находится в пределах от 200 до 800 Ом в зависимости от напряжения питания и параметров нагрузки. Токи утечки закрытых



транзисторов составляют величину порядка 100 пА. Время задержки переключения лежит в пределах от 10 до 50 нс.

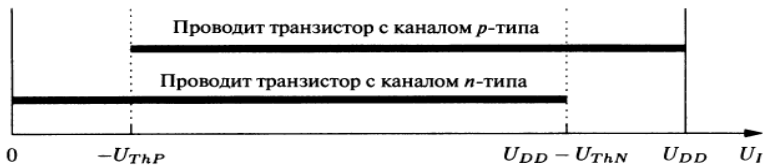


Рис.3.18. Зоны проводимостей n- и p-МОПТ в ключевой схеме

Так как  $R_n \gg R_{\text{кл.откр}}$ , то для транзисторов справедливо соотношение  $U_{\text{СИ}} = 0$ . Продифференцировав выражения для токов стока n- и p-МОПТ по  $U_{\text{СИ}}$  в точке  $U_{\text{СИ}} = 0$ , получим сопротивления открытых транзисторов на большом сигнале:

$$I_C^n = (W_n / L_n) \mu_n C_d [(U_{\text{ин}} - U_{\text{вх}} - U_{\text{пор}}^n) U_{\text{СИ}}^n - (U_{\text{СИ}}^n)^2 / 2],$$

$$I_C^p = -(W_p / L_p) \mu_p C_d [(-U_{\text{вх}} - U_{\text{пор}}^p) U_{\text{СИ}}^p - (U_{\text{СИ}}^p)^2 / 2].$$

$$R_n = 1 / [(U_{\text{ин}} - U_{\text{вх}} - U_{\text{пор}}^n) K_n].$$

$$R_p = 1 / [(U_{\text{вх}} + U_{\text{пор}}^p) K_p].$$

### 3.3. Схемотехника КМОП триггеров БИС

Большой класс элементов памяти (ЭП) в БИС образуют триггеры – это схемы, имеющие два устойчивых состояния, которые устанавливаются при подаче соответствующей

комбинации сигналов на управляющие входы и сохраняются в течение заданного времени после окончания действия этих сигналов. Базовым элементом является D-триггер и его разновидности, остальные виды триггеров, например JK, строятся на основе традиционных методов объединения логических вентилей.

Для построения вентилей в КМОП-схемах в основном используются три вида схмотехники: статическая, синхронизируемая динамическая и проходная.

В зависимости от типов компонент запоминания, используемых в триггерах, они разделяются на статические, динамические, совмещенные - статико-динамические. Если состояние триггера изменяется по поступлению синхронизирующего сигнала, то такой триггер относят к синхронным. В асинхронных триггерах переключение происходит по поступлению на управляющие входы соответствующей комбинации входных сигналов. В БИС наибольшее распространение получили синхронные триггеры.

В статических ЭП занесенная информация может сохраняться сколь угодно долго. Основой статического ЭП является бистабильная ячейка, образованная перекрестным объединением инвертирующих логических элементов. Динамические ЭП содержат один логический элемент и дополнительный компонент запоминания на принципе накопления заряда со схемами записи.

D-триггер, синхронизируемый по уровню (однотактный триггер или “защелка”) в КМОП-схемах, строится на основе мультиплексора (MUX) и бистабильных ячеек логических элементов (рис.3.19, а).

Мультиплексор представляет собой связку проходных ключей, построенных параллельным соединением р- и п-канальных МОП транзисторов (рис.3.19, б и в).

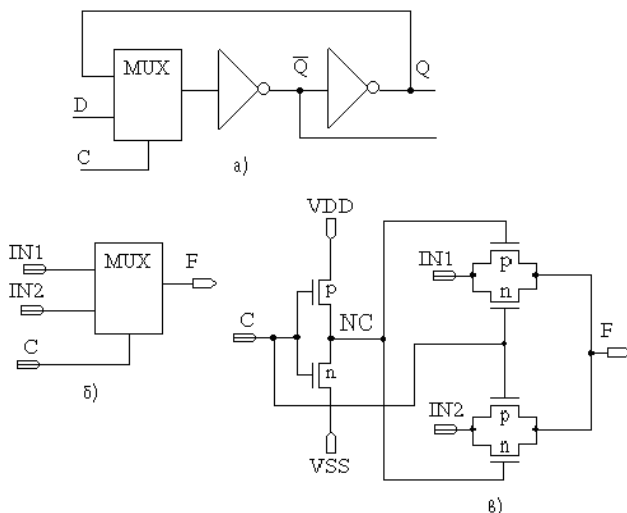


Рис.3.19. Однотактный D-триггер, синхронизируемый уровнем синхросигнала: а) - вентильная реализация одноступенчатого D-триггера; б) - обозначение мультиплексора на логическом уровне; в) - мультиплексор на проходных ключах

В КМОП БИС используют ЭП как на основе простейших бистабильных ячеек, так и на основе более сложных триггеров D-типа. Основным типом ЭП является синхронный D-триггер, тактируемый уровнем синхросигнала. Построение ЭП на основе логических элементов типа И-НЕ в КМОП БИС малоэффективно из-за большого числа компонентов и большой площади, занимаемой на кристалле. Поэтому для использования в БИС высокой сложности используются усовершенствованные варианты электрических схем D-триггеров, тактируемых уровнем сигнала.

### 3.3.1. D-триггеры на основе проходных ключей

Схема D-триггера, тактируемого уровнем синхросигнала на основе двух коммутируемых проходных ключей (первый, входной на транзисторах VT1, VT2; второй, обратной связи на

транзисторах VT3, VT4), показана на рис.3.20. Транзисторы VT1 - VT4 образуют мультиплексор, инверторы D1 и D2 – бистабильную ячейку.

Для тактирования используется двухфазная синхронизация C, NC. Допустим, что на вход C подан высокий уровень сигнала, на вход NC – низкий. Тогда входной ключ открыт и передает сигнал со входа D через инвертор D1 на выход  $\bar{Q}$  в инверсной форме, далее через инвертор D2 поступает на выход Q в прямой форме.

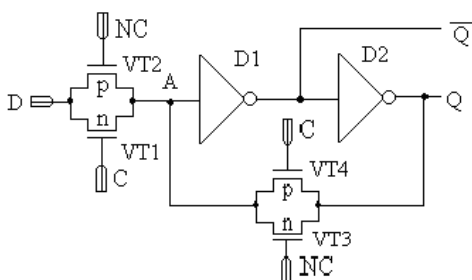


Рис.3.20. D-триггер, тактируемый уровнем на основе двух коммутируемых проходных ключей

При этом ключ обратной связи закрыт и отключает инвертор D2 от узла A и тем самым разрывает обратную связь в бистабильной ячейке D1 и D2. D-триггер находится в режиме передачи сигнала. При изменении фазы синхросигналов C, NC на противоположную входной ключ закрывается и изолирует узел A от входа D. При этом на паразитной емкости узла A сохраняется последнее значение уровня сигнала входа D. Одновременно открывается ключ обратной связи, и инверторы D1 и D2 образуют бистабильную статическую ячейку, в которой запоминается уровень сигнала узла A. Триггер переходит в режим хранения сигнала. Возможно упрощение схемы D-триггера путем исключения ключа обратной связи. На рис.3.21 показаны схема и режимы работы D-триггера с

однофазной синхронизацией: передача и защелкивание данных (хранение).

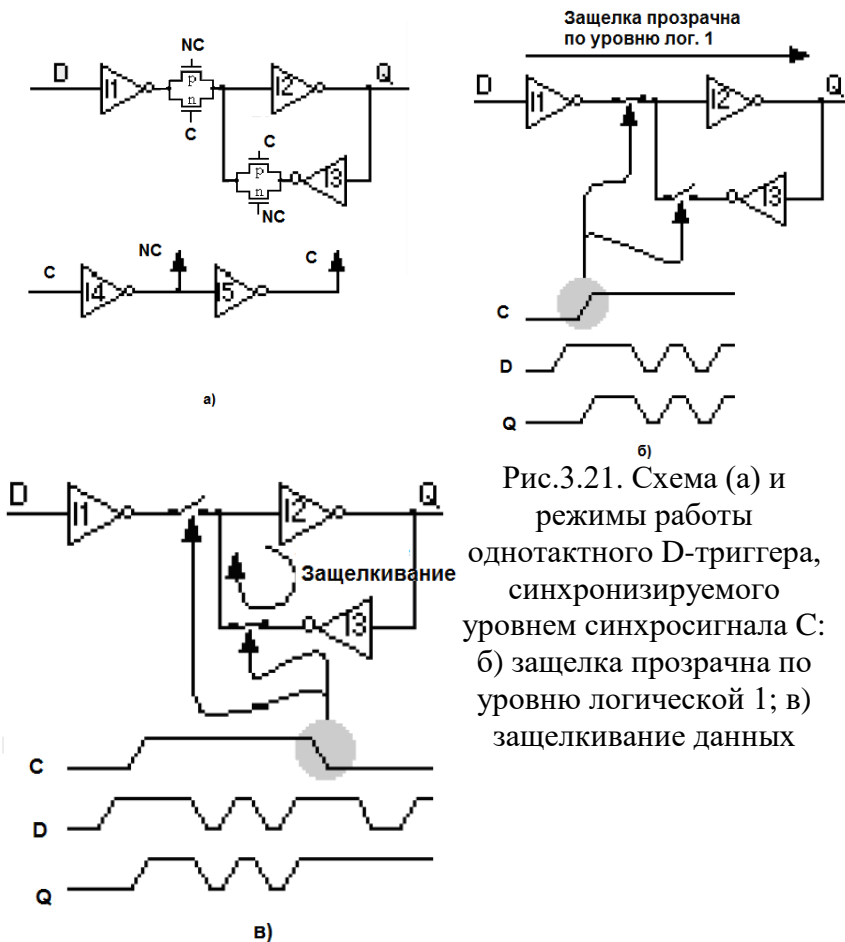


Рис.3.21. Схема (а) и режимы работы одноклапного D-триггера, синхронизируемого уровнем синхросигнала С: б) защелка прозрачна по уровню логической 1; в) защелкивание данных

### 3.3.2. D-триггеры на основе динамических ключей-инверторов

Схема D-триггера на основе двух динамических ключей-инверторов (первый, входной на транзисторах VT1-VT4, второй, обратной связи, на транзисторах VT5-VT8) с использованием двухфазной синхронизации C, NC показана на рис.3.22.

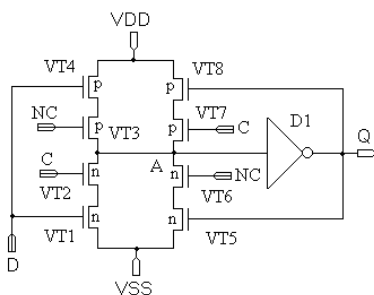


Рис.3.22. D-триггер на основе динамических ключей

Допустим, на вход C подан высокий уровень сигнала, на вход NC - низкий уровень. При этом транзисторы VT2, VT3 открыты, первый ключ функционирует как обычный инвертор, и входной сигнал со входа D передается через узел A и логический элемент D1 на выход Q в прямой форме. В этом режиме транзисторы VT6, VT7 закрыты и изолируют транзисторы VT5, VT8 ключа обратной связи от узла A. При изменении фазы синхросигналов (C - на низкий, NC - на высокий) транзисторы VT2, VT3 закрываются и отключают входной ключ от входа D, а в узле A на паразитной емкости сохраняется последний уровень сигнала. При этом транзисторы VT6, VT7 включаются и ключ обратной связи вместе с логическим элементом D1 образуют бистабильную статическую ячейку, в которой запоминается уровень сигнала в узле A и D-триггер переходит в режим хранения. С целью сокращения компонентов в схеме в качестве инвертора обратной связи возможно применение статического инвертора (транзисторы VT5, VT6, рис.3.23).

Однако в такой схеме для переключения из состояния низкого уровня в состояние высокого уровня (на выходе D-

триггера) необходимо, чтобы транзисторы VT1, VT2 были способны переключить ток, отдаваемый включенным транзистором VT6, и наоборот, для этого транзисторы VT1-VT4 имеют размеры больше, чем у VT5, VT6.

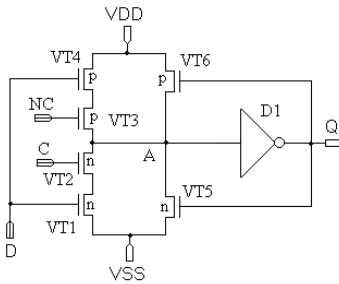


Рис.3.23. D-триггер на основе динамических ключей (с использованием одного статического инвертора)

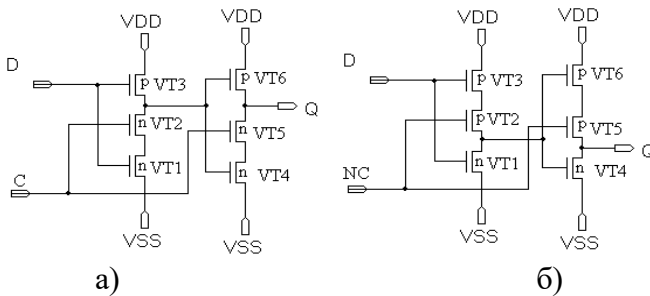


Рис.3.24. Схемы динамических D-триггеров с одним синхровходом: а) - прозрачная для логической единицы; б) – прозрачная для логического нуля

На рис.3.24 показаны динамические триггеры с однофазной синхронизацией и с синхронизирующими транзисторами одного типа проводимости. Первая построена на основе двух последовательно соединенных динамических инверторов n-типа. При высоком уровне синхросигнала на входе С синхронизирующие транзисторы VT2, VT5 инверторов открыты, и информационный сигнал с входа D передается в прямой форме на выход Q.

При изменении фазы синхросигнала на противоположную синхронизирующие транзисторы VT2, VT5 закрыты, и в триггере сохраняется уровень последнего передаваемого сигнала. Говорят, что схема такого D-триггера прозрачна для выходного сигнала D по высокому уровню синхросигнала. Вторая схема построена на основе динамических инверторов р-типа и функционирует аналогично первой и прозрачна для выходного сигнала D по низкому уровню синхросигнала.

### **3.3.3. D-триггеры на основе ключей комбинированного типа**

Схема D-триггера, тактируемого уровнем на основе ключей комбинированного типа, представлена на рис.3.25. На входе D схема содержит проходной ключ на транзисторах VT1, VT2, а в цепи обратной связи – динамический ключ на транзисторах VT3, VT6. Допустим, на вход C подан сигнал высокого уровня, а на вход NC - сигнал низкого. Тогда входной ключ открыт, и сигнал с входа D в инверсной форме через инвертор D1 передается на выход  $\bar{Q}$  в инверсной форме. При этом транзисторы VT4, VT5 выключены и изолируют транзисторы VT3, VT6 ключа обратной связи от узла A. При изменении фазы синхросигналов C, NC на противоположную входной ключ закрывается и изолирует узел A от входа D. При этом на паразитной емкости узла A сохраняется последний уровень сигнала входа D.



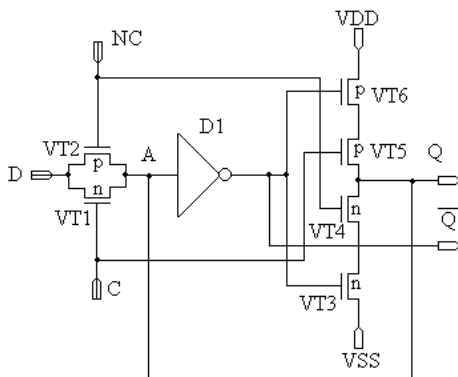


Рис.3.25. D-триггер, тактируемый уровнем синхросигнала на основе комбинации ключей двух типов

Одновременно открываются транзисторы VT4, VT5, и включенный ключ обратной связи вместе с инвертором D1 образуют бистабильную ячейку памяти. D-триггер переходит в режим хранения. Иногда используют иное расположение ключевых транзисторов (рис.3.26, а). С целью упрощения схемы в ключе обратной связи исключают один из синхронизирующих транзисторов (рис.3.26, б). Упростить синхронизацию блоков БИС позволяют D-триггеры, использующие один синхровход C (NC). Схема такого типа, синхронизируемая прямым сигналом, показана на рис.3.27.

При подаче высокого уровня синхросигнала C транзистор VT1 открыт и обеспечивает передачу сигнала со входа D на выход  $\bar{Q}$  через инвертор D1. Транзистор VT2 при этом закрыт и отключает транзистор обратной связи VT3. Транзистор VT4 способствует регенеративному включению элемента D1 и повышает уровень напряжения в узле A до уровня VDD, пониженный входным транзистором VT1.

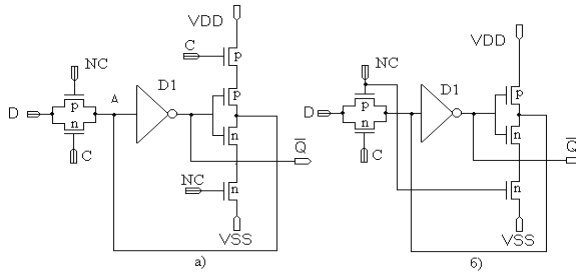


Рис.3.26. D-триггер комбинированного типа (вариант)

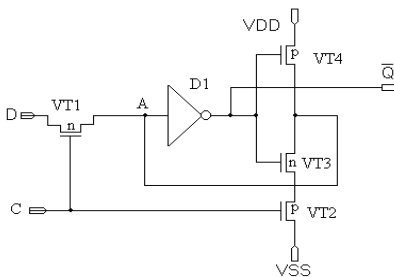


Рис.3.27. D-триггер комбинированного типа с одним прямым синхросигналом

### 3.3.4. D-триггеры с дифференциальным входным каскадом

Электрическая схема D-триггера с дифференциальным входным каскадом получила распространение в системах “конвейерного” типа как обеспечивающая максимальное быстродействие. Схема содержит бистабильную ячейку на инверторах D1, D2 и синхронизируемый дифференциальный входной каскад на транзисторах VT1-VT3 (рис.3.28). При высоком уровне сигнала на синхровходе C синхронизирующий транзистор VT1 открыт, и сигналы со входов D,  $\bar{D}$  передаются на выходы Q,  $\bar{Q}$ . Параллельно с передачей осуществляется запись сигнала в бистабильную ячейку D1, D2. Для устойчивой работы ЭП размеры транзисторов инверторов D1, D2 должны быть меньше размеров транзисторов VT1-VT3. При подаче

низкого уровня сигнала на вход С транзистор VT1 закрывает входные транзисторы VT2, VT3 и блокирует передачу сигналов со входов D,  $\bar{D}$ . Триггер переходит в режим хранения, и на выходы Q,  $\bar{Q}$  поступают уровни сигналов, записанные в бистабильной ячейке D1, D2.

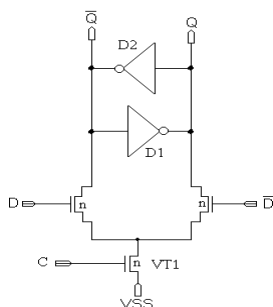


Рис.3.28. D-триггер с дифференциальным входным каскадом

### 3.3.5. Элементы памяти, тактируемые фронтом синхросигнала

В микропроцессорных БИС наиболее употребляемой структурой элементов памяти, тактируемых фронтом синхросигнала, является структура типа MS (master/slave – ведущий/ведомый). В дальнейшем эти триггеры будем называть двухтактными. Эта структура предполагает последовательное соединение двух D-триггеров, тактируемых уровнем. При этом фаза тактирования первого триггера (ведущего M) противоположна фазе тактирования второго (ведомого S).

На рис.3.29 показана базовая схема D-триггера по КМОП-технологии, тактируемого срезом фронта синхросигнала. На рис.3.30 представлены режимы работы D-триггера. При высоком уровне синхросигнала CLK=1 происходит загрузка ведущего триггера (триггер прозрачен, информация с входа D передается на выход M), при этом ведомый находится в режиме

хранения, сохраняя предыдущее значение на выходе Q (рис.3.30, а) и отключен от ведущего. При CLK=0 (при достижении срезом фронта синхроимпульса уровня менее 50 % от напряжения питания) ведущий триггер отключается от информационного входа D и переходит в режим хранения, а ведомый, в режим загрузки, т.е. передает значение сигнала M на выходе ведущего на выход Q (рис.3.30, б). На рис.3.30, в показаны временные диаграммы работы.

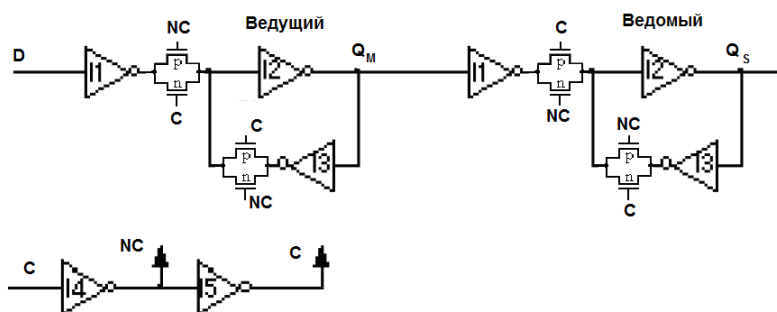


Рис.3.29. Схема статического D-триггера, тактируемого срезом фронта синхросигнала

Два интервала времени  $t_{SU}$  (время установки сигнала) и  $t_h$  (время удержания сигнала) образуют окно принятия решения. На этом отрезке времени триггер берет выборку сигнала на входе данных и решает, нужно ему изменять выходной сигнал или нет. Если асинхронный информационный сигнал D на входе триггера изменяется за пределами этого окна, то гарантируется его переход в одно из устойчивых состояний, не позднее времени  $t_{pd}$  (нормальная задержка распространения информационного сигнала от входа до выхода Q триггера, отсчитывается по переднему фронту синхроимпульса CLK, иногда обозначают  $t_{CO}$ ). Если информационный сигнал D меняется в пределах этого окна, может возникнуть метастабильность.

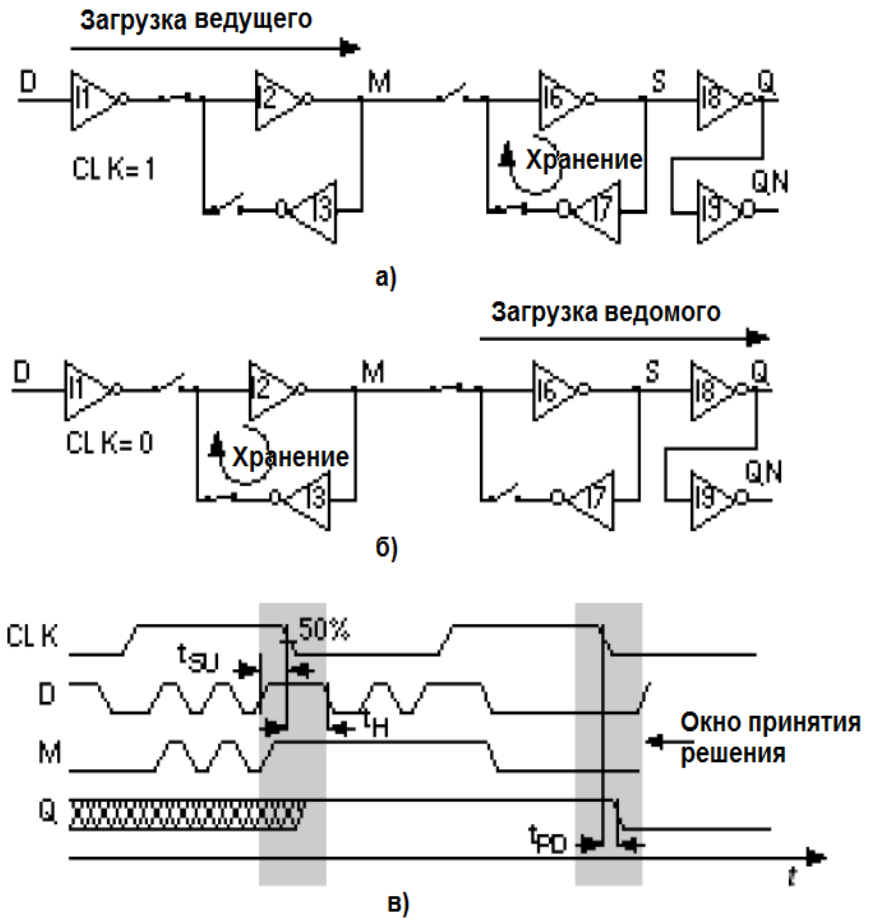


Рис.3.30. Режимы работы D-триггера, тактируемого срезами фронта синхросигнала: а) загрузка ведущего; б) загрузка ведомого; временные диаграммы работы

### 3.4. Схемотехника входных и буферных ячеек КМОП БИС

Базовый принцип защиты ИС от воздействия электростатических разрядов (ЭСР) показан на рис.3.31. При ЭСР срабатывает двуполярный ключ SA1, и ток разряда отводится на шину питания или земли. Кроме того, часть заряда рассеивается на резисторе R. Идеальная защита достигается, если сопротивление ключа во включенном состоянии и время его включения равны нулю. В ИС в качестве таких шунтов применяются различные элементы: диоды, транзисторы или более сложные схемы.

Важное требование к защитным структурам - не ухудшать параметры защищаемой ИС. Кроме того, они должны иметь небольшую площадь; эффективно ограничивать напряжение разряда, подаваемого на схему; шунтировать напряжение и токи перегрузки, возникающие при ЭСР; иметь максимально быстрое время срабатывания и вносить минимальное время задержки в нормальную работу ИС.

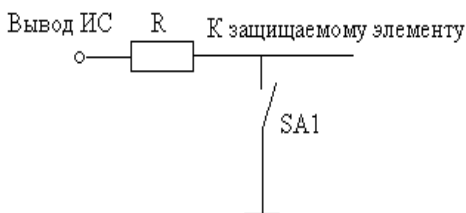


Рис.3.31. Базовый принцип защиты ИС от воздействия ЭСР

В ИС с МОП-транзисторами для защиты от пробоя подзатворного диэлектрика входных транзисторов в простейшем случае используются защитные диоды (рис.3.31). Для улучшения защитного действия таких схем применяют дополнительные МОП-транзисторы, резисторы и диоды.

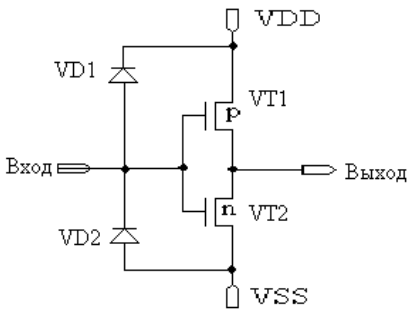


Рис.3.32. Защитные диоды входных буферов на КМОП-транзисторах

На рис.3.32 показаны наиболее популярные встроенные схемы защиты цифровых КМОП ИС от ЭСР: диодная (а) и на КМОП-транзисторах (б)

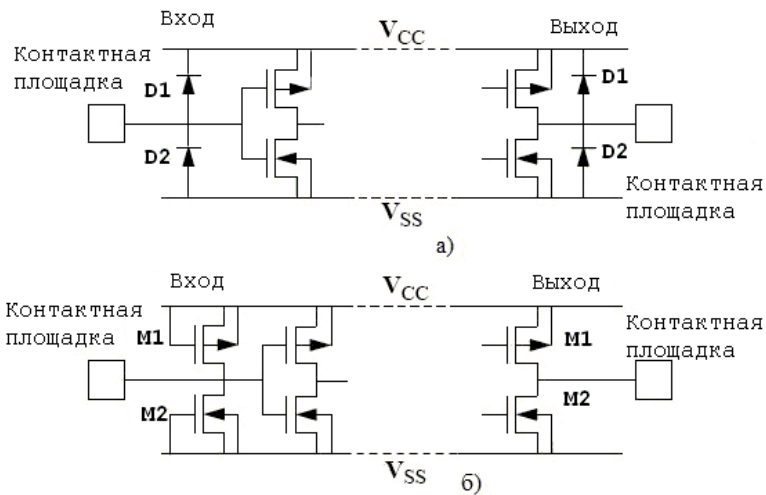


Рис.3.33. Наиболее популярные схемы защиты от ЭСР: диодная (а) и на КМОП-транзисторах (б)

Буферные ячейки КМОП БИС предназначены для организации электрического и временного взаимодействия ядра БИС с внешней средой. При соблюдении соответствующих правил соединения внутренних и буферных ячеек

обеспечивают соответствующие уровни выходных логических сигналов, нагрузочные способности, времена задержек выходных сигналов и длительности их фронтов и т.д. Часто буферные элементы организуются как двунаправленные с целью формирования двунаправленных входов-выходов БИС. Схемотехника типичного двунаправленного буферного элемента представлена на рис.3.34. За счет специальных средств управления входами N и P схемы представляется возможным независимо от ядра логической схемы устанавливать на внешних выводах произвольные логические состояния 0, 1 и H.

Для буферных элементов площадь р-канального транзистора VT2 больше площади n-канального транзистора VT1, так как  $W_p \approx 3W_n$  при  $L_n \approx L_p$ . Стоки транзисторов через элементы D1 и D2 соединены с контактной площадкой.

На практике входные и выходные периферийные ячейки объединяют в магистральную ячейку. Электрическая схема магистральной ячейки показана на рис.3.35. В ячейке имеются мощные транзисторы VT1 и VT2 для поддержки функции “выход”, а также диодно-резисторная сборка (VD1, VD2, R), обеспечивающая электростатическую защиту при работе с магистралью (функция “вход”). Таким образом, магистральная ячейка выполняет функцию “вход/выход”. S - контактная площадка.

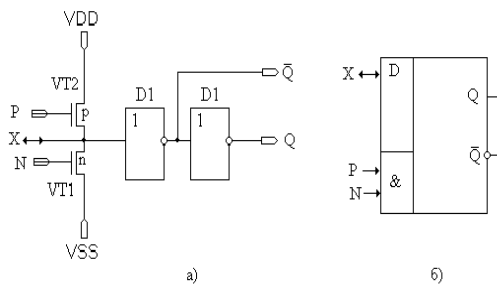


Рис.3.34. Построение двунаправленной периферийной ячейки (а) и ее обозначение на логическом уровне (б)



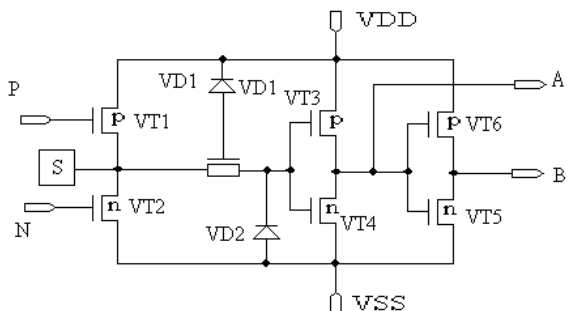


Рис.3.35. Электрическая схема магистральной ячейки

В диодно-резисторной сборке (VD1, VD2, R) диод VD2 является самостоятельным элементом конструкции, а диод VD1 составляет единое целое с резистором R. Мощные транзисторы VT1 и VT2, реализующие функцию “выход” при работе на магистраль, формируются путем параллельного включения р-МОП (VT1) и n-МОП (VT2) транзисторов, что обеспечивает набор эффективной ширины каналов. Четыре параллельно включенные р-МОП транзистора дают ширину около 400 мкм, в то время как типичная ширина канала ядра ячейки может составлять величину 7 мкм.

## 4. АНАЛОГО-ЦИФРОВЫЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ

### 4.1. Операционные усилители

Операционным усилителем называют высококачественный интегральный усилитель постоянного тока с дифференциальным входом и однотактным выходом, предназначенный для работы в схемах с цепями обратных связей. Название усилителя обусловлено первоначальной областью его применения – выполнение различных операций над аналоговыми сигналами (сложение, вычитание, интегрирование и др.). Они применяются для усиления, ограничения, перемножения, частотной фильтрации, генерации и др.

Одним из основных параметров усилителя является коэффициент усиления, который различают по напряжению  $K_U = U_{\text{ВЫХ}}/U_{\text{ВХ}}$ , по току  $K_I = I_{\text{ВЫХ}}/I_{\text{ВХ}}$  и по мощности  $K_P = P_{\text{ВЫХ}}/P_{\text{ВХ}} = K_U K_I$ . Коэффициент усиления по напряжению в децибелах (дБ) равен:

$$K_U = 20Lg \frac{U_{\text{ВЫХ}}}{U_{\text{ВХ}}}.$$

Выражение коэффициентов усиления в дБ связано с тем, что человеческое ухо реагирует на звуковые колебания в соответствии с логарифмическим законом слухового восприятия.

Условное обозначение операционного усилителя (ОУ) показано на рис.4.1, а, а эквивалентная схема на рис.4.1, б. Выходное напряжение  $U_{\text{ВЫХ}}$  равно разности приложенных к входным зажимам напряжений, умноженной на коэффициент усиления  $A_0$ . Изменение в положительном направлении сигнала, приложенного к положительному (+) входному зажиму, вызывает положительное изменение выходного

сигнала; поэтому этот зажим (+) называется неинвертирующим входом. Изменяющийся в положительном направлении сигнал, приложенный к отрицательному (-) входному зажиму, вызывает изменение выходного сигнала в отрицательном направлении. Поэтому отрицательный зажим называется инвертирующим входом.

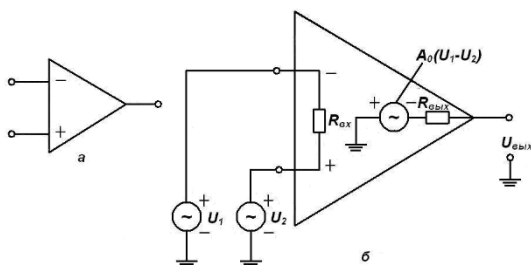


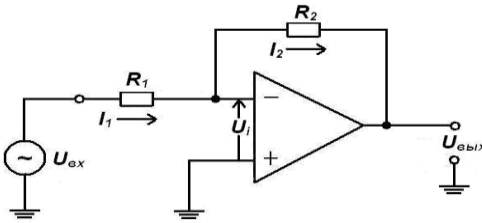
Рис.4.1.  
Операционный усилитель: а) – условное обозначение; б) – эквивалентная схема

Значение  $A_0$  в идеальных ОУ обычно велико, прибор обеспечивает высокий коэффициент усиления для дифференциального входного сигнала. Синфазный входной сигнал, сигнал, прикладываемый к обоим входам одновременно, не дает реакции на выходе, т.к. дифференциальный входной сигнал равен нулю.

Усилитель обладает входным  $R_{вх}$  и полным выходным  $R_{вых}$  сопротивлениями, которые в идеальном случае равны бесконечности и нулю соответственно. Коэффициент усиления  $A_0$  также считается равным бесконечности.

При наличии отрицательной обратной связи (рис.4.2) с выхода на инвертирующий вход в случае идеального усилителя дифференциальное входное напряжение  $U_i$  стремится к нулю. Это явление, называемое эффектом кажущейся земли, позволяет использовать инвертирующий вход в качестве токового суммирующего узла.

Рис.4.2.  
Инвертирующий усилитель



Для идеального ОУ дифференциальное входное напряжение  $U_i$  становится равным нулю и сравнивает инвертирующий вход с потенциалом земли из-за отрицательной обратной связи через резистор  $R_2$ .

Токи через резисторы можно определить по формулам:

$$I_1 = U_{\text{вх}} / R_1,$$

$$I_2 = -U_{\text{вых}} / R_2.$$

Поскольку ОУ считается идеальным, его входное сопротивление равно бесконечности, и в инвертирующий вход не поступает ток. Поэтому токи  $I_1$  и  $I_2$  должны быть равны. После приравнивания правых частей и решения относительно коэффициента усиления по напряжению при замкнутой петле обратной связи получим:

$$A_c = U_{\text{вых}} / U_{\text{вх}} = -R_2 / R_1.$$

Коэффициент усиления идеального инвертирующего ОУ равен отношению сопротивлений двух резисторов и не зависит от самого усилителя. Входное сопротивление ОУ равно  $R_1$ , а выходное равно нулю. Резистор  $R_1$  называют входным сопротивлением  $R_{\text{вх}}$  а резистор  $R_2$  - резистором обратной связи  $R_{\text{ос}}$ .

Если к ОУ присоединены резисторы с одинаковыми сопротивлениями:  $R_{\text{ос}} = 10$  кОм и  $R_{\text{вх}} = 10$  кОм, то коэффициент по усилению равен  $K_U = \frac{R_{\text{ос}}}{R_{\text{вх}}} = 1$ . Если входное напряжение равно 5 В, то выходное напряжение  $U_{\text{вых}}$  согласно

формуле  $K_U = \frac{U_{\text{ВЫХ}}}{U_{\text{ВХ}}}$ , равно 5 В. Если же  $R_{\text{ВХ}} = 1$  кОм, а  $R_{\text{оc}} = 10$  кОм, то  $K_U = 10$ . Если  $U_{\text{ВХ}} = 0.5$  В, то выходное напряжение в 10 раз больше, т.е. равно 5 В.

ОУ в неинвертирующем включении показано на рис.4.3. Благодаря отрицательной обратной связи дифференциальное входное напряжение  $U_i$  стремится к нулю, в результате напряжение  $U_{R1}$  на резисторе  $R_1$  будет равно  $U_{\text{ВХ}}$ . Резисторы  $R_1$  и  $R_2$  образуют делитель напряжения, а выходное напряжение равно:

$$U_{\text{ВЫХ}} = U_{R1} (R_1 + R_2) / R_1 = U_{\text{ВХ}} (R_1 + R_2) / R_1.$$

Следовательно, коэффициент усиления неинвертирующего усилителя, задается отношением сопротивлений двух резисторов плюс 1:

$$A_c = U_{\text{ВЫХ}} / U_{\text{ВХ}} = 1 + (R_2 / R_1).$$

Входное сопротивление равно бесконечности, а выходное нулю.

Коэффициент усиления при разомкнутой петле обратной связи реальных усилителей не равен бесконечности и не является вещественным, т.к. амплитуда и фаза изменяются с частотой.

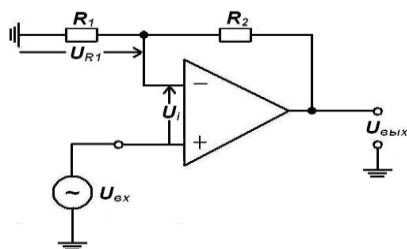


Рис.4.3.  
Неинвертирующий усилитель

Стандартная характеристика усиления без обратной связи имеет вид (рис.4.4):

$$A(jf) = \frac{A_0}{(1 + jf/f_0)} \text{ или } \frac{1}{A(jf)} = \frac{1}{A_0} + \frac{jf}{f_t},$$

где  $f_i = A_0 f_0$ . Соответствующие ей амплитудно- и фазово-частотная характеристики имеют вид:

$$|A| = \frac{A_0}{\sqrt{1 + (f/f_0)^2}}, \quad \arg A = -\arctg(f/f_0).$$

Величина коэффициента усиления без ОС  $|A|$  выражается в децибеллах, т.е. в единицах  $20 \lg|A|$ , а частота – в декадах. На низких частотах величина  $A(jf)$  асимптотически приближается к величине коэффициента усиления без ОС по постоянному току  $A_0$ . С ростом частоты усиление падает, и график пересекает линию 0 дБ на частоте единичного усиления  $f_i$ . Эта частота определяет активную полосу частот ОУ, в которой  $|A| \geq 1$ .

Коэффициент усиления реального ОУ с замкнутой петлей обратной связи для инвертирующего и неинвертирующего включений имеют вид:

$$A_c(\text{инверт.}) = A_0(\beta - 1)/(1 + A_0\beta),$$

$$A_c(\text{не инверт.}) = A_0/(1 + A_0\beta),$$

где  $A_0$  – коэффициент усиления при разомкнутой петле обратной связи;  $\beta$  – коэффициент обратной связи, представляет часть выходного сигнала, которая подается обратно на вход, определяется как  $R_1/(R_1 + R_2)$ . Произведение  $A_0\beta$  рассматривается как “усиление по петле обратной связи”.

На некоторой достаточно высокой частоте произведение  $A_0\beta$  может стать равным -1. Это приведет к тому, что знаменатель в выражениях для  $A_c$  исчезнет, а коэффициент усиления при замкнутой обратной связи будет бесконечно большим, что является условием самовозбуждения. Для предупреждения самовозбуждения необходимо ограничить  $A_c$ ,

таким образом, чтобы произведение  $A_0\beta < 1$ , ниже частоты, где фазовый сдвиг усилителя достигает значения  $180^\circ$ .

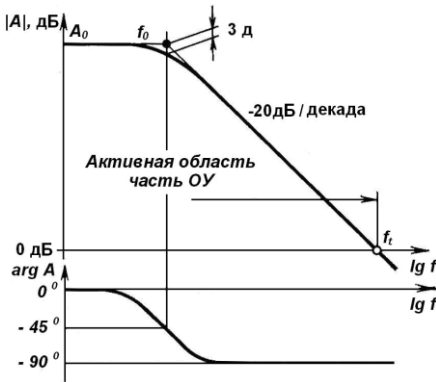


Рис.4.4. Стандартные амплитудная  $|A(jf)|$  и фазовая  $\arg A(jf)$  характеристики усиления без обратной связи

На рис.5.5 приведены типовые характеристики коэффициента усиления при разомкнутой петле обратной связи и фазового сдвига для ОУ А741 при разомкнутой петле обратной связи.

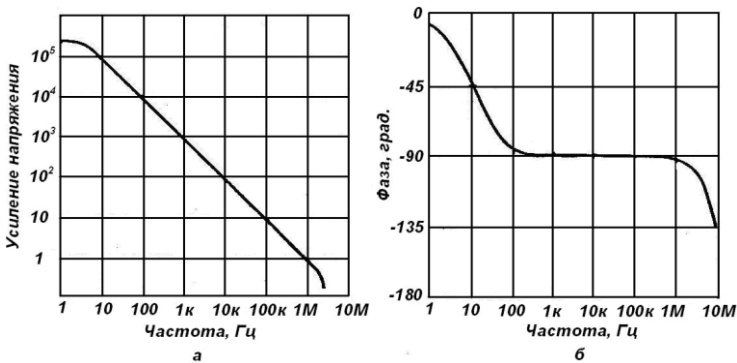


Рис.4.5. Частотные характеристики коэффициента усиления и фазового сдвига для ОУ А741 при разомкнутой петле обратной связи: а) – коэффициент усиления; б) – фазовый сдвиг

Кривая усиления имеет две точки излома. Первая (на низких частотах, около 10 Гц) обусловлена цепью частотной

коррекции, которая введена для обеспечения устойчивости усилителя. Запаздывание фазы выходного сигнала достигает  $45^\circ$  на этой частоте излома и асимптотически приближается к  $90^\circ$  с увеличением частоты. Наклон амплитудно-частотной характеристики (АЧХ) в этом диапазоне составляет 6 дБ/октаву. Другая точка излома находится в области частоты 5 МГц и обусловлена паразитными параметрами усилителя. Здесь имеет место дополнительный фазовый сдвиг на  $45^\circ$ , а асимптотический фазовый предел становится равным  $180^\circ$ . Наклон характеристики приближается к 12 дБ/октаву. Октавой называется изменение частоты в 2 раза. Спаду 6 дБ/октаву соответствует спад 20 дБ/декаду.

Рис.4.6 демонстрирует определение усиления по петле обратной связи. Если обратная связь не чисто резистивная, то передаточная функция цепи обратной связи  $\beta$  также дает фазовый сдвиг. Для определения запаса по фазе и усилению строится график Боде (АЧХ) по петле. На частоте  $f_1$  усиление по петле обратной связи равно 1, но фазовый сдвиг не достиг значения  $180^\circ$ . При фазовом сдвиге  $-180^\circ$  перед произведением  $A_0\beta$  появляется знак минус, т.е.  $A_0\beta = -1$ , что является условием самовозбуждения. Число градусов, остающееся до  $180^\circ$ , называется запасом фазы и обозначаются через  $\phi_m$ .

Измеренное на частоте  $f_2$ , при которой фазовый сдвиг составляет  $-180^\circ$ , число децибел ниже уровня 0 дБ по кривой усиления называется запасом усиления и обозначается через  $A_m$ . Чем больше вычисленные запасы фазы и усиления, тем больше вероятность устойчивой работы.



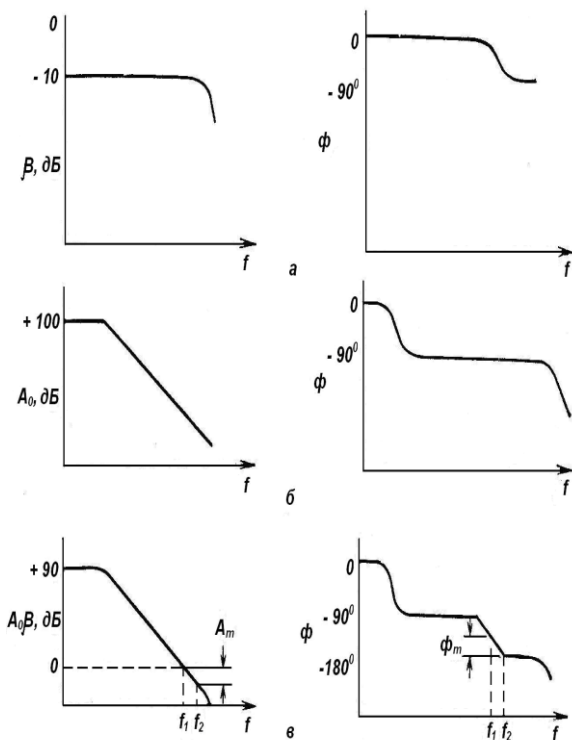


Рис.4.6.  
 Определение  
 усиления по  
 петле обратной  
 связи.  
 Характеристик  
 а цепи  
 обратной связи  
 (а);  
 характеристика  
 усилителя без  
 обратной связи  
 (б); составная  
 характеристика  
 усиления (в)

## 4.2. Принципы цифро-аналоговых преобразователей

Рассмотрим цифровую систему (рис.4.7) когда на входе действует аналоговый сигнал, принимающий непрерывный ряд значений в интервале 0-3 В. Шифратор в этой системе представляет собой специальное устройство, преобразующее аналоговый сигнал в цифровую форму. Такой шифратор называется аналого-цифровым преобразователем (АЦП).

В цифровой системе имеется специальный дешифратор, преобразующий цифровую информацию, поступающую от цифрового процессора, в аналоговый выходной сигнал. Такой дешифратор называется цифро-аналоговым преобразователем

(ЦАП). АЦП и ЦАП называют интерфейсными устройствами. Термин “интерфейс” используется для обозначения комплекса средств, обеспечивающих переход от одного режима обработки данных к другому.

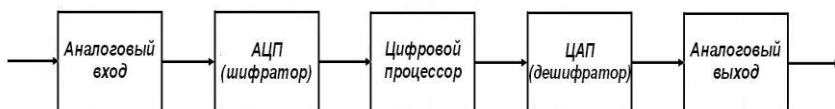


Рис.4.7. Цифровая система с аналоговым входом и аналоговым выходом

Предположим что требуется преобразовать двоичный цифровой сигнал с выхода процессора в выходное напряжение, изменяющиеся в диапазоне 0 – 3 В. Таблица истинности работы дешифратора показана ниже (табл.4.1)

Нулевому состоянию входов 0000 ЦАП соответствует нулевой выходной сигнал (0 В). Если на входы подана комбинация 0011, на выходе ЦАП появляется сигнал 0.6 В. При очередном изменении входного кода, при движении в направлении сверху вниз, выходной аналоговый сигнал увеличивается на 0.2 В. Структурная схема ЦАП показана на рис.4.8. Слева показаны цифровые входы D, C, B, A, выходной сигнал - справа. ЦАП состоит из резистивной схемы и суммирующего усилителя. Назначение резистивной схемы – учет весового коэффициента для цифровых сигналов на входах ЦАП. Вес 1 на входе B в 2 раза больше веса 1 на входе A, вес 1 на входе C в четыре раза больше веса 1 на входе A и т.д. Суммирующий усилитель усиливает поступающие на его вход сигналы до уровня, соответствующего значениям выходного напряжения в крайнем правом столбце табл.4.1.

Таблица 4.1  
Таблица истинности для 4-х разрядного ЦАП

| Цифровой вход |   |   |   | Аналоговый выход |
|---------------|---|---|---|------------------|
| D             | C | B | A | Напряжение, В    |
| 0             | 0 | 0 | 0 | 0                |
| 0             | 0 | 0 | 1 | 0.2              |
| 0             | 0 | 1 | 0 | 0.4              |
| 0             | 0 | 1 | 1 | 0.6              |
| 0             | 1 | 0 | 0 | 0.8              |
| 0             | 1 | 0 | 1 | 1.0              |
| 0             | 1 | 1 | 0 | 1.2              |
| 0             | 1 | 1 | 1 | 1.4              |
| 1             | 0 | 0 | 0 | 1.6              |
| 1             | 0 | 0 | 1 | 1.8              |
| 1             | 0 | 1 | 0 | 2.0              |
| 1             | 0 | 1 | 1 | 2.2              |
| 1             | 1 | 0 | 0 | 2.4              |
| 1             | 1 | 0 | 1 | 2.6              |
| 1             | 1 | 1 | 0 | 2.8              |
| 1             | 1 | 1 | 1 | 3.0              |



Рис.4.8. Структурная схема ЦАП

В позиционной системе исчисления цифровое двоичное представление величины  $D$  (целое положительное число) определяется полиномом:

$$D_{10} = d_{k-1}2^{k-1} + d_{k-2}2^{k-2} + \dots + d_12^1 + d_02^0,$$

где  $d_{k-1}, d_{k-2}, \dots, d_1, d_0 - k$  – битовая цепочка;  $d_{k-1}$  – старший значащий разряд (СЗР или MSB);  $d_0$  – младший значащий разряд (МЗР или LSB). Пример:

$$\begin{aligned} 1011_2 &= (1 \times 2^3) + (0 \times 2^2) + (1 \times 2^1) + (1 \times 2^0) \\ &= 8 + 0 + 2 + 1 = 11_{10} \end{aligned}$$

Двоичные числа, используемые в АЦП, как правило нормализованы, т.е. их абсолютное значение не превышает единицы. Они представляют собой отношение входного сигнала к полному диапазону:

$$\frac{D}{2^n} = \frac{1}{2^n} \sum_{i=0}^{n-1} 2^i d_i.$$

Вычисление полинома сводится к домножению отдельных битов на весовые коэффициенты, являющиеся степенями двойки, и в сложении получаемых членов. Это соответствует вычислению линейной комбинации битов. Подобные линейные комбинации легко реализуются схемами из резисторов. С помощью схемы из резисторов можно получить напряжение, соответствующее значению двоичного числа.

Резисторная матрица обычно имеет две различные структуры: в виде двоично-взвешенных резисторов или в виде многозвенной цепочки из резисторов лишь двух номиналов ( $R - 2R$ ). Так строятся обычно применяемые 8-, 12- и 16-битные ЦАП. При этом точность преобразования такого ЦАП зависит от качества резисторов и опорного напряжения. Наибольшее распространение получили ЦАП на резисторах  $R - 2R$  с коммутацией токов и напряжений.

Рассмотрим ЦАП на ОУ с использованием двоично-взвешенных резисторов (рис.4.9). Точность преобразования такого ЦАП зависит от качества резисторов и опорного напряжения. Если все переключатели замкнуты на общий провод (0 В), то входное напряжение в точке А равно 0 В. Такая ситуация соответствует строке 1 табл.4.1. Установим

переключатель А в положение логической единицы. Тогда к ОУ будет приложено входное (опорное) напряжение, равное 3 В. Рассчитаем коэффициент усиления по напряжению. При сопротивлении резистора обратной связи  $R_{oc}$  равного 10 кОм и сопротивлении входного резистора  $R_{вх}$ , равного сопротивлению резистора  $R$  (150 кОм) получим  $K_u = R_{oc}/R_{вх} = 10000/150000 = 0.066$ . Тогда выходное напряжение ОУ  $U_{вых} = K_u U_{вх} = 0.066 \times 3 = 0.2$  В. Напряжению 0.2 В (строка 2, табл.1.1) на выходе ОУ соответствует входная двоичная комбинация 0001.

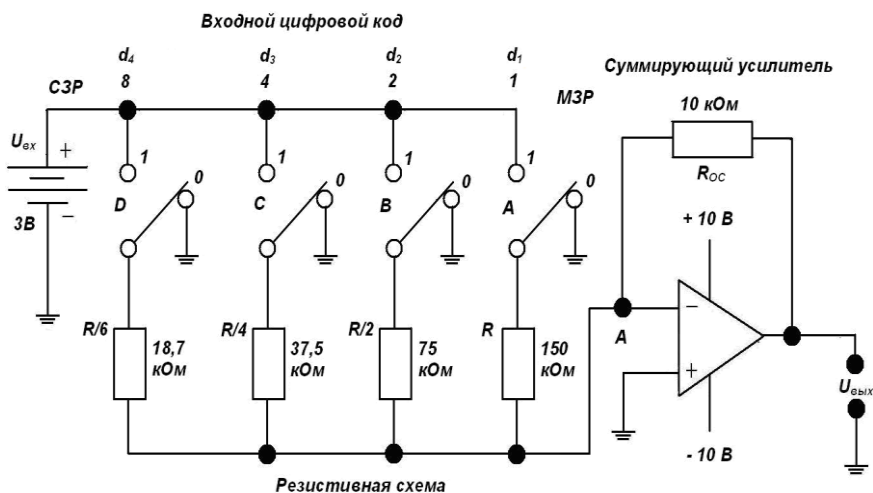


Рис.4.9. Четырехразрядный ЦАП, суммирующий токи на ОУ с использованием двоично-взвешенных резисторов

Подадим на входы ЦАП двоичную комбинацию 0010. Для этого установим переключатель В в положение соответствующей логической единицы, тем самым приложим к ОУ напряжение, равное 3 В. Для коэффициента усиления в данном случае получим:  $K_u = R_{oc}/R_{вх} = 10000/75000 = 0.133$ . Тогда  $U_{вых} = K_u U_{вх} = 0.133 \times 3 = 0.4$  В. Напряжению 0.4 В

(строка 3, табл.4.1) на выходе ОУ соответствует входная двоичная комбинация 0010.

При переходе к каждому следующему числу в двоичной счетной последовательности из табл.4.1 выходное напряжение ЦАП должно увеличиваться на 0.2 В. Такое возрастание выходного напряжения обеспечивается за счет увеличения коэффициента усиления по напряжению ОУ при подключении различных резисторов ( $R, R/2, R/4, R/8$ ). Если подключить только один резистор  $R/8$  с помощью переключателя D, то установим коэффициент усиления  $K_u = R_{oc}/R_{вх} = 10000/18700 = 0.535$ . Умножение этого коэффициента усиления на величину входного напряжения 3 В дает 1.6 В на выходе ОУ, что соответствует строке 9 табл.4.1. Если все переключатели установлены в положения, соответствующие логическим 1, ОУ вырабатывает на выходе полные 3 В, т.к. коэффициент усиления становится равным 1.

Преобразователь называется “с умножением напряжения источника”, потому что он умножает значение напряжения источника на определенную величину усиления. Такая схема построения АЦП имеет существенный недостаток: число различных номиналов резисторов должно быть равным числу бит ЦАП.

Другим способом организации двоично-взвешенных токов является использование резисторной  $R - 2R$  цепи лестничного типа. Принцип действия такой схемы показан на рис.4.10. К входу матрицы подключается прецизионный источник опорного напряжения  $U_{оп}$  с током потребления  $2I_0$ .

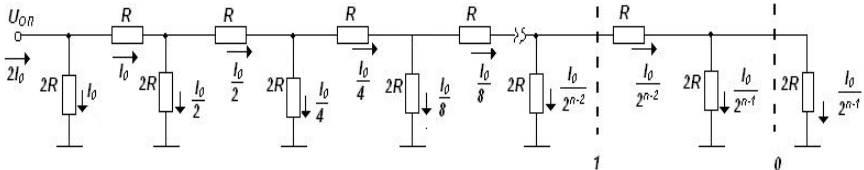


Рис.4.10. Резистивная лестница  $R - 2R$

Эквивалентное сопротивление цепи справа от "сечения 0" равно  $R_{\mathcal{E}0} = 2R$ . Сопротивление цепи справа от "сечения 1" равно  $R_{\mathcal{E}1} = R + 2R \parallel R_{\mathcal{E}0} = R + \frac{2R * 2R}{2R + 2R} = 2R$ . Значком  $\parallel$  обозначено параллельное соединение двух сопротивлений. Рассуждая таким образом, найдем, что  $R_{\mathcal{E}_{n-1}} = R + 2R \parallel R_{\mathcal{E}_{n-2}} = 2R$  и полное сопротивление цепи со стороны входа, на который подается напряжение  $U_{оп}$ , равно  $R_{\mathcal{E}} = 2R \parallel R_{\mathcal{E}_{n-1}} = R$ , т.е. равно номиналу  $R$  независимо от числа звеньев матрицы.

Нетрудно подсчитать, что ток в узле  $n-1$  делится пополам, одна половина ответвляется в сопротивление  $2R$ , а другая в сопротивление  $R_{\mathcal{E}_{n-1}}$ , тоже равное  $2R$ . Половина, попадающая в узел  $n-2$ , также делится пополам и т.д. Величина тока в каждой "ветке" равна  $I_0 2^i$ , т.е. пропорциональна весовому коэффициенту  $2^i$ . В случае активного включения всех ветвей лестницы получим:

$$I_{\Sigma} = 2^n I_0 = 2^{n-1} I_0 + 2^{n-2} I_0 + 2^{n-3} I_0 + \dots + 2^0 I_0.$$

Если входной код является двоичным, то результирующий ток определяется выражением:

$$I_{\Sigma} = I_0 (d_{n-1} 2^{n-1} + d_{n-2} 2^{n-2} + d_{n-3} 2^{n-3} + \dots + d_0 2^0) = I_0 D,$$

где  $n$  – число двоичных разрядов входного цифрового слова  $D$ ;  $d_n$  – старший значащий разряд цифрового слова.

Основным преимуществом такой схемы лестничного типа является узкий диапазон требуемых значений резисторов ( $2:1$ ), что облегчает согласование температурных коэффициентов и реализацию резисторов в монолитной схеме.

На рис.4.11 приведена схема ЦАП с коммутацией токов с использованием  $R - 2R$  цепи лестничного типа, которая может быть использована с точным ОУ или с другой активной нагрузкой, обеспечивающей "виртуальную землю".

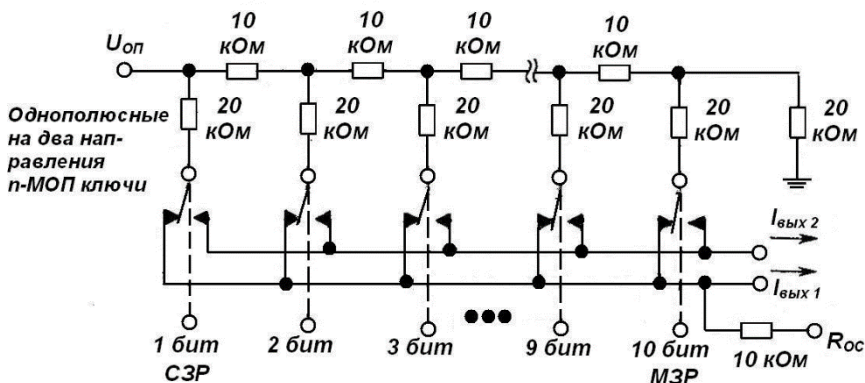


Рис.4.11. ЦАП с использованием  $R - 2R$  цепи лестничного типа в режиме коммутации токов

На рис.4.12 показан 4-х разрядный ЦАП на ОУ, в котором используется один источник опорного напряжения  $U_{оп}$  и резистивная матрица  $R - 2R$ . Особенность этой резистивной матрицы заключается в том, что при любом положении ключей входное сопротивление матрицы всегда равно  $R$ , а следовательно, ток, втекающий в матрицу, равен  $I_0 = U_{оп} / R$ . Далее он последовательно делится в узлах матрицы по двоичному закону.



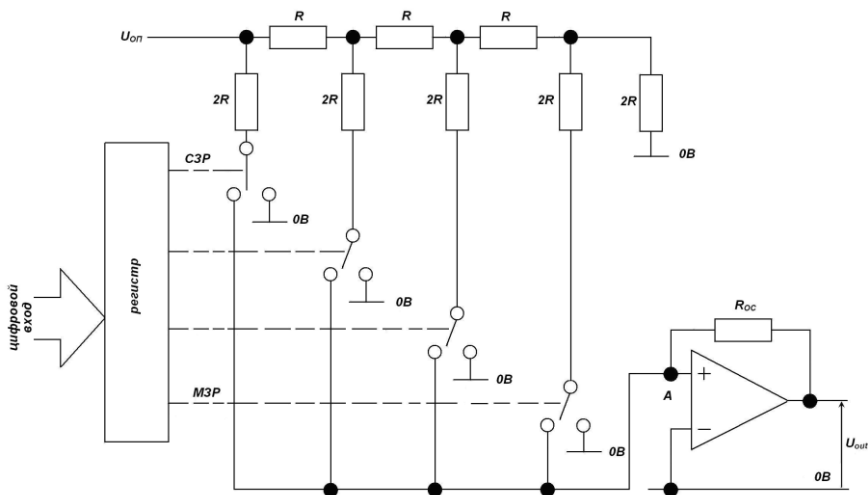


Рис.4.12. Четырехразрядный ЦАП на ОУ с использованием  $R - 2R$  цепи лестничного типа

Двоичный закон распределения токов в ветвях резистивной матрицы соблюдается при условии равенства нулю сопротивления нагрузки. Так как нагрузкой матрицы является ОУ, охваченный отрицательной обратной связью через сопротивление  $R_{oc}$ , то его входное сопротивление равно нулю.

Сумма токов, втекающих в узел (А) и вытекающих из него, равна нулю, поэтому можно записать:  $I_{oc} + \sum_{i=0}^{n-1} I_0 2^i d_i = 0$ .

Если к входу матрицы подключен прецизионный источник опорного напряжения  $U_{оп}$  с током потребления  $I_{вх} = I_0 2^n$ .

Подставляя в выражение значение  $I_0$  равно  $2^n I_0 = U_{оп}/R$ ,

получим  $-I_{oc} = \frac{U_{оп}}{R 2^n} \sum_{i=0}^{n-1} 2^i d_i$ . В свою очередь  $U_{ЦАП} = I_{oc} R_{oc}$ .

Подставляя полученное значение  $I_{oc}$  и учитывая, что  $R_{oc} = R$ , получим формулу напряжения на выходе ЦАП:

$$U_{\text{ЦАП}} = -\frac{U_{\text{оп}}}{2^n} \sum_{i=0}^{n-1} (2^i d_i) = -\frac{U_{\text{оп}} D}{2^n}.$$

Пусть число разрядов ЦАП  $n = 8$  и  $U_{\text{оп}} = 10$  В, тогда  $U_{\text{ЦАП}} = (10/256)D$  для цифрового кода 10000000 (единица в МЗР) имеет величину 5 В (табл.4.2):

$$U_{\text{ЦАП}} = -\frac{U_{\text{оп}}}{2^8} (2^0 d_0 + 2^1 d_1 + 2^2 d_2 + 2^3 d_3 + \\ + 2^4 d_4 + 2^5 d_5 + 2^6 d_6 + 2^7 d_7)$$

Таблица 4.2

Схема работы 8-разрядного ЦАП

| Цифровой код | Напряжение на выходе ЦАП, В |
|--------------|-----------------------------|
| 10000000     | 5                           |
| 01000000     | 2.55                        |
| 00100000     | 1.25                        |

В ЦАП с коммутацией напряжения используется принцип подключения узла к одному или другому узлу, имеющим разные потенциалы. Обобщенная схема ЦАП показана на рис.4.13. ЦАП с использованием  $R - 2R$  лестничной цепи построен на МОП-ключах, а схемы управления – на КМОП логических элементах. Такая структура очень подходит для реализации в интегральном исполнении при условии изготовления резисторов по тонкопленочной технологии.

Входной код управляет ключами. При  $d_i = 1$  соответствующий источник напряжения включен, а при  $d_i = 0$  выключен. Результирующее напряжение на выходе равно сумме напряжений включенных опорных источников.

ЦАП с коммутацией тока характеризуется наличием ряда источников тока, которые могут быть подключены к выходной шине с помощью ключей. Каждый источник тока соответствует одному разряду входного кода.

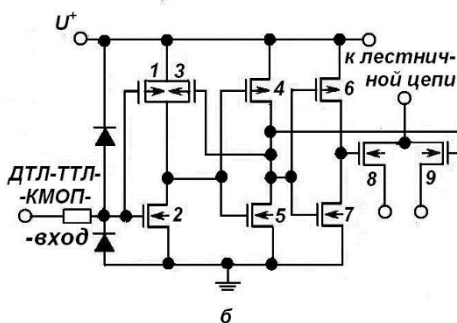
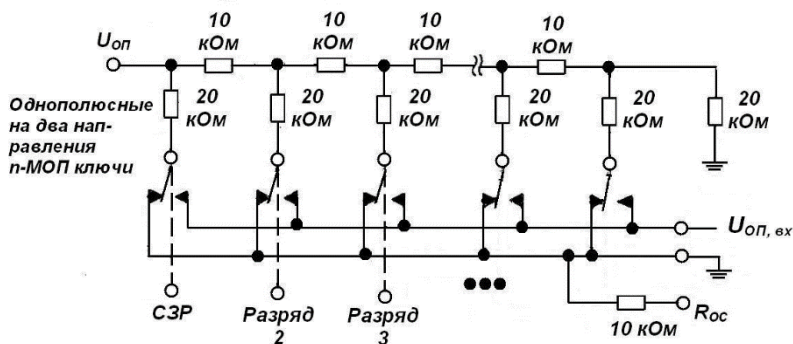


Рис.4.13. Обобщенная схема ЦАП с коммутацией напряжения. Лестничная цепь (а) и типовой ключ со схемой управления на КМОП-структуре (б)

Четырехразрядный ЦАП с коммутацией токов показан на рис.4.14. Двоично-взвешенные резисторы позволяют получить двоично-взвешенные токи коллекторов транзисторов  $Q_7 - Q_{10}$ . Эти токи коммутируются либо на выход, либо на шину питания через входную шину управления и транзисторы  $Q_1 - Q_4$  (источники тока). Пятый источник тока  $Q_6$  служит для создания соответствующего уровня опорного сигнала через ОУ, резистор  $R_s$  и источник опорного напряжения  $U_{оп}$ . ОУ управляет базовой шиной транзисторов, обеспечивая необходимый баланс на своем входе:

$$I_{Q_6} = (U_{\text{он}} + U_{\text{смОУ}}) / R_s .$$

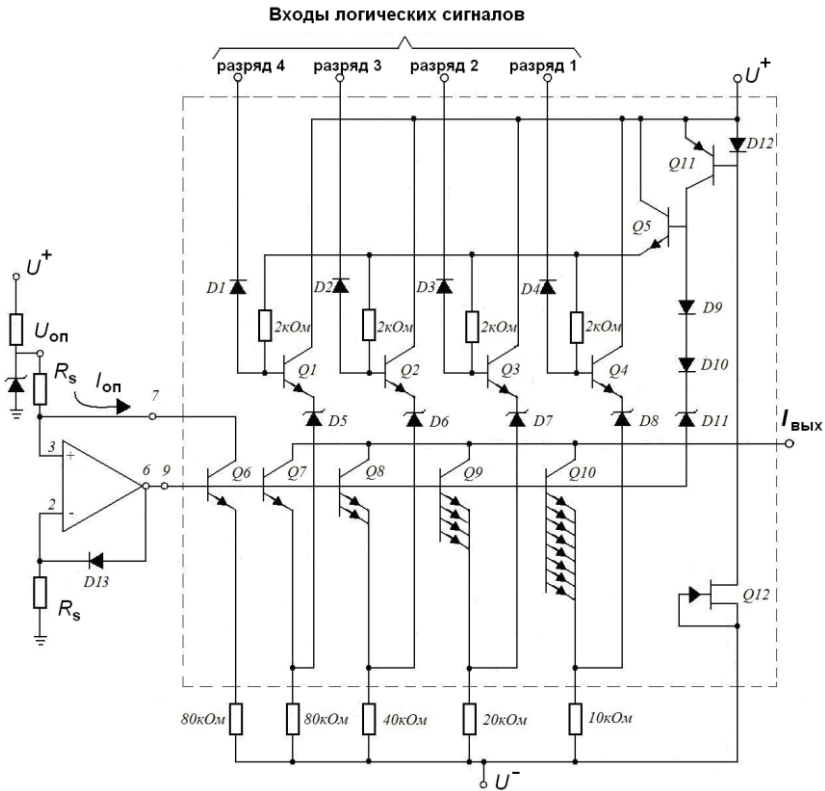


Рис.4.14. ЦАП с коммутацией токов

Ток транзистора  $Q_7$  равен опорному току транзистора  $Q_6$ , т.е.  $I_{Q_7} = I_{Q_6}$ , т.к. напряжения, значения резисторов в цепях эмиттеров равны. Площадь эмиттера транзистора  $Q_8$  в два раза больше, чем у  $Q_7$  или  $Q_6$ , в то время как резистор в цепи эмиттера в два раза меньше, а ток коллектора в два раза больше:

$$I_{Q_8} = 2I_{Q_7} = 2I_{Q_6} = 2(U_{\text{он}} + U_{\text{смОУ}}) / R_s .$$

Аналогично, площадь эмиттера транзистора  $Q_9$ , в четыре раза больше площади эмиттера транзистора  $Q_7$ , а резистор в цепи эмиттера в четыре раза меньше. Тем самым создается в четыре раза больший ток коллектора.

Двоичное взвешивание распространяется и на транзистор  $Q_{10}$ , имеющий в восемь раз большую площадь эмиттера, а резистор в цепи эмиттера в восемь раз меньше, чем у транзистора  $Q_7$ . В результате ток коллектора  $I_{Q_{10}}$  в восемь раз больше тока  $I_{Q_7}$ . Эти предположения верны в том случае, если все цифровые входы находятся в состоянии низкого уровня, вследствие чего транзисторы  $Q_1 - Q_4$  закрыты. Если какой-либо цифровой вход имеет высокий логический уровень, то соответствующий ему транзистор из ряда  $Q_1 - Q_4$  замыкает ток элементов источников тока через транзистор  $Q_5$  на источник питания  $U^+$ . Таким образом, выходной ток  $I_{\text{вых}}$  определяется суммой отдельных токов в соответствии с выражением:

$$I_{\text{вых}} = d_1 I_{Q_{10}} + d_2 I_{Q_9} + d_3 I_{Q_8} + d_4 I_{Q_7},$$

где  $D$  – цифровой код на входе ЦАП. Данное выражение можно записать в другом виде, введя в него значение опорного тока  $I_{Q_6}$ :

$$I_{\text{вых}} = (d_1 2^3 + d_2 2^2 + d_3 2^1 + d_4 2^0) I_{Q_6}.$$

Максимальный выходной ток получается при высоком уровне на всех цифровых входах и равен  $(2^4 - 1) I_{Q_6}$ .

Большинство последних успехов в области аналого-цифровых преобразователей базируется на новейших достижениях технологии цифровых СБИС. В некоторых наиболее популярных новых ЦАП, например, используются высококачественные конденсаторы, изготавливаемые с помощью стандартной технологии цифровых КМОП ИС, для построения оригинальных схем на коммутируемых

конденсаторах.

На рис.4.15 показан ЦАП на коммутируемых конденсаторах, в которых резисторная матрица, заменена конденсаторной матрицей. Эти конденсаторы подключены к общему узлу, соединенному с одним из входов компаратора, и могут коммутироваться между источниками  $U_{вх}$ ,  $U_{оп}$  и  $U_{земля}$ . Когда замкнут ключ S1 и конденсаторы соединены с источником  $U_{вх}$ , преобразователь отслеживает входной сигнал. В начале цикла преобразования ключ размыкается, в результате чего на входе компаратора образуется плавающий узел с фиксированным зарядом. Поскольку последующие изменения  $U_{вх}$  не оказывают влияния на величину этого заряда, вся такая конденсаторная матрица выполняет ту же функцию, что и конденсатор хранения уровня в усилителе выборки.

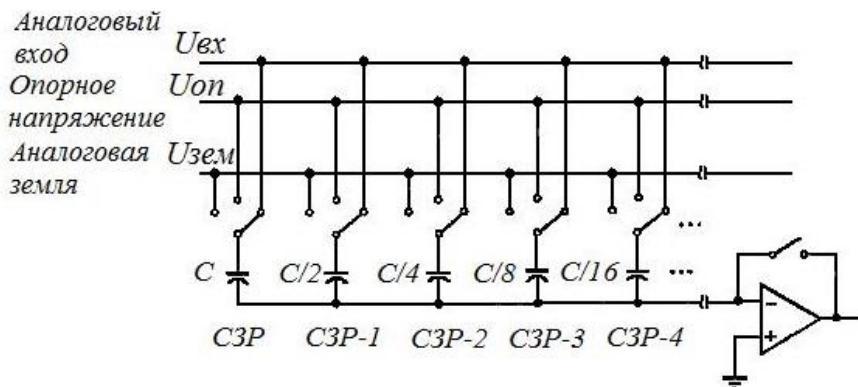


Рис.4.15. Конденсаторная матрица ЦАП

Для того чтобы обеспечить 16-бит точности преобразования в течение всего срока службы и во всем диапазоне температур, необходимо очень жестко выдерживать соотношения параметров элементов в конденсаторной матрице.

С этой целью каждый из конденсаторов матрицы делается

из нескольких конденсаторов меньшей емкости. Чтобы выполнить калибровку, сложная цифровая схема управления АЦП подключает или отключает эти части каждого конденсатора так, чтобы конденсатор в каждом из разрядов точно соответствовал емкости суммы емкостей конденсаторов всех более младших разрядов.

Известна конструкция ЦАП, в которой резисторная матрица заменена диодной матрицей (рис.4.16).

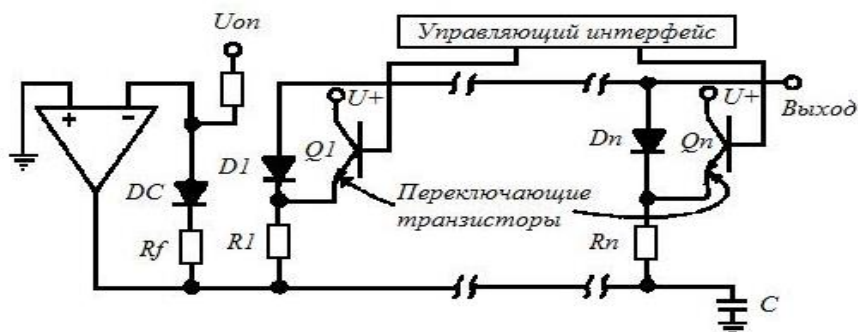


Рис.4.16. Диодная матрица ЦАП

### 4.3. Процесс преобразования аналогового сигнала в цифровой

Процесс аналого-цифрового преобразования состоит из следующих этапов:

сигнал с ограниченной полосой дискретизируется, т.е. аналоговый сигнал преобразуется в дискретный по времени сигнал с непрерывной амплитудой;

амплитуда каждого дискретного элемента сигнала квантуется в один из  $2^B$  уровней, где B - число битов, которым дискретная выборка представлена в АЦП;

дискретные уровни амплитуды кодируются в виде различных бинарных слов, каждое из которых имеет длину B бит.

Описанный процесс показан на рис.4.17. На рис.4.17 можно выделить три различных типа сигнала. Аналоговый входной сигнал  $x(t)$  непрерывен как по времени, так и по амплитуде. Дискретный сигнал непрерывен по амплитуде, но определяется только в дискретных точках во времени. Цифровой сигнал  $x(n)$  ( $n = 0,1,\dots$ ) существует только в дискретных точках во времени и в каждой временной точке может иметь одно из  $2^B$  значений (дискретный во времени сигнал с дискретной амплитудой).

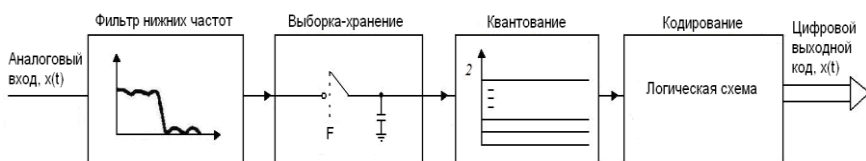


Рис.4.17. Графическое представление процесса преобразования аналогового сигнала в цифровой

Дискретизация – это определение значений непрерывного сигнала в дискретные моменты времени  $nT$ , по которым сигнал может быть восстановлен.

Если  $f_{\max}$  – самый высокочастотный компонент сигнала, то, чтобы элементы выборки полностью описывали сигнал, дискретизация должна осуществляться с частотой не ниже  $2f_{\max}$ :

$$F_s \geq 2f_{\max},$$

где  $F_s$  – частота дискретизации ( $F_s = 1/T$ );  $T$  – интервал времени, через который берутся значения непрерывного сигнала, называется шагом дискретизации. Например, если максимальная частота аналогового сигнала составляет 4 кГц, то для того, чтобы сохранить всю информацию, содержащуюся в сигнале, его дискретизация должна осуществляться с частотой 8 кГц и более. Дискретизация с меньшей частотой приведет к



появлению перегибов или наложению зеркальных частот в интересующей частотной области.

На рис.4.18 показан пример наложения во временных координатах, при дискретизации сигнала в определенной временной области с интервалом  $T$ . Оба сигнала имеют одинаковые значения в одних и тех же временных точках, хотя их частоты различны. При восстановлении дискретного сигнала в аналоговую форму может появиться наложенный сигнал. На практике, наложение исследуют в частотных координатах. На рис.4.19 показан процесс дискретизации, который можно рассматривать как умножение аналогового сигнала  $x(t)$  на выборочную функцию  $p(t)$ .



Рис.4.18. Пример наложения в дискретные моменты времени

Функция  $p(t)$  состоит из импульсов единичной амплитуды с шириной  $dt$  и периодом  $T$ . Умножение во временных координатах двух функций  $x(t)$  и  $p(t)$  эквивалентно свертке в частотных координатах. Для дискретного сигнала можно отметить следующие моменты (рис.4.19,  $z$ ). Спектр дискретного сигнала идентичен исходному аналоговому спектру, только повторяется в точках, кратных частоте дискретизации  $F_s$ . Компоненты более высокого порядка с центрами в точках, кратных  $F_s$ , называют зеркальными частотами. Если частота дискретизации  $F_s$

недостаточна высока, то зеркальные частоты с центром в  $F_s$  будут накладываться на частоты основной полосы (рис.4.20). Сигналы в области наложения не поддаются восстановлению. Частоту  $F_N$  равную половине частоты дискретизации, называют частотой Найквиста. Перекрытие происходит в районе точки  $F_N$ .

Выборка с запасом по частоте означает дискретизацию входного сигнала с частотой намного большей, чем частота Найквиста. Отношение частоты дискретизации к частоте Найквиста называется коэффициентом перевыборки:

$$\text{коэффициент перевыборки} = \frac{F_s}{2f_{max}}.$$

Чем выше частота дискретизации, тем дальше друг от друга находятся зеркальные компоненты.

После дискретизации амплитуда аналоговых выборок может в зависимости от приложения подвергаться однородному и неоднородному квантованию и кодированию.

При однородном квантовании и кодировании каждой аналоговой выборке присваивается одно из  $2^B$  значений (рис.4.21), где  $B$  – количество битов АЦП. Процесс квантования вносит неустранимую погрешность. Уровень этой погрешности является функцией числа битов АЦП, которое приблизительно равно половине МЗР. Например, у 12-битного АЦП с диапазоном входных напряжений  $\pm 10$  В МЗР будет равен  $20/2^{12}$  В, т.е. 4.9 мВ, а ошибка квантования – 2.45 мВ.

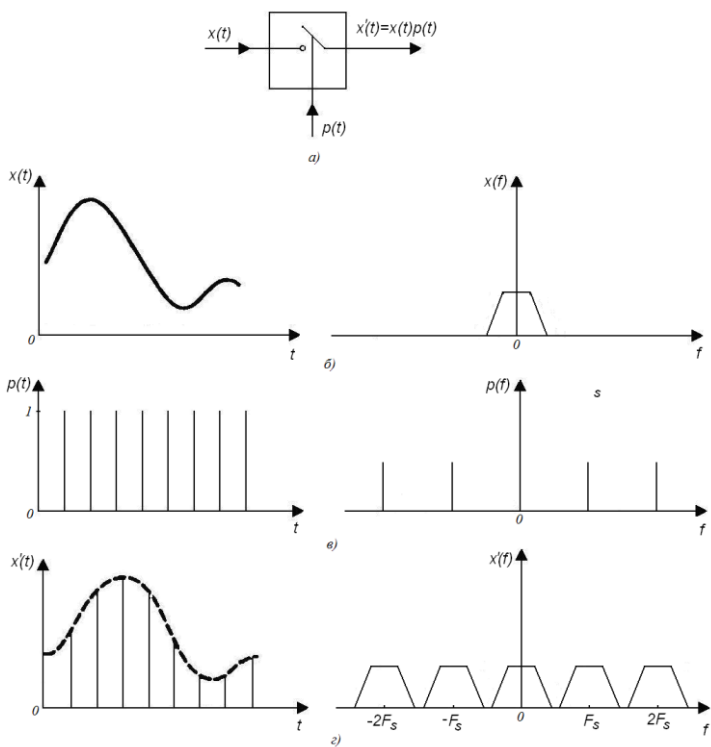


Рис.4.19. Описание процесса дискретизации во временной и частотной областях: а) – операция свертки; б) – исходный аналоговый сигнал  $x(t)$  и его спектр  $X(f)$ ; в) – выборочная функция  $p(t)$  и ее спектр; г) -  $x'(t)$  – дискретный сигнал и его свертка  $X'(f)$  во временной и частотной областях

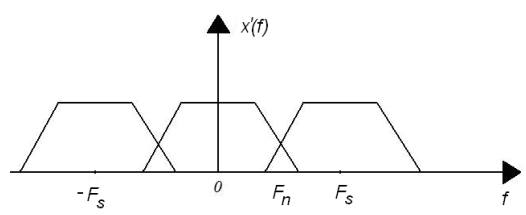


Рис.4.20. Спектр сигнала, прошедшего процесс дискретизации, на котором показано наложение

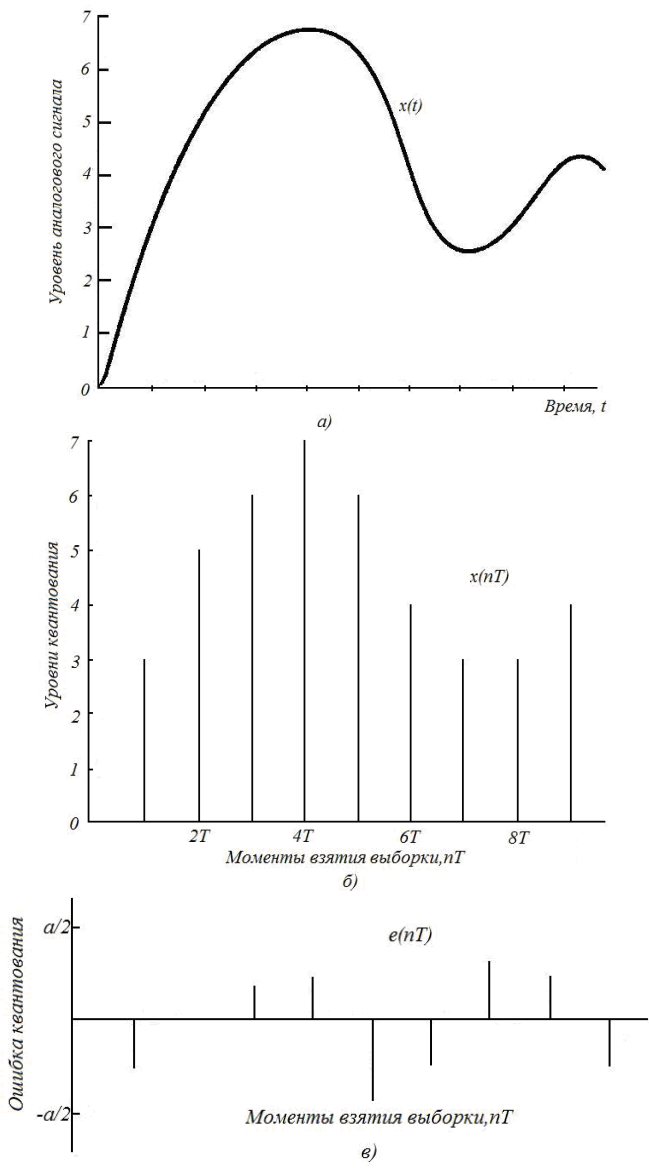


Рис.4.21. Квантование выборок аналогового сигнала с помощью 3-х разрядного АЦП: а) – аналоговый сигнал; б) – квантованный сигнал; в) – ошибки квантования

Для АЦП с  $B$  двоичными цифрами количество уровней квантования равно  $2^B$ , а расстояние между уровнями, т.е. размер шага квантования  $q$ , задается как:

$$q = U_{\text{шк}} / (2^B - 1) \approx U_{\text{шк}} / (2^B),$$

где  $U_{\text{шк}}$  – полный диапазон АЦП со входом в виде биполярного сигнала. Максимальная ошибка квантования, когда значения округляются до ближайшего большего или меньшего числа, равна  $\pm q/2$ . Для синусоидального входного сигнала с амплитудой  $A$  размер шага квантования определяется как:  $q = 2A/2^B$ .

Ошибка квантования для каждой выборки  $e$  полагается случайной и однородно распределенной на отрезке  $\pm q/2$  с нулевым средним значением. Дисперсия шума квантования при преобразовании аналогового сигнала в цифровой задается как:

$$\sigma_e^2 = \int_{-q/2}^{q/2} e^2 P(e) de = \frac{1}{q} \int_{-q/2}^{q/2} e^2 de = \frac{q^2}{12} = \frac{2^{-2(B-1)}}{12},$$

где  $P_e(f) = \frac{\sigma_e^2}{F_s}$  – спектральная плотность мощности шума

квантования.

Для синусоидального входного сигнала средняя мощность сигнала равна  $A^2/2$ . Для идеального АЦП отношение сигнал-шум квантования ( $\text{SNR}(q)$ ) равно:

$$\text{SNR}(q) = 10 \lg \left( \frac{A^2/2}{q^2/12} \right) = 6.02B + 1.76 \text{ дБ}.$$

У биполярного линейного 16-ти битового АЦП, например, с входным диапазоном  $\pm 5$  В, величина шага квантования  $q = \frac{10 \text{ В}}{2^{16} - 1} = 0.152 \text{ мВ}$ , максимальная ошибка квантования  $\frac{q}{2} = 76 \text{ мкВ}$ , а  $\text{SNR}(q) = 98 \text{ дБ}$ . С увеличением

разрядности АЦП отношение  $SNR(q)$  возрастает, но увеличение разрядности ограничивают практические факторы, такие как скорость, затраты и др.

Эффективное разрешение АЦП можно увеличить, дискретизируя входные данные с высокой частотой, чтобы энергия шума квантования распределялась по более широкой полосе частот, снижая уровень шума в важной полосе (рис.4.22). В обоих случаях (рис.4.22) мощность шума, которая задается площадью, одинаковая, но в случае с выборкой с запасом по частоте мощность шума распределяется по намного большему частотному диапазону, что приводит к снижению уровня мощности шума в полосе частот.

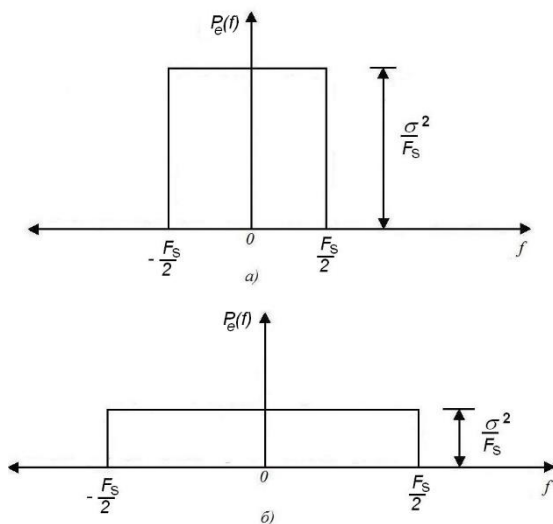


Рис.4.22. Спектральная плотность мощности шума квантования: а) – для преобразования с частотой Найквиста; б) – для выборки с запасом по частоте

Мощность шума в полосе при выборке с запасом по частоте задается как:

$$\sigma_e^2 = \int_{-f_{\max}}^{f_{\max}} P_e(f) df = \frac{2f_{\max}}{F_s} \sigma_e^2.$$

Если, сигнал с ограниченной полосой частот дискретизировать с запасом по частоте, то энергия шума в полосе сигнала уменьшается на коэффициент перевыборки. Например, при частоте Найквиста ( $F_s = 2f_{\max}$ ) нормированная мощность шума квантования в полосе для 12- и 16-битового АЦП соответственно равна:

$$\sigma_1^2 = 2^{-\frac{2(B_1-1)}{12}}, \text{ где } B_1 = 12,$$

$$\sigma_2^2 = 2^{-\frac{2(B_2-1)}{12}}, \text{ } B_2 = 16.$$

Для достижения 16-битового качества с 12-битовым АЦП вход 12-разрядного преобразователя нужно дискретизировать с запасом по частоте, чтобы снизить мощность шума квантования в полосе на величину, равную коэффициенту перевыборки. Приравнявая новый шум квантования 12-разрядного АЦП с выборкой с запасом по частоте к шуму 16-разрядного АЦП, получим:

$$\frac{2f_{\max}}{F_s} \sigma_1^2 = \sigma_2^2.$$

$$\frac{2f_{\max}}{F_s} = \frac{\sigma_2^2}{\sigma_1^2} = \frac{2^{-2(B_2-1)}}{2^{-2(B_1-1)}} = \frac{1}{256}.$$

Коэффициент перевыборки задается как  $F_s/2f_{\max} = 256$ .

Например, для сигналов, основная полоса частот которых лежит в диапазоне 0 – 20 кГц (система записи и воспроизведения звука) минимальная частота дискретизации при использовании 12 – битового АЦП для достижения 16-битового качества составляет  $F_s = 10.24$  МГц.

#### 4.4. Основные архитектуры аналого-цифровых преобразователей

Аналого-цифровые преобразователи (АЦП) являются устройствами, которые принимают входные аналоговые сигналы и генерируют соответствующие им цифровые сигналы, пригодные для обработки микропроцессорами и другими цифровыми устройствами.

Температура - наиболее часто измеряемый физический параметр, а ключевым элементом любой системы её измерения является АЦП. За последние годы АЦП превратились из базовых устройств, имеющих отдельные ограниченные диапазоны изменения входных сигналов, в более интегрированные, программируемые микросхемы, предлагающие несколько различных диапазонов измерения входных сигналов и программно конфигурируемые интерфейсы.

В типичной системе измерения температуры термопара может быть удалена от базового блока на сотни метров, что делает её весьма восприимчивой к электромагнитным помехам, производимым индукционными двигателями, сетью переменного тока и другими источниками шума. Чтобы защитить датчики от этих воздействий, разработчики вводят в аппаратуру специальные схемы защиты, состоящие из резисторов, конденсаторов и диодов. Для минимизации погрешности измерений, связанной с протеканием токов смещения через защитные цепи, разработчики вынуждены использовать усилители с низким дрейфом параметров и малыми входными токами.

Присутствующий в системе усилитель напряжения предназначен для усиления сигнала с выхода термопары, уровень которого не превышает 100 мВ, до уровня, считывание которого возможно с помощью АЦП. Так как типовое значение напряжения на входе АЦП составляет 2.5 В, усилитель должен иметь усиление от 25 до 100. После усиления до соответствующего уровня сигнал подается на вход АЦП, который на своём выходе генерирует цифровое слово,



пропорциональное аналоговому сигналу. АЦП в такой системе принципиально необходим, так как он позволяет производить обработку и компенсацию сигналов термопары в цифровой области с помощью микроконтроллера. В этом случае система будет правильно отображать измеренную температуру. Заметим, что для компенсации нелинейности температурной характеристики термопары, цифровая часть большинства систем измерения температуры включает ПЗУ на основе поисковых таблиц, содержащее поправочные коэффициенты для каждого конкретного типа термопары.

Когда АЦП впервые появились на рынке, их роль в системах измерения температуры сводилась к преобразованию сигнала высокого уровня (обычно 2.5 В) в цифровую форму для дальнейшей обработки микроконтроллером. Простые АЦП имеют последовательный выход, как правило, состоящий из калибровочных регистров, регистра преобразования данных и последовательного интерфейса. Управление функционированием АЦП осуществляется через соответствующие выводы, и в общем случае существует только один внутренний регистр, доступный пользователю, - регистр преобразования данных.

Большинство АЦП первого поколения содержат встроенные функции коррекции ошибок непосредственно внутри АЦП (то есть ошибок смещения и усиления входной схемы АЦП). Механизм калибровки обеспечивает встроенные функции АЦП для определения значения нулевой точки и наклона его передаточной функции. Самым распространённым принципом калибровки большинства АЦП первого поколения является самокалибровка. При этом измерение нуля передаточной функции АЦП производилось после соединения обоих его входов. После запоминания в регистре смещения этот параметр используется как нулевой отсчёт для будущих преобразований. Затем АЦП подключает свои входы к эталонному источнику напряжения, делает преобразование и вычисляет наклон передаточной функции по значениям двух

точек — точки нуля и точки эталонного напряжения. Затем параметр записывается в регистр усиления и используется при работе как масштабный коэффициент.

На рис.4.23 представлена классификация АЦП по методам преобразования. В основу классификации АЦП положен признак, указывающий на то, как во времени разворачивается процесс преобразования аналоговой величины в цифровую. В основе преобразования выборочных значений сигнала в цифровые эквиваленты лежат операции квантования и кодирования. Они могут осуществляться с помощью либо последовательной, либо параллельной, либо последовательно-параллельной процедур приближения цифрового эквивалента к преобразуемой величине.

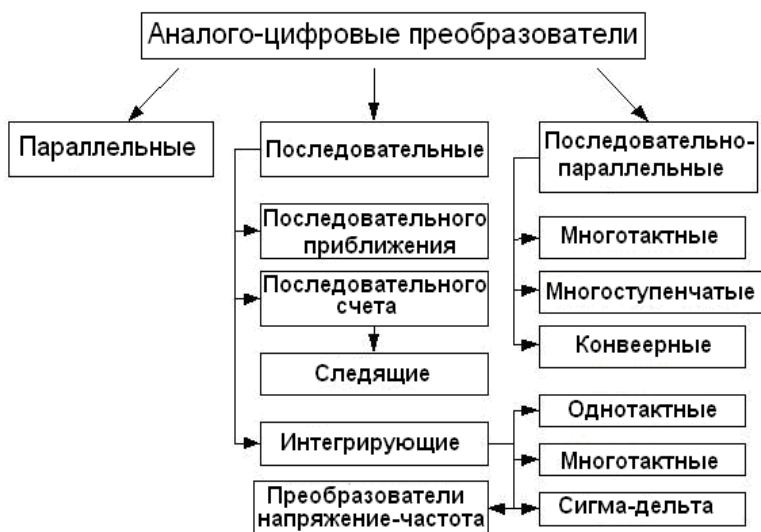


Рис.4.23. Классификация АЦП

По своей природе АЦП вносит ошибку квантования. Это потерянная информация, поскольку для непрерывного аналогового сигнала должна быть бесконечная разрешающая способность преобразователя, а реально АЦП имеет конечное

число разрядов кодирования. Чем выше разрядность АЦП, тем больше разрешающая способность, тем меньше приходится информации на ошибку квантования. На рис.4.24 показаны возможности основных архитектур АЦП в зависимости от разрешения и частоты дискретизации.

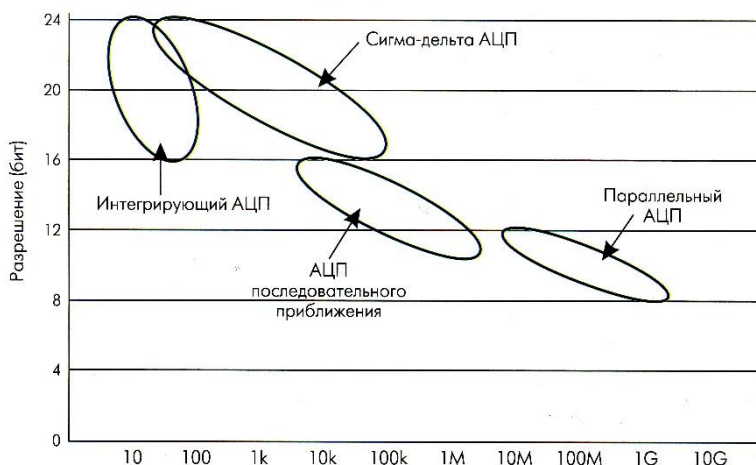


Рис.4.24. Типы АЦП – разрешение в зависимости от частоты дискретизации

Наиболее часто применяемый АЦП, называемый АЦП с последовательным приближением, состоит из ЦАП и компаратора. Этот преобразователь показан на рис.4.25.

В основе работы этого класса преобразователей лежит принцип *дихотомии*, т.е. последовательного сравнения измеряемой величины с  $1/2$ ,  $1/4$ ,  $1/8$  и т.д. от возможного максимального значения ее. Это позволяет для  $n$ -разрядного АЦП последовательного приближения выполнить весь процесс преобразования за  $n$  последовательных шагов (итераций) вместо  $2^n - 1$  при использовании последовательного счета и получить существенный выигрыш в быстродействии. Так, уже при  $n = 10$  этот выигрыш достигает 100 раз и позволяет получить с помощью таких АЦП до  $10^5 \dots 10^6$  преобразований в

секунду. В то же время статическая погрешность этого типа преобразователей, определяемая в основном используемым в нем ЦАП, может быть очень малой, что позволяет реализовать разрешающую способность до 18 двоичных разрядов при частоте выборок до 200 кГц. В АЦП с последовательным приближением формирование каждого бита осуществляется за один цикл. Поэтому  $n$ -разрядному АЦП требуется для преобразования  $n$  циклов. Как правило, АЦП с последовательным приближением дешевые, точные и быстрые. Обычно время преобразования составляет 100-200 мкс.

Данный класс АЦП занимает промежуточное положение по быстродействию, стоимости и разрешающей способности между последовательно-параллельными и интегрирующими АЦП и находит широкое применение в системах управления, контроля и цифровой обработки сигналов.

На рис.4.25 приведена схема АЦП на “мелкой” логике. Пусть число разрядов  $n$  АЦП равно 10. Разрешающая способность 10-разрядного ЦАП при точности 1 МЗР составляет 0.0977 % или 9.76 мВ при  $U_{\text{вых}} = 10$  В. ЦАП начинает цикл преобразования с приходом “положительного” импульса на вход R. Высоким уровнем этого сигнала регистр RG1 обнуляется, а переход сигнала R к нулю запускает внутренний генератор и схему управления.

В момент  $t_0$  в старший разряд 10-разрядного регистра RG1 (регистр последовательных приближений, РПП) записывается логическая “1”. На выходах регистра RG1 появляется код 1000000000 ( $BIN$ ) =  $2^{(n-1)} = 2^9 = 512$  (единица в старшем разряде). ЦАП генерирует напряжение:

$$U_{\text{цап}} = -\frac{U_{\text{оп}}}{2^{10}} (2^0 d_0 + 2^1 d_1 + 2^2 d_2 + 2^3 d_3 + 2^4 d_4 + 2^5 d_5 + 2^6 d_6 + 2^7 d_7 + \dots + 2^9 d_9),$$

которое при коде 1000000000 равно:

$$U_{\text{цап}} = -\frac{U_{\text{оп}} 2^{n-1}}{2^n} = -\frac{U_{\text{оп}} 2^9}{2^{10}} = -\frac{U_{\text{оп}}}{2}.$$

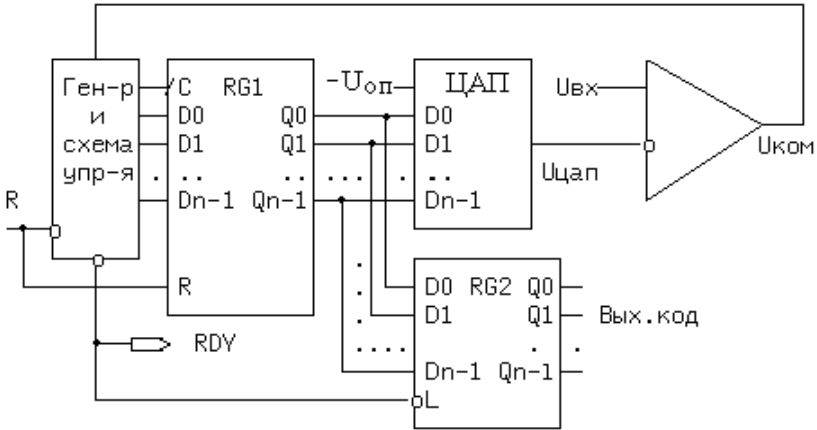


Рис.4.25. АЦП последовательного приближения

Аналоговый компаратор сравнивает напряжения, и если  $U_{\text{цап}} \leq U_{\text{вх}}$ , то единица в старшем разряде сохраняется, если  $U_{\text{цап}} \geq U_{\text{вх}}$ , в старший разряд записывается ноль.

Предположим, что  $U_{\text{цап}} \leq U_{\text{вх}}$ . В момент  $t_1$  единица записывается в предпоследний разряд  $(n-2)$  и на выходах регистра  $RG1$  появится код: 1100000000(BIN)=768, равный сумме двух кодов:  $2^{n-1}$  – значения старшего бита, полученного в предыдущем такте 512, и  $2^{n-2} = 0100000000$  (BIN) = 256 – цифрового кода с уменьшенным в два раза “весом”. Выходное напряжение  $U_{\text{цап}} = -\left(\frac{U_{\text{оп}}}{2} + \frac{U_{\text{оп}}}{4}\right)$  опять сравнивается с входным.

Если  $U_{\text{цап}}(n-2) \leq U_{\text{вх}}$ , то единица в предпоследнем разряде сохраняется, если  $U_{\text{цап}}(n-2) \geq U_{\text{вх}}$ , в  $(n-2)$ -ой разряд записывается ноль. Принцип работы последовательного АЦП

показан в табл.4.3. Опорное напряжение  $U_{он}$  берется равным 10 В.

Таблица 4.3

Принцип работы последовательного АЦП

| Двоичный код на 10-разрядном РПП | Напряжение, В |          | Относительное изменение напряжения ЦАП, В |
|----------------------------------|---------------|----------|---|
|                                  | от ЦАП        | выходное |   |
| 1000000000                       | 5,00          | 7,56     | 2,56                                      |
| 1100000000                       | 7,50          | 7,56     | 0,06                                      |
| 1110000000                       | 8,75          | 7,56     | -1,19                                     |
| 1101000000                       | 8,125         | 7,56     | -0,565                                    |
| 1100100000                       | 7,8125        | 7,56     | -0,2525                                   |
| 1100010000                       | 7,65625       | 7,56     | -0,09625                                  |
| 1100001000                       | 7,578125      | 7,56     | -0,018125                                 |
| 1100000100                       | 7,5390625     | 7,56     | 0,0209375                                 |
| 1100000010                       | 7,5585937     | 7,56     | 0,0014063                                 |
| 1100000011                       | 7,5683593     | 7,56     | -0,0083593                                |
| Окончательный вариант 1100000111 |               |          |   |

Описанный процесс производится в общей сложности  $n$ -раз. В конце цикла преобразования схема управления вырабатывает импульс готовности  $\overline{RDY}$ , который записывает полученный код в выходной регистр  $RG2$ . Временные диаграммы работы АЦП приведены на рис.4.26.

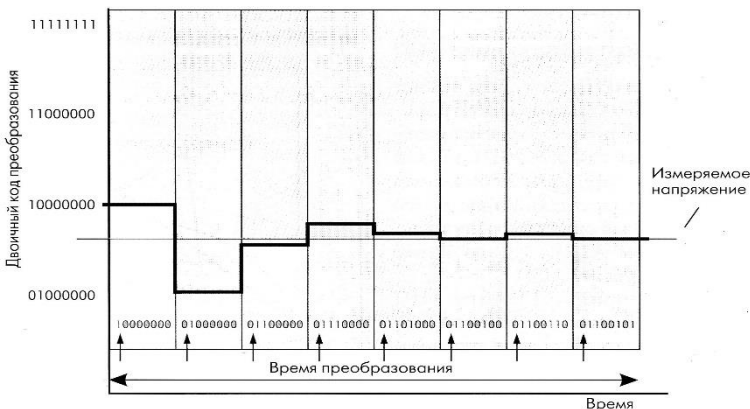


Рис.4.26. Временные диаграммы работы АЦП последовательного приближения

АЦП однократного интегрирования. В этом способе в начале преобразования запускается внутренний генератор линейного напряжения и одновременно для подсчета импульсов счетчик. Когда линейно меняющееся напряжение сравнивается с входным уровнем, компаратор останавливает счетчик; результат на счетчике будет пропорционален входному уровню, то есть это и есть цифровой выход. Принцип работы представлен на рис.4.27.

В конце преобразования схема разряжает конденсатор и сбрасывает состояние счетчика, преобразователь готов к очередному циклу преобразования. Способ одностадийного интегрирования достаточно прост, но он не используется, если необходима высокая точность, поскольку в этом случае выдвигаются слишком жесткие требования к стабильности и точности конденсатора и компаратора. Метод “двухстадийного интегрирования” позволяет избавиться от этих проблем.

Одностадийное интегрирование применяется в тех областях, где не требуется абсолютная точность, а необходимо преобразование с хорошей разрешающей способностью. Способ одностадийного интегрирования используется также при преобразовании временных интервалов в амплитуду.

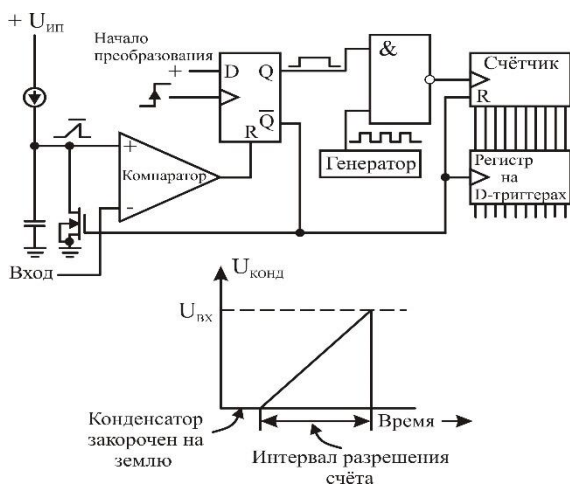


Рис.4.27. Одностадийный АЦП

АЦП многотактного интегрирования. В этом типе АЦП для преобразования отношения входного и опорного напряжений используется система “временных пропорций”. Упрощенная схема АЦП, работающего в два основных такта (АЦП двухтактного интегрирования), приведена на рис.4.28.

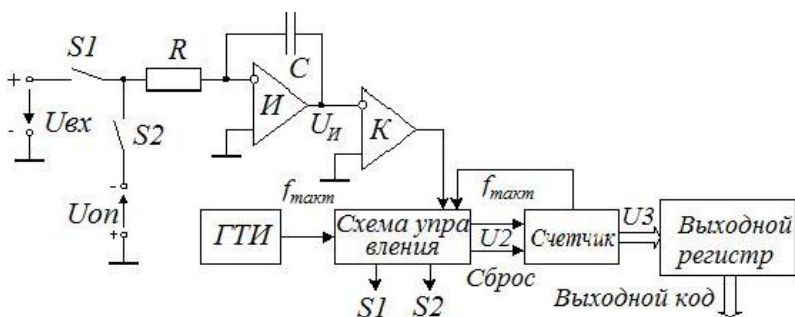


Рис.4.28. Упрощенная схема АЦП двухтактного интегрирования

Преобразование проходит две стадии: стадию интегрирования и стадию счёта. В начале первой стадии ключ



$S_1$  замкнут, а ключ  $S_2$  разомкнут. В этом случае входное напряжение через замкнутый ключ  $S_1$  и сопротивление  $R$  заряжает емкость  $C$  интегратора, и выходное напряжение растет линейно во времени. Интегратор И интегрирует входное напряжение  $U_{\text{вх}}$ . Время интегрирования входного напряжения  $t_1$  постоянно. К моменту окончания первой фазы интегрирования выходное напряжение интегратора составляет:

$$U_{\text{и}} = -\frac{1}{RC} \int_0^{t_1} U_{\text{вх}} dt = -\frac{\bar{U}_{\text{вх}} t_1}{RC},$$

где  $\bar{U}_{\text{вх}}$  – среднее за время  $t_1$  входное напряжение. После окончания стадии интегрирования ключ  $S_1$  размыкается, а ключ  $S_2$  замыкается, и опорное напряжение  $U_{\text{оп}}$  поступает на вход интегратора. При этом выбирается опорное напряжение, противоположное по знаку входному напряжению. На стадии счета выходное напряжение интегратора линейно уменьшается по абсолютной величине, как показано на рис.4.29.

Во время второй фазы выходное напряжение интегратора равно  $U_{\text{и}} = -\frac{U_{\text{оп}} t_2}{RC}$  переходит через нуль:

$$\frac{U_{\text{вх}} t_1}{RC} = \frac{U_{\text{оп}} t_2}{RC}, \text{ следовательно } U_{\text{вх}} = -U_{\text{оп}} \frac{t_2}{t_1}.$$

Искомое число импульсов в фазе интегрирования опорного сигнала, можно найти по формуле:  $N_2 = N_1 \frac{U_{\text{вх}}}{U_{\text{оп}}}$ , где  $N_1$  – число импульсов в фазе интегрирования входного сигнала.

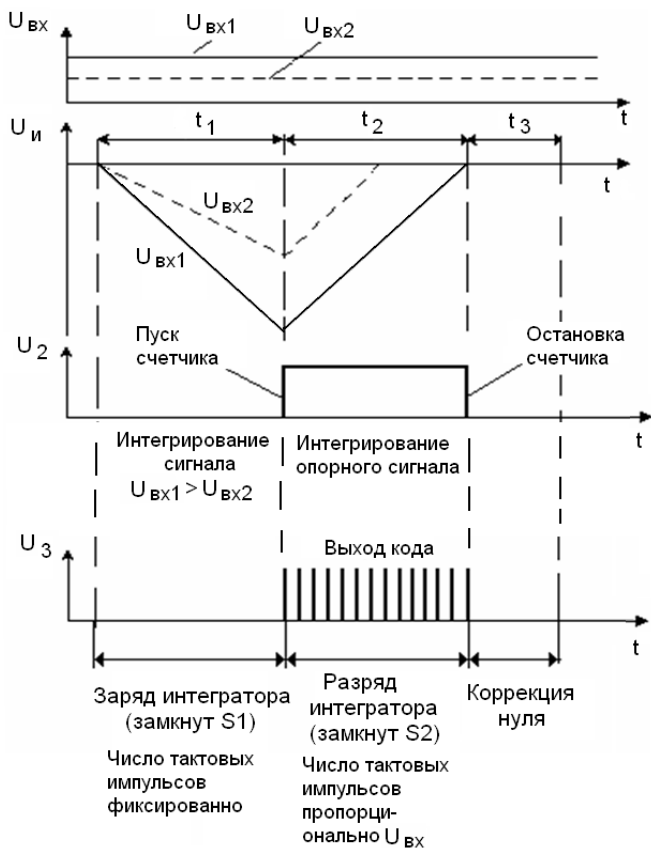


Рис.4.29. Временные диаграммы АЦП двухтактного интегрирования

При этом компаратор  $K$  переключается, и счет останавливается, ключ  $S_2$  размыкается. Из этой формулы следует, что отличительной особенностью метода многотактного интегрирования является то, что ни тактовая частота, ни постоянная интегрирования  $RC$  не влияют на результат. Необходимо только потребовать, чтобы тактовая частота в течение времени  $t_1 + t_2$  оставалась постоянной. Это можно обеспечить при использовании простого тактового

генератора, поскольку существенные временные или температурные дрейфы частоты происходят за время несопоставимо большее, чем время преобразования.

АЦП многотактного интегрирования имеют ряд недостатков. Во-первых, нелинейность переходной статической характеристики операционного усилителя, на котором выполняют интегратор, заметным образом сказывается на интегральной нелинейности характеристики преобразования АЦП высокого разрешения. Для уменьшения влияния этого фактора АЦП изготавливают многотактными. Например, 13-разрядный AD7550 выполняет преобразование в четыре такта. Другим недостатком этих АЦП является то обстоятельство, что интегрирование входного сигнала занимает в цикле преобразования только приблизительно третью часть. Две трети цикла преобразователь не принимает входной сигнал. Это ухудшает помехоподавляющие свойства интегрирующего АЦП. В-третьих, АЦП многотактного интегрирования должен быть снабжен довольно большим количеством внешних резисторов и конденсаторов с высококачественным диэлектриком, что значительно увеличивает место, занимаемое преобразователем на плате и, как следствие, усиливает влияние помех.

АЦП параллельного типа. В таком АЦП весь диапазон входного напряжения разбивается на  $2^n$  интервалов. Каждому интервалу соответствует опорное напряжение  $U_0(i)$ , снимаемое с делителя напряжения, и свой аналоговый компаратор, сравнивающий  $U_{вх}$  с  $U_0(i)$ .

Для любого входного напряжения в диапазоне  $(0 \dots |U_0|)$  В найдетс такой  $i$ -ый компаратор, входное напряжение на котором будет больше или равно опорному. В этом случае на выходе этого компаратора напряжений и на выходах всех компараторов с номерами, меньшими  $i$ , появится “1”, а на выходах остальных – “0”. Приоритетный шифратор

сформирует двоичный код, равный наивысшему номеру входа, на котором еще присутствует единица.

АЦП этого типа осуществляют квантование сигнала одновременно с помощью набора компараторов, включенных параллельно источнику входного сигнала. На рис.4.30 показана реализация параллельного метода преобразования для 3-разрядного числа.

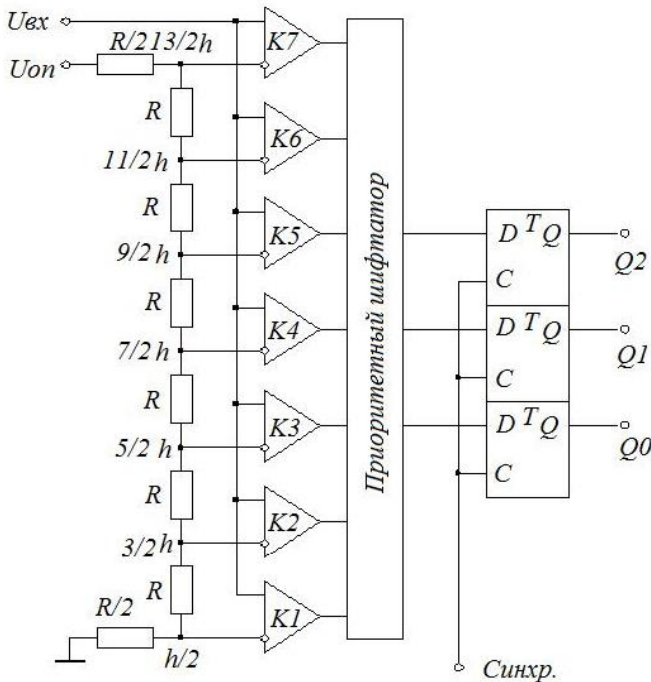


Рис.4.30. Схема параллельного АЦП

С помощью трех двоичных разрядов можно представить восемь различных чисел, включая нуль. Необходимо, следовательно, семь компараторов. Семь соответствующих эквидистантных опорных напряжений образуются с помощью резистивного делителя.

Если приложенное входное напряжение не выходит за пределы диапазона от  $5/2 h$  до  $7/2 h$ , где  $h = U_{\text{оп}}/7$  – квант входного напряжения, соответствующий единице младшего разряда АЦП, то компараторы с 1-го по 3-й устанавливаются в состояние “1”, а компараторы с 4-го по 7-й – в состояние “0”. Преобразование этой группы кодов в трехзначное двоичное число выполняет логическое устройство, называемое приоритетным шифратором, диаграмма состояний которого приведена в табл.4.4.

С помощью трех двоичных разрядов можно представить восемь различных чисел, включая нуль. Необходимо, следовательно, семь компараторов. Семь соответствующих эквидистантных опорных напряжений образуются с помощью резистивного делителя.

Если приложенное входное напряжение не выходит за пределы диапазона от  $5/2 h$  до  $7/2 h$ , где  $h = U_{\text{оп}}/7$  – квант входного напряжения, соответствующий единице младшего разряда АЦП, то компараторы с 1-го по 3-й устанавливаются в состояние “1”, а компараторы с 4-го по 7-й – в состояние “0”. Преобразование этой группы кодов в трехзначное двоичное число выполняет логическое устройство, называемое приоритетным шифратором, диаграмма состояний которого приведена в табл.4.4.

Последовательно-параллельные АЦП являются компромиссом между стремлением получить высокое быстродействие и желанием сделать это по возможности меньшей ценой. Последовательно-параллельные АЦП занимают промежуточное положение по разрешающей способности и быстродействию между параллельными АЦП и АЦП последовательного приближения. Последовательно-параллельные АЦП подразделяют на многоступенчатые, многотактные и конвейерные.

Таблица 4.4

Диаграмма состояний приоритетного шифратора

| Входное напряжение |       | Состояния компараторов |       |       |       |       |       | Выходы |       |       |
|--------------------|-------|------------------------|-------|-------|-------|-------|-------|--------|-------|-------|
| $U_{вх}/h$         | $K_7$ | $K_6$                  | $K_5$ | $K_4$ | $K_3$ | $K_2$ | $K_1$ | $Q_2$  | $Q_1$ | $Q_0$ |
| 0                  | 0     | 0                      | 0     | 0     | 0     | 0     | 0     | 0      | 0     | 0     |
| 1                  | 0     | 0                      | 0     | 0     | 0     | 0     | 1     | 0      | 0     | 1     |
| 2                  | 0     | 0                      | 0     | 0     | 0     | 1     | 1     | 0      | 1     | 0     |
| 3                  | 0     | 0                      | 0     | 0     | 1     | 1     | 1     | 0      | 1     | 1     |
| 4                  | 0     | 0                      | 0     | 1     | 1     | 1     | 1     | 1      | 0     | 0     |
| 5                  | 0     | 0                      | 1     | 1     | 1     | 1     | 1     | 1      | 0     | 1     |
| 6                  | 0     | 1                      | 1     | 1     | 1     | 1     | 1     | 1      | 1     | 0     |
| 7                  | 1     | 1                      | 1     | 1     | 1     | 1     | 1     | 1      | 1     | 1     |

В многоступенчатом АЦП процесс преобразования входного сигнала разделен в пространстве. В качестве примера на рис.4.31 представлена схема двухступенчатого 8-разрядного АЦП.

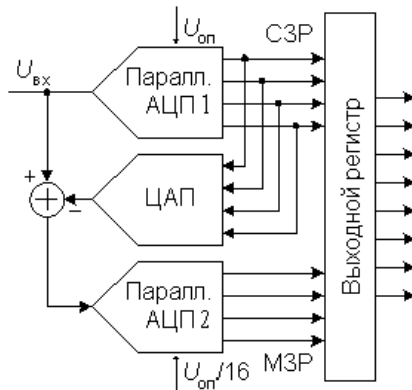


Рис.4.31. Структурная схема двухступенчатого АЦП

Верхний по схеме АЦП осуществляет грубое преобразование сигнала в четыре старших разряда выходного кода. Цифровые сигналы с выхода АЦП поступают на выходной регистр и одновременно на вход 4-разрядного быстродействующего ЦАП. Во многих ИС многоступенчатых АЦП (AD9042, AD9070 и др.) этот ЦАП выполнен по схеме суммирования токов на дифференциальных переключателях, но некоторые (AD775, AD9040A и др.) содержат ЦАП с суммированием напряжений. Остаток от вычитания выходного напряжения ЦАП из входного напряжения схемы поступает на вход АЦП2, опорное напряжение которого в 16 раз меньше, чем у АЦП1. Как следствие квант АЦП2 в 16 раз меньше кванта АЦП1. Этот остаток, преобразованный АЦП2 в цифровую форму, представляет собой четыре младших разряда выходного кода. Различие между АЦП1 и АЦП2 заключается прежде всего в требовании к точности: у АЦП1 точность должна быть такой же, как у 8-разрядного преобразователя, в то время как АЦП2 может иметь точность 4-разрядного.

Грубо приближенная и точная величины должны, естественно, соответствовать одному и тому же входному напряжению  $U_{\text{вх}}(t_j)$ . Из-за наличия задержки сигнала в первой ступени возникает временное запаздывание. Поэтому при использовании этого способа входное напряжение необходимо поддерживать постоянным с помощью устройства выборки-хранения до тех пор, пока не будет получено все число.

Быстродействие многоступенчатого АЦП можно повысить, применив конвейерный принцип многоступенчатой обработки входного сигнала. В обыкновенном многоступенчатом АЦП вначале происходит формирование старших разрядов выходного слова преобразователем АЦП1, а затем идет период установления выходного сигнала ЦАП. На этом интервале АЦП2 простаивает. На втором этапе во время преобразования остатка преобразователем АЦП2 простаивает АЦП1. Введя элементы задержки аналогового и цифрового сигналов между ступенями преобразователя, получим

конвейерный АЦП, схема 8-разрядного варианта которого приведена на рис.4.32.

Роль аналогового элемента задержки выполняет устройство выборки-хранения УВХ2, а цифрового - четыре D-триггера. Триггеры задерживают передачу старшего полубайта в выходной регистр на один период тактового сигнала CLK.

Сигналы выборки, формируемые из тактового сигнала, поступают на УВХ1 и УВХ2 в разные моменты времени (рис.4.33). УВХ2 переводится в режим хранения позже, чем УВХ1, на время, равное суммарной задержке распространения сигнала по АЦП1 и ЦАП. Задний фронт тактового сигнала управляет записью кодов в D-триггеры и выходной регистр.

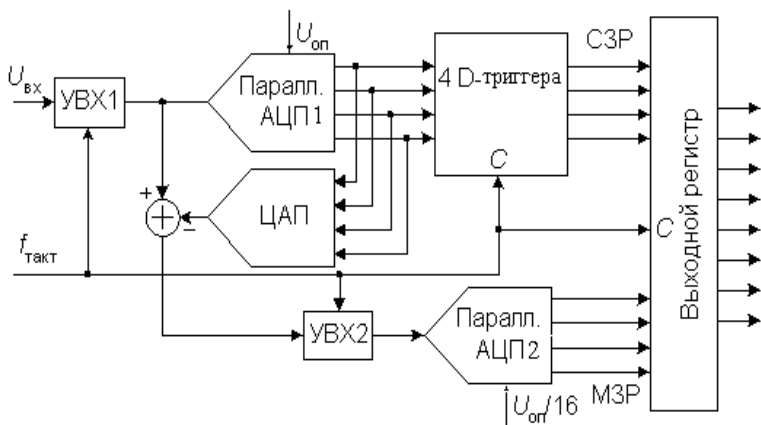


Рис.4.32. Структурная схема конвейерного АЦП

Полная обработка входного сигнала занимает около двух периодов синхроимпульса CLK, но частота появления новых значений выходного кода равна частоте тактового сигнала.

Таким образом, конвейерная архитектура позволяет существенно (в несколько раз) повысить максимальную частоту выборок многоступенчатого АЦП. То, что при этом сохраняется суммарная задержка прохождения сигнала,



соответствующая обычному многоступенчатому АЦП с равным числом ступеней, не имеет существенного значения, так как время последующей цифровой обработки этих сигналов все равно многократно превосходит эту задержку. За счет этого можно без проигрыша в быстродействии увеличить число ступеней АЦП, понизив разрядность каждой ступени. В свою очередь, увеличение числа ступеней преобразования уменьшает сложность АЦП. Действительно, например, для построения 12-разрядного АЦП из четырех 3-разрядных необходимо 28 компараторов, тогда как его реализация из двух 6-разрядных потребует 126 компараторов.

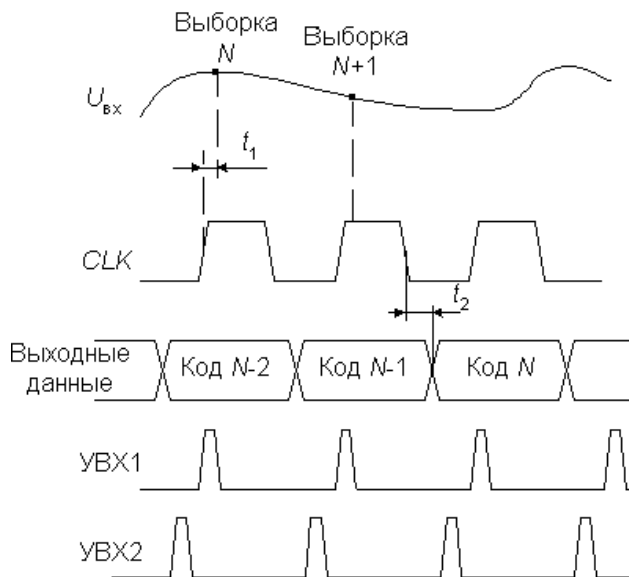


Рис.4.33. Диаграммы работы конвейерного АЦП

Конвейерную архитектуру имеет большое количество выпускаемых в настоящее время многоступенчатых АЦП. В частности, 2-ступенчатый 10-разрядный AD9040A, выполняющий до 40 млн преобразований в секунду (МПс), 4-ступенчатый 12-разрядный AD9220 (10 МПс), потребляющий

всего 250 мВт, и др. При выборе конвейерного АЦП следует иметь в виду, что многие из них не допускают работу с низкой частотой выборок. Например, изготовитель не рекомендует работу ИС AD9040A с частотой преобразований менее 10 МПс, 3-ступенчатого 12-разрядного AD9022 с частотой менее 2 МПс и т.д. Это вызвано тем, что внутренние УВХ имеют довольно высокую скорость разряда конденсаторов хранения, поэтому работа с большим тактовым периодом приводит к значительному изменению преобразуемого сигнала в ходе преобразования.

Сигма-дельта АЦП. Требованиям высококачественных систем ЦОС, таким как цифровые системы записи и воспроизведения звука, трудно удовлетворить с помощью АЦП последовательного приближения или АЦП с двойным интегрированием из-за ошибок, присущих аналоговым частям таких АЦП.

Одноразрядные АЦП или АЦП для выборки с запасом по частоте не нуждаются в усилителях выборки-хранения, в них применяются простые фильтры защиты от наложения спектров, или вообще не используются никаких фильтров. Следует отметить два важных момента. Первое. Выборка с запасом по частоте, распределяет энергию шума квантования по намного большему частотному интервалу, снижая уровень шума в представляющей интерес полосе частот. Второе. Формирование спектра шума путем обработки дискретных данных, у которого большая часть шума сдвинута в область более высоких частот, за пределы важной полосы сигнала, где шум можно удалить с помощью цифрового фильтра (рис.4.34).

Своим названием сигма-дельта АЦП обязаны наличию в них двух блоков: сумматора (обозначение операции -  $\Sigma$ ) и интегратора (обозначение операции -  $\Delta$ ). Основные узлы АЦП - это сигма-дельта модулятор и цифровой фильтр. Сигма-дельта модуляция является одним из самых эффективных способов формирования спектра шума.

Схема  $n$ -разрядного сигма-дельта модулятора первого порядка приведена на рис.4.35. Работа этой схемы основана на вычитании из входного сигнала  $U_{вх}(t)$  величины сигнала на выходе ЦАП, полученной на предыдущем такте работы схемы. Полученная разность интегрируется, а затем преобразуется в код параллельным АЦП невысокой разрядности. Последовательность кодов поступает на цифровой фильтр нижних частот.



Рис.4.34. Влияние схемы формирования спектра шума на шум квантования

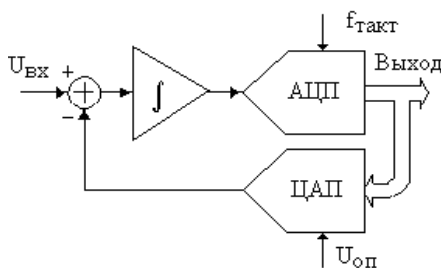


Рис.4.35. Структурная схема сигма-дельта модулятора

В сигма-дельта АЦП аналоговый сигнал квантуется с очень низким разрешением (как правило, 1 бит) на частоте, во много раз превышающей максимальную частоту спектра сигнала (дискретизация с запасом по частоте, например, в 64 раза). Используя эту передискретизацию в сочетании с цифровой фильтрацией, удается значительно повысить

разрядность. Для уменьшения числа отсчетов на выходе АЦП применяется децимация.

Входная (аналоговая) часть такого класса приборов - сигма-дельта модулятор, преобразующий входной сигнал в последовательный однобитовый непрерывный поток нулей и единиц, следующих с частотой  $K F_s$ , где  $K$  – коэффициент передискретизации (перевыборки), равный  $K = 2^N$ ;  $N$  – разрядность выходного сигнала АЦП;  $F_s$  – частота взятия отсчетов (дискретизации), который содержит большой шум квантования. Соответствующим подбором характеристик интегратора спектр шума ограничивают так, чтобы большая часть энергии шума смещалась за пределы полосы сигнала (рис.4.36).

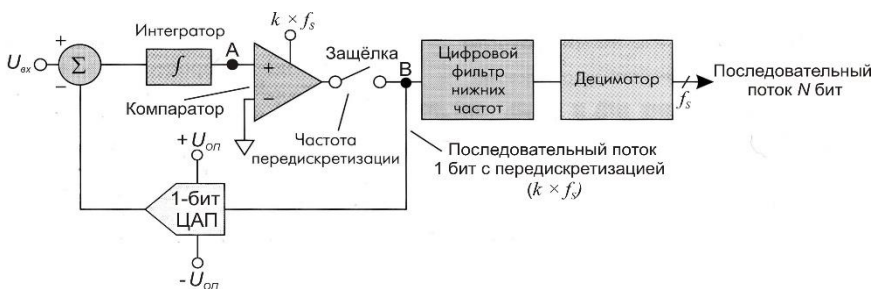


Рис.4.36. Сигма-дельта АЦП первого порядка

Замкнутая цепь обратной связи состоит из вычитающего устройства, интегратора, компаратора (1-битовый АЦП выполняет роль 1-битового квантователя), 1-битовый ЦАП. Этот ЦАП принимает последовательный поток данных, а сигнал с его выхода вычитается из входного сигнала.

Принцип действия пояснен в табл.4.5 на примере преобразования входного сигнала, равного 0.6 В, при  $U_{оп} = 1$  В. Пусть постоянная времени интегрирования интегратора численно равна периоду тактовых импульсов. В нулевом периоде выходное напряжение интегратора сбрасывается в

нуль. На выходе ЦАП также устанавливается нулевое напряжение. Затем схема проходит через показанную в табл.4.5 последовательность состояний.

В тактовые периоды 2 и 7 состояния системы идентичны, так как при неизменном входном сигнале  $U_{\text{вх}} = 0.6$  В цикл работы занимает пять тактовых периодов. Усреднение выходного сигнала ЦАП за цикл действительно дает величину напряжения 0.6 В:

$$(1-1+1+1+1)/5=0.6 \text{ В.}$$

Для формирования выходного кода такого преобразователя необходимо каким-либо образом преобразовать последовательность бит на выходе компаратора в виде унитарного кода в последовательный или параллельный двоичный позиционный код. В простейшем случае это можно сделать с помощью двоичного счетчика.

Возьмем в нашем примере 4-разрядный счетчик. Подсчет бит на выходе компаратора за 16-тактный цикл дает число 13. Несложно увидеть, что при  $U_{\text{вх}} = 1$  В на выходе компаратора всегда будет единица, что дает за цикл число 16, т.е. переполнение счетчика. Напротив, при  $U_{\text{вх}} = -1$  В на выходе компаратора всегда будет нуль, что дает равное нулю содержимое счетчика в конце цикла. В случае, если  $U_{\text{вх}} = 0$  В то, как это видно из табл.4.5, результат счета за цикл составит  $8_{10}$  или  $1000_2$ . Это значит, что выходное число АЦП представляется в смещенном коде.

Однобитовые сигма-дельта АЦП и ЦАП обладают превосходной линейностью благодаря линейности 1-битного квантователя. Здесь не требуется высокоточная лазерная подгонка, как в других архитектурах АЦП. Структура сигма-дельта ЦАП принципиально не отличается от АЦП, за исключением порядка следования процессов.

Таблица 4.5

## Принцип действия сигма-дельта АЦП

| $U_{\text{вх}} = 0.6 \text{ В}$ |                     |                       |                         |                         | $U_{\text{вх}} = 0 \text{ В}$ |                     |                       |                         |                         |
|---------------------------------|---------------------|-----------------------|-------------------------|-------------------------|-------------------------------|---------------------|-----------------------|-------------------------|-------------------------|
| N<br>такта                      | $U_{\Sigma}$ ,<br>В | $U_{\text{и}}$ ,<br>В | $U_{\text{к}}$ ,<br>бит | $U_{\text{цап}}$ ,<br>В | N<br>такта                    | $U_{\Sigma}$ ,<br>В | $U_{\text{и}}$ ,<br>В | $U_{\text{к}}$ ,<br>бит | $U_{\text{цап}}$ ,<br>В |
| 1                               | 0.6                 | 0.6                   | 1                       | 1                       | 1                             | 1                   | 1                     | 1                       | 1                       |
| 2                               | -0.4                | 0.2                   | 1                       | 1                       | 2                             | -1                  | 0                     | 0                       | -1                      |
| 3                               | -0.4                | -0.2                  | 0                       | -1                      | 3                             | 1                   | 1                     | 1                       | 1                       |
| 4                               | 1.6                 | 1.4                   | 1                       | 1                       | 4                             | -1                  | 0                     | 0                       | -1                      |
| 5                               | -0.4                | 1.0                   | 1                       | 1                       | 5                             | 1                   | 1                     | 1                       | 1                       |
| 6                               | -0.4                | 0.6                   | 1                       | 1                       | 6                             | -1                  | 0                     | 0                       | -1                      |
| 7                               | -0.4                | 0.2                   | 1                       | 1                       | 7                             | 1                   | 1                     | 1                       | 1                       |
| 8                               | -0.4                | -0.2                  | 0                       | -1                      | 8                             | -1                  | 0                     | 0                       | -1                      |
| 9                               | 1.6                 | 1.4                   | 1                       | 1                       | 9                             | 1                   | 1                     | 1                       | 1                       |
| 10                              | -0.4                | 1.0                   | 1                       | 1                       | 10                            | -1                  | 0                     | 0                       | -1                      |
| 11                              | -0.4                | 0.6                   | 1                       | 1                       | 11                            | 1                   | 1                     | 1                       | 1                       |
| 12                              | -0.4                | 0.2                   | 1                       | 1                       | 12                            | -1                  | 0                     | 0                       | -1                      |
| 13                              | -0.4                | -0.2                  | 0                       | -1                      | 13                            | 1                   | 1                     | 1                       | 1                       |
| 14                              | 1.6                 | 1.4                   | 1                       | 1                       | 14                            | -1                  | 0                     | 0                       | -1                      |
| 15                              | -0.4                | 1.0                   | 1                       | 1                       | 15                            | 1                   | 1                     | 1                       | 1                       |
| 16                              | -0.4                | 0.6                   | 1                       | 1                       | 16                            | -1                  | 0                     | 0                       | -1                      |

## 4.5. Интерфейсы АЦП

Важную часть аналого-цифрового преобразователя составляет цифровой интерфейс, т.е. схемы, обеспечивающие связь АЦП с приемниками цифровых сигналов. Структура цифрового интерфейса определяет способ подключения АЦП к приемнику выходного кода, например: микропроцессору, микроконтроллеру или цифровому процессору сигналов. Свойства цифрового интерфейса непосредственно влияют на уровень верхней границы частоты преобразования АЦП.

Наиболее часто применяют способ связи АЦП с процессором, при котором АЦП является для процессора как бы одной из ячеек памяти. При этом АЦП имеет необходимое

число адресных входов, дешифратор адреса и подключается непосредственно к адресной шине и шине данных процессора. Для этого он должен иметь выходные каскады с тремя состояниями.

Другое требование совместной работы АЦП с микропроцессорами, называемое программным сопряжением, является общим для любых систем, в которые входят ЭВМ и АЦП. Имеется несколько способов программного сопряжения АЦП с процессорами. Рассмотрим основные.

Проверка сигнала преобразования. Этот способ состоит в том, что команда начала преобразования “Пуск” периодически подается на АЦП от таймера. Процессор находится в цикле ожидания от АЦП сигнала окончания преобразования “Готов”, после которого выходит из цикла, считывает данные с АЦП и в соответствии с ними приступает либо к следующему преобразованию, либо к выполнению основной программы, а затем вновь входит в цикл ожидания. Здесь АЦП выступает в роли ведущего устройства (master), а процессор - ведомого (slave). Этот способ почти не требует дополнительной аппаратуры, но пригоден только в системах, где процессор не слишком загружен, т.е. длительность обработки данных от АЦП меньше времени преобразования АЦП. Указанный способ позволяет максимально использовать производительность АЦП.

Если длительность обработки данных от АЦП составляет заметно больше времени преобразования АЦП, можно использовать вариант этого способа, отличающийся тем, что сигнал “Пуск” поступает от процессора. Процессор выполняет основную программу обработки данных, а затем считывает данные с АЦП и вновь запускает его. В этом случае процессор выступает в роли ведущего устройства, а АЦП - ведомого.

Простое прерывание. Выдав команду “Пуск”, процессор продолжает работу по основной программе. После окончания преобразования формируется сигнал прерывания, который

прерывает в процессоре вычисления и включает процедуру поиска периферийного прибора, пославшего сигнал прерывания. Эта процедура состоит в переборе всех периферийных устройств до тех пор, пока не будет найден нужный. Преимущество этого способа по сравнению с предыдущим проявляется в большем числе преобразований за одно и то же время, если используемый АЦП работает медленно. Если же АЦП быстродействующий, то этот способ работы может оказаться даже медленнее предыдущего, так как на обработку прерывания требуется значительное время.

Векторное прерывание. Этот способ отличается от предыдущего тем, что вместе с сигналом прерывания посылается и адрес программы обращения к данному АЦП. Следовательно, не нужно перебирать все периферийные приборы.

Прямой доступ к памяти. Здесь также используется прерывание, но в отличие от предыдущих двух способов управление по системе прерывания передается на специальный интерфейс, который и производит перезапись данных преобразования в память, минуя регистры процессора. Это позволяет сократить длительность прерывания до одного такта. Номера ячеек памяти хранятся в адресном регистре интерфейса. Для этой цели выпускаются ИС контроллеров прямого доступа к памяти.

В зависимости от способа пересылки выходного слова из АЦП в цифровой приемник различают преобразователи с последовательным и параллельным интерфейсами выходных данных. Последовательный интерфейс медленнее параллельного, однако, он позволяет осуществить связь с цифровым приемником значительно меньшим количеством линий и в несколько раз сократить число выводов ИС. Поэтому обычно параллельный интерфейс используется в параллельных и последовательно-параллельных АЦП, а последовательный - в интегрирующих. В АЦП последовательного приближения применяются как параллельный (например, ИС 1108ПВ2), так и



последовательный (например, ИС AD7893) интерфейсы. Некоторые АЦП последовательного приближения (например, AD7892) имеют интерфейс обоих типов.

АЦП с последовательным интерфейсом выходных данных. На рис.4.37 показан последовательный порт АЦП второго поколения. Он содержит микроконтроллер, управляющий всеми функциями АЦП и стандартным последовательным интерфейсом, совместимым с интерфейсом SPI (последовательным интерфейсом периферийных устройств). Последовательный порт АЦП содержит регистр команд, регистр конфигурации, регистр преобразования данных (только на считывание) и регистры смещения и усиления для калибровки. 4 вывода последовательного интерфейса используются для связи АЦП с внешними устройствами.

АЦП первого поколения предлагали всего несколько встроенных функций, управляемых набором сигналов высокого или низкого уровня на соответствующих выводах интерфейса. АЦП второго поколения предлагают значительные преимущества по сравнению с первым, например, программируемую скорость преобразования. Например, ИС CS5529 фирмы Cirrus Logic обеспечивает программируемую скорость преобразования, изменяющуюся в диапазоне от 1.88 до 101 Гц. При этом для изменения производительности системы с ИС АЦП CS5509 пользователю требовалось подавать на него повышенную или пониженную внешнюю тактовую частоту (аппаратное изменение).

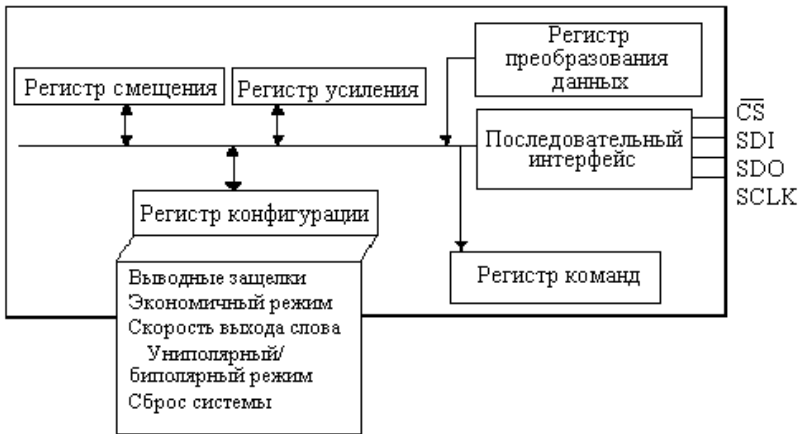


Рис.4.37. Последовательный порт АЦП второго поколения

Кроме того, АЦП второго поколения обеспечивают расширенный механизм калибровки. В дополнение к самокалибровке, когда АЦП самостоятельно определяет значения нуля и наклона своей передаточной функции, большинство АЦП второго поколения предлагают функцию системной калибровки. Эта функция позволяет пользователю определять значения точек нуля и максимума передаточной функции АЦП. Например, ИС CS5529 позволяет подавать на вход калибровочные сигналы любого уровня, лежащие в диапазоне от нуля до положительного напряжения питания, тем самым давая возможность пользователю определить передаточную функцию АЦП в любой точке между двумя напряжениями питания.

В ИС АЦП последовательного приближения, оснащенных простейшей цифровой частью, таких, как 12-битный MAX176 или 14-битный MAX121, выходная величина может быть считана в виде последовательного кода прямо с компаратора или регистра последовательного приближения. На

рис.4.38 представлена функциональная схема такого интерфейса (а) и временные диаграммы его работы (б).

Схема реализует SPI-интерфейс. Процессор является ведущим (master). Он инициирует начало процесса преобразования подачей среза на вход “Пуск” АЦП. С тактового выхода процессора на синхровход АЦП поступает последовательность тактовых импульсов. Начиная со второго такта после пуска на выходе данных АЦП формируется последовательный код выходного слова старшими битами вперед. Этот сигнал поступает на MISO (master - input, slave - output) вход процессора.

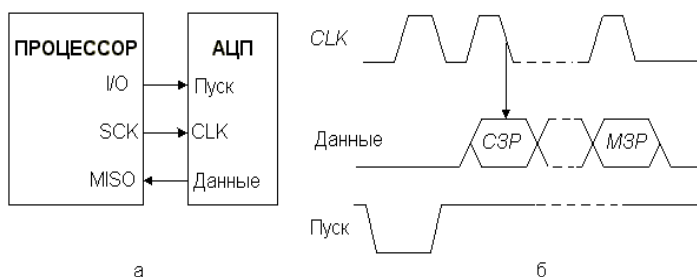


Рис.4.38. Простейший последовательный интерфейс: а) – функциональная схема; б) – временные диаграммы работы

Простейший интерфейс обеспечивает наименьшее время цикла “преобразование - передача данных”. Однако он обладает двумя существенными недостатками. Во-первых, переключение выходных каскадов АЦП во время преобразования вносит импульсную помеху в аналоговую часть преобразователя, что вызывает уменьшение соотношения сигнал/шум (например, для ИС АЦП AD7893 среднеквадратическое значение шума при передаче данных во время преобразования почти в три раза больше, чем при считывании данных после преобразования). Во-вторых, если АЦП имеет большое время преобразования, то процессор будет занят приемом информации от него существенную часть вычислительного цикла. По этим причинам современные

модели АЦП с последовательной передачей выходных данных оснащаются выходным сдвиговым регистром, в который загружается результат преобразования из РПП. Временные диаграммы такого интерфейса приведены на рис.4.39.

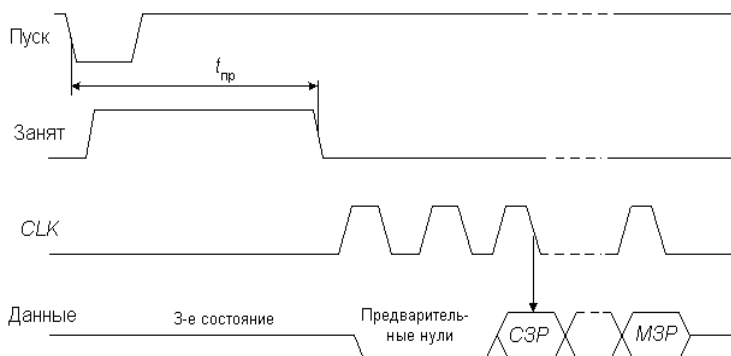


Рис.4.39. Последовательный интерфейс с передачей данных по окончании преобразования

По заднему фронту сигнала “Пуск” УВХ переходит в режим хранения и начинается преобразование. При этом на соответствующем выводе АЦП выставляется сигнал “Занят”. По окончании преобразования начинается передача данных. Процессор подает на синхровход АЦП последовательность синхроимпульсов CLK. Если  $8 < N < 16$ , то число синхроимпульсов обычно составляет 16. При  $N < 16$  вначале вместо отсутствующих старших битов передаются нули, а затем выходное слово старшими битами вперед. До и после передачи данных выходная линия АЦП находится в высокоимпедансном состоянии.

Увеличение длительности цикла “преобразование - передача данных” по сравнению с простейшим интерфейсом обычно несущественно, так как синхроимпульсы могут иметь большую частоту. Например, для 12-разрядного АЦП последовательного приближения AD7896 минимальный интервал между отсчетами составляет 10 мкс. Из них

последовательное чтение данных занимает только 1.6 мкс при частоте синхросигнала 10 МГц.

АЦП с параллельным интерфейсом выходных данных. В простейших случаях, характерных для параллельных АЦП и преобразователей ранних моделей, интерфейс осуществляется с помощью  $n$  – разрядного регистра хранения, имеющего три состояния выхода. На рис.4.40 представлена функциональная схема такого АЦП и временные диаграммы работы интерфейса.

На нарастающем фронте сигнала “Пуск” УВХ преобразователя переходит в режим хранения и инициируется процесс преобразования. Когда преобразование завершено, на выходную линию “Готов” выводится импульс, что указывает на то, что в выходном регистре АЦП находится новый результат. Сигналы “CS” (выбор кристалла) и “RD” (чтение) управляют выводом данных для передачи приемнику.

Для того, чтобы упростить связь многоразрядного АЦП с 8-разрядным микропроцессором или микроконтроллером в некоторых ИС (например, ИС MAX167) реализована побайтовая выдача выходного слова. Если сигнал HBEN, управляющий режимом вывода, имеет низкий уровень, то старшие биты выходного слова поступают на соответствующие им выводы (для 12-разрядного АЦП на выводы DO8...DO11). В противном случае они подаются на выводы, соответствующие младшему байту (для 12-разрядного АЦП на выводы DO0...DO3).

Постепенное усложнение АЦП, появление многоканальных АЦП, АЦП со встроенным устройством выборки-хранения, АЦП со сложной цифровой частью привело к тому, что сейчас имеются законченные однокристалльные системы сбора данных, обеспечивающие преобразование в цифровой код сигналов, поступающих от многих датчиков, и передачу их на микроЭВМ. Блок-схема развитой системы сбора данных приведена на рис.4.41.

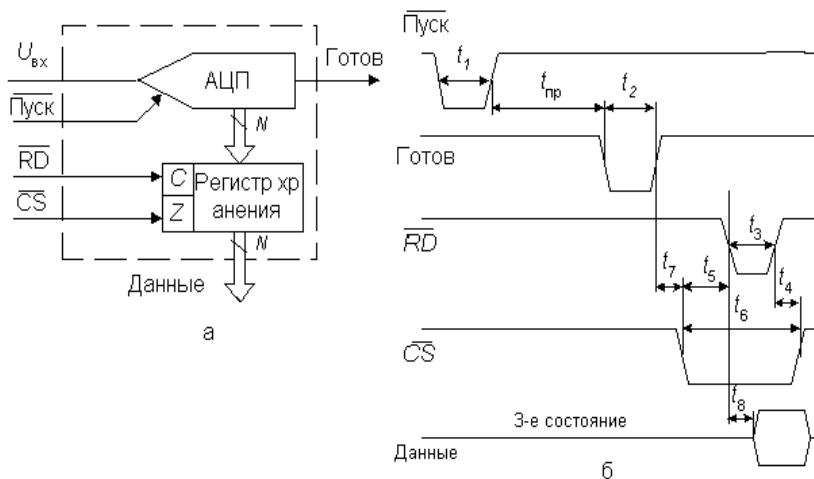


Рис.4.40. АЦП с параллельным интерфейсом а) – функциональная схема; б) – временные диаграммы работы

#### 4.6. Системы сбора данных и микроконверторы

Основу системы составляет АЦП, обычно АЦП последовательного приближения. Чтобы уменьшить число корпусов ИС, необходимых для создания системы сбора данных, в схему встроены УВХ и источник опорного напряжения. Для подключения к нескольким источникам входных аналоговых сигналов используется аналоговый мультиплексор. Чтобы сократить частоту прерываний главного процессора некоторые системы сбора данных снабжаются оперативным запоминающим устройством обратного магазинного типа FIFO - first input - first output (первый вошел - первый вышел). Измерительный усилитель УПК, входящий в систему, меняет свой коэффициент усиления по команде от схемы управления. Это позволяет выровнять диапазоны аналоговых сигналов с различных входов.

Схема управления может включать оперативное запоминающее устройство (ОЗУ), в которое загружается от

главного процессора блок рабочих команд. Эти команды содержат сведения о том, какие операционные режимы использовать, какие из входных каналов должны быть однопроводными, а какие - объединяться с образованием дифференциальных пар, насколько часто и в каком порядке следует производить выборку для каждого канала. Встроенный в систему сбора данных цифровой таймер определяет темп преобразования АЦП.

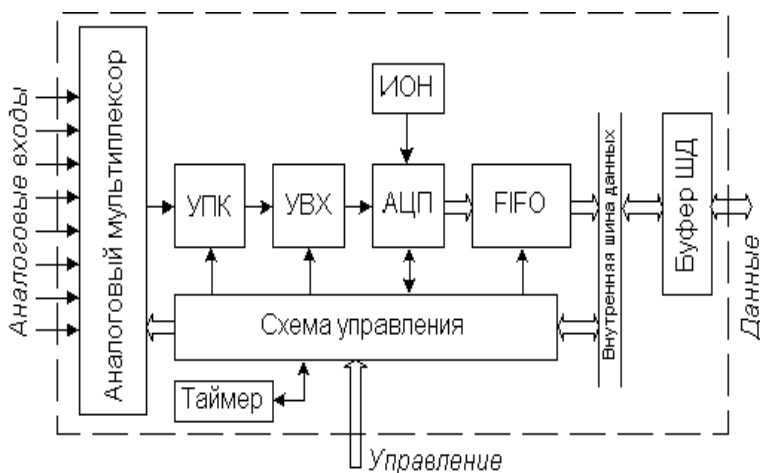


Рис.4.41. Блок-схема системы сбора данных

Характерным примером системы сбора данных является ИС AD7581 (отечественный аналог - 572ПВ4), содержащая 8-входовый аналоговый мультиплексор, 8-разрядный АЦП последовательного приближения и запоминающее устройство FIFO с организацией 8x8 бит. Другой пример – ИС AD1В60, включающая 8-входовый аналоговый мультиплексор, измерительный усилитель с программируемым коэффициентом усиления от 1 до 128, 16-разрядный АЦП на основе интегрирующего преобразователя напряжение - частота, ИОН, микропроцессор, ОЗУ режима и ПЗУ конфигурации. Одной из наиболее развитых является система сбора данных LM12458,

которая содержит 8-входовый аналоговый мультиплексор, УВХ, 13-разрядный АЦП последовательного приближения, память типа FIFO с организацией 32x16 бит, ОЗУ команд и 16-битный цифровой таймер.

Для повышения быстродействия установление коэффициента передачи и выборка данных может осуществляться по каждому каналу индивидуально. Так, например, 4-канальная система сбора данных AD7865 содержит четыре цепи масштабирования входного сигнала и четыре устройства слежения/хранения, включенные до мультиплексора.

Некоторые АЦП третьего поколения содержат почти полное системное решение. Они включают мультиплексоры, измерительные усилители с малым дрейфом и низкими входными токами, программируемые усилители напряжения и расширенные последовательные порты. После того, как в большинство АЦП третьего поколения были введены измерительные усилители, стало возможным подключать температурный датчик непосредственно на вход АЦП. Следует иметь в виду, что большинство систем на основе термпар нуждается во входной защитной схеме, а значит, требуется, чтобы усилитель имел малые входные токи. ИС АЦП CS5521 производства фирмы Cirrus Logic включает стабилизированный измерительный усилитель с малым дрейфом (5 нВ/°C) и чрезвычайно низким входным током ( $I_{IN} < 300$  пА в диапазоне температур от  $-40$  до  $+85$  °C). Типовое значение входных токов АЦП второго поколения составляет от десятков до сотен нА.

Термопары различных типов имеют различную выходную чувствительность. На рис.4.42 показана система измерения температуры, выполненная на ИС фирмы Cirrus Logic CS5521. Контроллер каналов АЦП может быть предварительно запрограммирован для возможности подключения термпар различных типов на разные входные каналы. Чтобы произвести считывание состояния определённой



термопары, пользователю достаточно просто передать команду выбора канала, а контроллер каналов самостоятельно выберет калибровочные данные, соответствующие указанной термопаре, и произведёт преобразование. После этого оцифрованные данные записываются в модуль памяти FIFO, где они будут храниться, пока их не затребуется микроконтроллер.

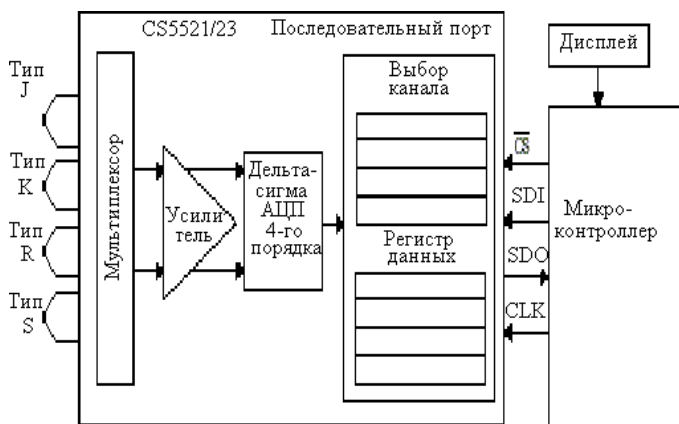


Рис.4.42. Система измерения температуры, выполненная на ИС Cirrus Logic CS5521

Особый класс устройств с аналого-цифровыми преобразователями представляют собой микроконвертеры (прецизионные аналоговые микроконтроллеры). Некоторые фирмы, например Analog Devices, начали выпуск программируемых устройств для преобразования аналоговых сигналов, включающих многоканальный АЦП, микроконтроллер и одно- или двухканальный ЦАП. Такой микроконвертер принимает аналоговые сигналы, преобразует их в цифровые коды по программе, записанной в ПЗУ микроконтроллера, обрабатывает эти коды и с помощью ЦАП, вновь преобразует результаты в аналоговые сигналы. Уступая чисто аналоговой только в быстродействии, такая схема

отличается большой функциональной гибкостью и точностью. Например, микроконвертор ADuC812 фирмы Analog Devices содержит 8-канальный мультиплексор, УВХ, 12-разрядный АЦП последовательного приближения (SAR АЦП) с производительностью 200 кГц, два 12-разрядных ЦАП и микроконтроллер с системой команд семейства 8052 (рис.4.43).

Наиболее совершенным микроконвертором является ADuC702х, построенный с использованием процессорного ядра ARM7TDMI.

ARM7 - 32 разрядное микропроцессорное ядро разработанное фирмой Advanced RISC Machines (ARM). Thumb – дополнительное расширение к архитектуре ARM. Ядро основанно на RISC-архитектуре. Содержит дополнительный упрощенный набор 16-разрядных команд от системы 32-разрядных команд. Применение системы команд Thumb позволяет достичь высокой плотности кода.

В процессоре имеются встроенные средства отладки. В набор команд входят четыре дополнительные команды, позволяющие перемножать 32-разрядные числа и получать 64-разрядный результат, а также выполнять 32-разрядную операцию умножения с накоплением (MAC) с 64-разрядным результатом. Эти операции характерны для процессоров цифровой обработки сигналов (ЦОС-процессоры). Встроенный отладчик EmbeddedICE представляет интегрированную в ИС систему доступа к ядру.

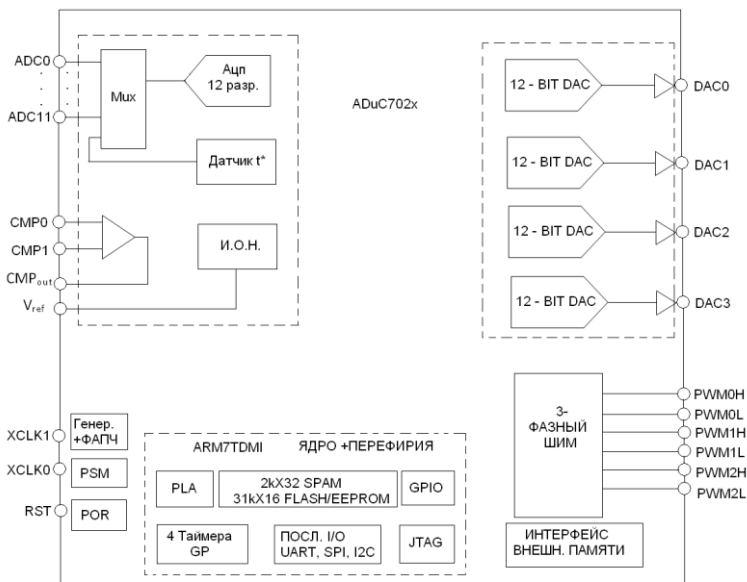


Рис.4.43. Прецизионные аналоговые микроконтроллеры на базе ядра ARM7TDMI (ADuC702x)

Микроконвертор ADuC702x содержит: 12-разрядный АЦП с частотой выборки 1 MSPS; четыре 12-разрядных ЦАП со временем преобразования 10 мкс, с выходом по напряжению; программируемый 3-фазный широтно-импульсный модулятор; источник опорного напряжения; аналоговый многофункциональный компаратор.

Встроенная цифровая периферия микроконвертора содержит: интерфейс JTAG; последовательные порты SPI, I<sup>2</sup>C, UART; программируемую логическую матрицу (PLA) для обеспечения организации различных функций управляющей логики.

## 4.7. Параметры АЦП

При последовательном возрастании значений входного аналогового сигнала  $U_{\text{вх}}(t)$  от 0 до величины, соответствующей полной шкале АЦП  $U_{\text{шк}}$ , выходной цифровой сигнал  $D(t)$  образует ступенчатую кусочно-постоянную линию. Такую зависимость по аналогии с ЦАП называют обычно характеристикой преобразования АЦП. В отсутствие аппаратных погрешностей средние точки ступенек расположены на идеальной прямой (рис.4.44), которой соответствует идеальная характеристика преобразования. Для данной функции при нулевом напряжении на входе АЦП формирует цифровой код равный 00h.

Идеальная функция АЦП работает по следующему правилу: первый бит значения измеряемой аналоговой величины будет установлен, если входное напряжение на аналоговом входе будет равно 1 МЗР (LSB, для 8 разрядного АЦП  $U_{\text{оп}}/256$ ), т.е. первая точка перехода находится в 1 МЗР.

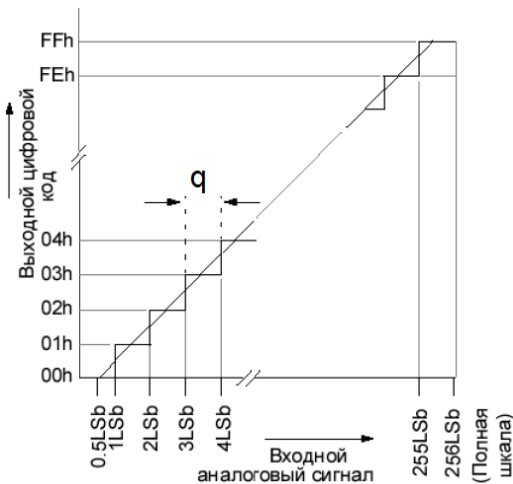


Рис.4.44. Идеальная передаточная функция для АЦП

Напряжение на аналоговом входе, при котором происходит переход от одного кода к другому, называется точкой перехода (рис.4.45). Точка перехода имеет некоторую область напряжений, в которой может произойти изменение цифрового кода. Точка перехода определяется как среднее значение из области возможных. Область точки перехода – это область, в которой неопределенность выходного кода равна 50 %. Расстояние между двумя точками перехода называется – шириной кода ( $q$ ). Идеальная ширина кода равна 1 МЗР. Середина между двумя точками перехода – центр ширины кода.

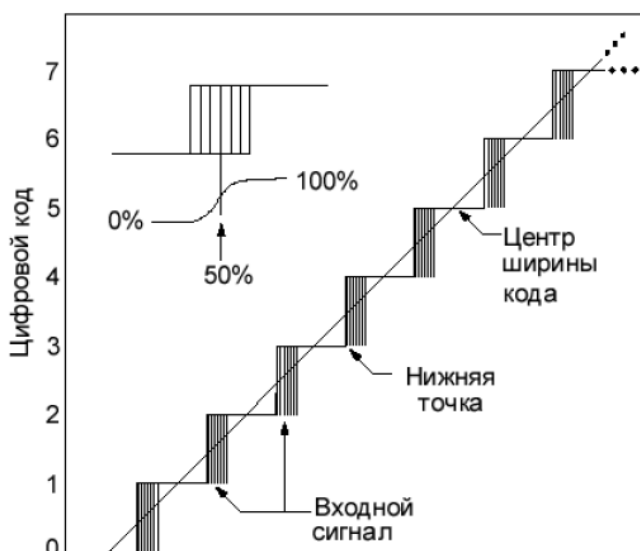


Рис.4.45. К определению точки перехода

Реальная характеристика преобразования может существенно отличаться от идеальной размерами и формой ступенек, а также расположением на плоскости координат. Для количественного описания этих различий существует целый ряд параметров.

Разрядность АЦП измеряется в битах и определяет максимальное число кодовых комбинаций на выходе АЦП.

Разрешающая способность - величина, обратная максимальному числу кодовых комбинаций на выходе АЦП. Разрешающая способность выражается в процентах, разрядах или децибелах и характеризует потенциальные возможности АЦП с точки зрения достижимой точности.

Разрешающей способности соответствует приращение входного напряжения АЦП  $U_{вх}$  при изменении выходного цифрового сигнала  $D$  на 1 МЗР. Это приращение является шагом квантования. Для двоичных кодов преобразования номинальное значение шага квантования  $q = U_{шк} / 2^B$ , где  $U_{шк}$  - номинальное максимальное входное напряжение АЦП (напряжение полной шкалы), соответствующее максимальному значению выходного кода,  $B$  - разрядность АЦП. Чем больше разрядность преобразователя, тем выше его разрешающая способность.

Погрешность квантования по уровню (шум квантования) является функцией числа разрядов: при увеличении числа разрядов в выходном коде она уменьшается. Она выражается в процентах от полной шкалы, в частях МЗР или в милливольтках. Максимальная погрешность квантования равна  $q/2$  или  $\pm 1/2$  МЗР (рис.4.46). Например, в 15-разрядном АЦП сигнал квантуется по 32768 уровням, т.е. преобразователь разобьет полную шкалу входного напряжения на  $2^{14}$  частей и его разрешающая способность равна 1 МЗР=1/16000, а погрешность квантования при этом равна  $1/2$  МЗР=1/32000.

Для 12-разрядного АЦП, имеющего полную шкалу 10 В, наименьшее изменение на входе, при котором вырабатывается выходной цифровой код, будет равно  $q = U_{оп} / 2^{12} = 10В / 4096 = 2.44$  мВ.

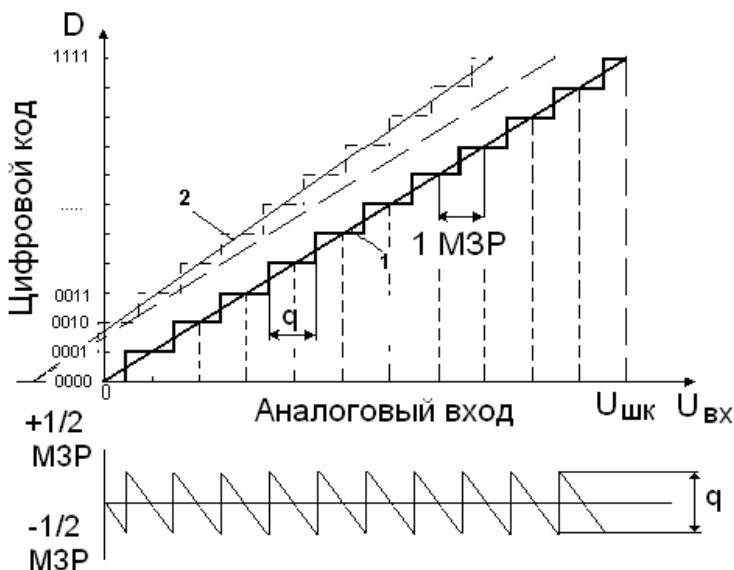


Рис.4.46. Статическая характеристика преобразования АЦП:  
 1 – идеальная характеристика преобразования; 2 – реальная характеристика преобразования

Дифференциальная нелинейность (DNL) показывает, как изменение во входном аналоговом сигнале преобразовывается в единицу значащего младшего разряда или на какую величину изменится аналоговый сигнал при очередном изменении выходного кода на 1 МЗР.

Дифференциальная нелинейность – это фактическое отклонение (разность) размеров ступеней квантования (единичных перепадов), представленных выходными цифровыми кодами, от идеального значения (1 МЗР). Например, если один код соответствует 10 мВ входного напряжения, а другой смежный – 8 мВ, то  $DNL = 2$  мВ. В спецификациях на конкретные АЦП значения дифференциальной нелинейности выражаются в долях МЗР или процентах от полной шкалы. Для характеристики, приведенной на рис.4.47:

$$DNL = \frac{q_k - q}{U_{шк}} 100 \% .$$

Дифференциальная нелинейность определяет два важных свойства АЦП: непропадание кодов и монотонность характеристики преобразования. Непропадание кодов - свойство АЦП выдавать все возможные выходные коды при изменении входного напряжения от начальной до конечной точки диапазона преобразования. При нормировании непропадания кодов указывается эквивалентная разрядность АЦП - максимальное количество разрядов АЦП, для которых не пропадают соответствующие им кодовые комбинации. На рис.4.48 видно, что уже при ошибке  $DNL = \pm 1$  МЗР нет гарантии, что все коды будут присутствовать.

Интегральная нелинейность (INL) измеряется в процентах от полной шкалы или в единицах МЗР. Характеризует отклонение реальной характеристики преобразования от идеальной во всем диапазоне входного сигнала.

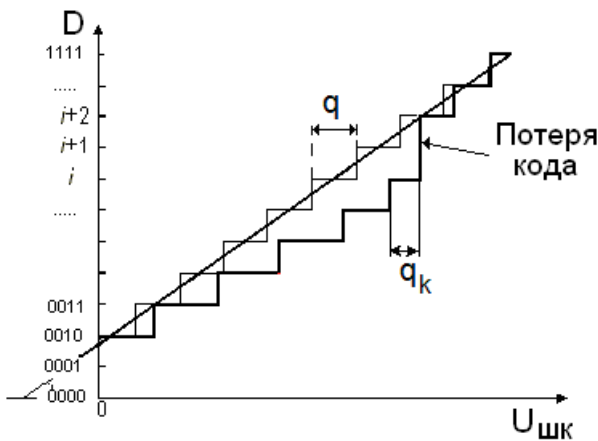


Рис.4.47. Погрешности линейности характеристики преобразования АЦП



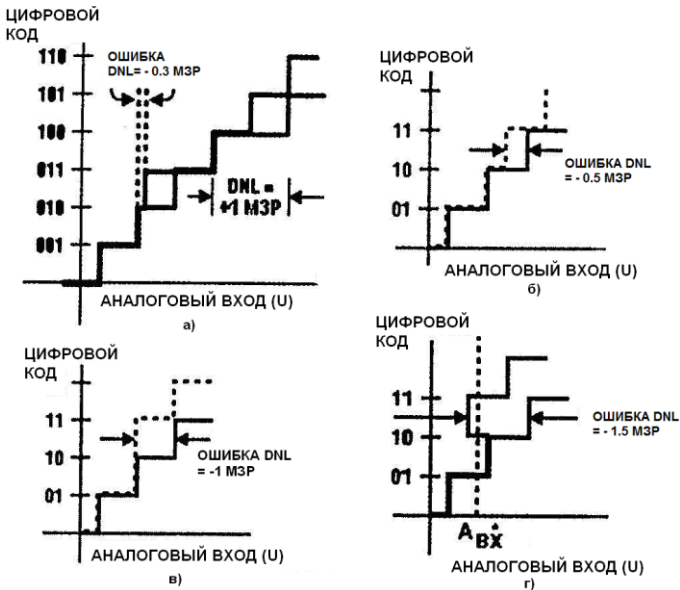


Рис.4.48. К определению дифференциальной нелинейности: а) – коды не пропадают; б) – коды не пропадают; в) – код 10 потерян; г) – в точке А цифровой код может иметь одно из трех возможных значений

ЦАП характеризуется следующими параметрами: числом разрядов управляющего входного кода (числом дискретных значений, которые принимает входной сигнал), совместимостью со стандартными логическими уровнями (ТТЛ, КМОП), основанием системы исчисления (двоичная, двоично-десятичная), разрешающей способностью, погрешностью преобразования, динамическими и другими параметрами.

В процессе преобразования входной  $n$ -разрядный цифровой сигнал превращается в аналоговый выходной сигнал (ступенчатую кривую) с  $2^n$  дискретными уровнями или ступенями, равными 1 МЗР. Например, 10-разрядный ЦАП имеет диапазон (полную шкалу) преобразования, равный  $2^{10}$ ,

т.е. выходное напряжение может принимать 1024 различных выходных уровней от нуля до максимального  $1 \text{ МЗР} = 1/2^n$ .

Обратной величиной числа выходных уровней является разрешающая способность, определяемая числом разрядов и характеризующая возможность ЦАП различать смежные значения входного цифрового кода. Фактически она определяет наименьшее возможное приращение аналогового сигнала (размер ступени), различаемое на выходе, при соответствующем изменении входного преобразуемого кода на единицу младшего разряда, т.е. является значением напряжения, соответствующим  $1 \text{ МЗР}$ .

Разрешающая способность определяется как отношение значения полной шкалы преобразования к значению  $2^n$ . Единицей измерения разрешающей способности является  $1 \text{ МЗР}$ . Она может выражаться в процентах от полной шкалы или миллионных частях (ppm). Например, для 10-разрядного ЦАП с  $U_{\text{вых}} = 10 \text{ В}$ :  $1 \text{ МЗР} = 10 \text{ В} * 1/1024 = 9,76 \text{ мВ}$  или  $0.1 \%$  полной шкалы; для 16-разрядного ЦАП:  $1 \text{ МЗР} = 150 \text{ мкВ}$  или  $0.0015 \%$  полной шкалы.

Погрешность (точность) преобразования  $\delta_{\text{шк}}$  выражается в процентах от диапазона изменения аналогового выходного сигнала  $U_{\text{шк}}$  в виде числа разрядов (например,  $n$  разрядов точности – это погрешность  $U_{\text{шк}} / 2^n$ ) или в долях МЗР. Типичная точность, требуемая от ЦАП, равна  $1/2 \text{ МЗР}$ , т.е. значение погрешности равно  $1/2(U_{\text{шк}} / 2^n) = U_{\text{шк}} / 2^{n+1}$ . Так, 12-разрядный ЦАП не может иметь точность преобразования меньше  $\pm 1/2 \text{ МЗР}$ , или  $\pm 2^{-(12+1)}$ , или  $\pm 0.0122 \%$  от полной шкалы. Фактически погрешность  $\pm 0.0122 \%$  представляет собой отклонение от  $100 \%$ -ной точности, поэтому точность равна  $99.9878 \%$ . Например, 12-разрядный ЦАП с диапазоном шкалы от  $0$  до  $10 \text{ В}$  при максимальном значении цифрового кода

1111 1111 1111 имеет максимальное напряжение, равное  $10(1 - 2^{-12}) = 9,99756 \text{ В}$ .

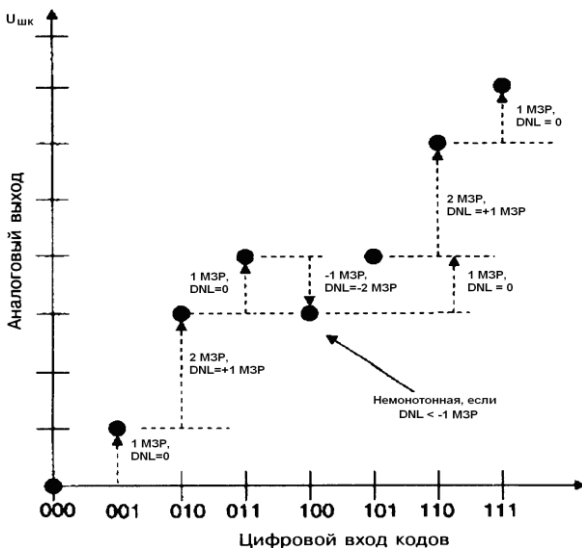


Рис.4.49. К определению нелинейности ЦАП

Дифференциальная нелинейность характеризует изменение единичных перепадов (размеров ступеней) и определяется как разность отклонений уровней выходного сигнала при переходе входного цифрового сигнала от какого-либо значения к смежному, или различие между фактической высотой шага и идеальным значением 1 МЗР. Заданная величина для дифференциальной нелинейности ( $\leq 1 \text{ МЗР}$ ) гарантирует, что ЦАП является монотонным. Это означает, что никакие данные не потеряны, поскольку выходной сигнал всегда изменяется в соответствии с цифровым кодом на входе (рис.4.49). Если дифференциальная нелинейность меньше  $-1 \text{ МЗР}$  при любом переходе, то ЦАП является немонотонным, т.е. его передаточная характеристика содержит один или более локальных максимумов или минимумов. Дифференциальная нелинейность больше  $+1 \text{ МЗР}$  не вызывает немонотонность.

## ЗАКЛЮЧЕНИЕ

Учебное пособие должно оказать помощь как при изучении принципов работы готовых схем средней степени интеграции, серийно выпускаемых в большой номенклатуре зарубежными и отечественными фирмами, так и при разработке новых видов цифровых и аналого-цифровых БИС на этапе схемотехнического проектирования (главы 1,2).

Приводится микросхемотехника комбинационных устройств ИС средней степени интеграции: преобразователей кодов, шифраторов и дешифраторов, мультиплексоров и демультимплексоров, сумматоров, а так же последовательностных устройств: триггеров, регистров, счетчиков.

При изучении материала больший уклон сознательно сделан в сторону изучения схемотехники по МОП и КМОП - технологиям (глава 3). Уделено внимание схемным решениям преобразователей данных и методам обработки цифровых сигналов (глава 4).

Преобразователи данных по виду входных и выходных сигналов делятся на цифро-аналоговые (код – напряжение, код – ток, код – проводимость) и аналого-цифровые (напряжение – код, частота – код). Например, для ввода исходной информации в ЭВМ аналоговые сигналы (напряжение, ток, частота импульсов, временной интервал), которые генерируются различными датчиками (скорости, температуры, давления), преобразовываются аналого-цифровыми преобразователями (АЦП) в цифровой код; выходной код ЭВМ преобразовывается цифро-аналоговыми преобразователями (ЦАП) в аналоговые сигналы, поступающие для управления на исполнительные механизмы.

Современный быстро развивающийся рынок электронного оборудования нуждается в новых быстродействующих ЦАП и АЦП с высокими точностью, разрешающей способностью, функциональными возможностями и информационной надежностью процесса преобразования.

## БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Уилкинсон Б. Основы проектирования цифровых схем: пер. с англ. / Б. Уилкинсон. М.: Издательский дом Вильямс, 2004. 320 с.
2. Максфилд К. Проектирование на ПЛИС: курс молодого бойца: пер. с англ. / К. Максфилд. М.: Издательский дом Додэка XXI, 2007. 408 с.
3. Уэйкерли Джон Ф. Проектирование цифровых устройств: пер. с англ. / Ф. Джон Уэйкерли. М.: Постмаркет, 2002. 533 с.
4. Токхейм Р. Основы цифровой электроники: пер. с англ. / Р. Токхейм. М.: Мир, 1988. 392 с.
5. Хоровиц П. Искусство схемотехники: пер. с англ. / П. Хоровиц, У. Хилл. М.: Мир, 1998. 704 с.
6. Угрюмов Е.П. Цифровая схемотехника / Е.П. Угрюмов. СПб.: БХВ, 2004. 528 с.
7. Прянишников В.А. Электроника: полный курс лекций / В.А. Прянишников. 3-е изд., испр. и доп. СПб.: Учитель и ученик: КОРОНА принт, 2003. 416 с.
8. Федорков Б.Г. Микросхемы ЦАП и АЦП: Функционирование, параметры, применение / Б.Г. Федорков, В.А. Телец. М.: Энергоатомиздат, 1990. 20 с.
9. Крерафт Д. Аналоговая электроника. Схемы, системы, обработка сигнала. / Д. Крерафт, С. Джерджи. М.: Техносфера, 2005. 360 с.
10. Джонс М.Х. Электроника – практический курс / М.Х. Джонс. М.: Постмаркет, 1999. 528 с.
11. Аналого-цифровое преобразование / под ред. У. Кестера. М.: Техносфера, 2007. 1016 с.
12. Наундорф Уве. Аналоговая электроника. Основы, расчет, моделирование / У. Наундорф. М.: Техносфера, 2008. 472 с.

|  |     |
|--|-----|
| ВВЕДЕНИЕ   | 3   |
| 1. БУЛЕВА АЛГЕБРА И ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ                        | 5   |
| 1.1. Теоремы булевой алгебры                                   | 5   |
| 1.2. Простейшие комбинационные логические элементы             | 16  |
| 1.3. Преобразователи кодов                                     | 29  |
| 1.3.1. Преобразователь двоично-десятичного кода в двоичный код | 31  |
| 1.3.2. Преобразователи двоичного кода в двоично-десятичный код | 43  |
| 1.4. Дешифраторы и демультимплексоры                           | 50  |
| 1.5. Мультиплексоры  | 53  |
| 1.6. Шифраторы   | 58  |
| 1.7. Сумматоры/вычитатели                                      | 61  |
| 2. ПОСЛЕДОВАТЕЛЬНОСТНЫЕ УСТРОЙСТВА                             | 74  |
| 2.1. Триггерные устройства на ИС средней степени интеграции    | 74  |
| 2.1.1. Одноступенчатые триггеры                                | 77  |
| 2.1.2. Двухступенчатые триггеры                                | 83  |
| 2.1.3. Триггеры с динамическим управлением                     | 87  |
| 2.2. Регистры на ИС средней степени интеграции                 | 89  |
| 2.3. Счетчики на ИС средней степени интеграции                 | 97  |
| 3. СХЕМОТЕХНИКА ЭЛЕМЕНТОВ КМОП БИС                             | 117 |
| 3.1. Логические элементы на МОП-транзисторах                   | 117 |
| 3.2. Схемотехника базовых КМОП логических элементов            | 137 |
| 3.3. Схемотехника КМОП триггеров БИС                           | 145 |
| 3.3.1. D-триггеры на основе проходных ключей                   | 147 |
| 3.3.2. D-триггеры на основе динамических ключей-инверторов     | 149 |
| 3.3.3. D-триггеры на основе ключей комбинированного типа       | 151 |
| 3.3.4. D-триггеры с дифференциальным входным каскадом          | 153 |
| 3.3.5. Элементы памяти, тактируемые фронтом синхросигнала      | 154 |
| 3.4. Схемотехника входных и буферных ячеек КМОП БИС            | 157 |
| 4. АНАЛОГО-ЦИФРОВЫЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ                         | 161 |
| 4.1. Операционные усилители                                    | 161 |
| 4.2. Принципы цифро-аналоговых преобразователей                | 168 |
| 4.3. Процесс преобразования аналогового сигнала в цифровой     | 182 |

|   |     |
|---|-----|
| 4.4. Основные архитектуры аналого-цифровых преобразователей | 191 |
| 4.5. Интерфейсы АЦП   | 213 |
| 4.6. Системы сбора данных и микроконверторы                 | 221 |
| 4.7. Параметры АЦП  | 227 |
| ЗАКЛЮЧЕНИЕ  | 235 |
| БИБЛИОГРАФИЧЕСКИЙ СПИСОК                                    | 236 |

Учебное издание

Строгонов Андрей Владимирович

ОСНОВЫ  
МИКРОСХЕМОТЕХНИКИ  
ИНТЕГРАЛЬНЫХ СХЕМ

В авторской редакции

Компьютерная верстка А.В. Строгонова

Подписано к изданию 24.09.2012  
Объём данных 61 МБ

ФГБОУ ВПО «Воронежский государственный технический  
университет»  
394026 Воронеж, Московский просп., 14