

**МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ
РОССИЙСКОЙ ФЕДЕРАЦИИ**
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Воронежский государственный технический университет»



УТВЕРЖДАЮ
Декан факультета
радиотехники и электроники
Небольсин В.А.
«31» августа 2020 г.

РАБОЧАЯ ПРОГРАММА
дисциплины
«Схемотехника цифровых больших интегральных схем»

Направление подготовки 11.04.04 Электроника и наноэлектроника

Профиль Интегральные системы и устройства в микро- и наноэлектронике

Квалификация выпускника магистр

Нормативный период обучения 2 года/2 года 3 месяца

Форма обучения очная/заочная

Год начала подготовки 2020

Автор программы

Строгонов А.В.

Заведующий кафедрой
полупроводниковой электроники
и наноэлектроники

Рембеза С.И.

Руководитель ОПОП

Рембеза С.И.

Воронеж 2020

1. ЦЕЛИ И ЗАДАЧИ ДИСЦИПЛИНЫ

1.1. Цели дисциплины обеспечение основ проектирования больших цифровых интегральных схем (БИС) по субмикронной КМОП-технологии с привлечением различных уровней и методов проектирования. Изучение дисциплины должно способствовать формированию у магистрантов основ разработки основных функциональных узлов БИС на различных уровнях проектирования.

1.2. Задачи освоения дисциплины

- изучить проблемы, связанные с проектированием цифровых БИС по субмикронным проектным нормам, и методы их решения;
- изучить маршруты проектирования заказных БИС по КМОП-технологии с использованием САПР БИС и методологии стандартных ячеек;
- освоить процесс проектирования БИС на системном уровне с использованием системы визуально-имитационного моделирования Mathlab/Simulink для разработки имитационных моделей различных архитектур БИС с последующим созданием функциональных моделей на языках VHDL/Verilog;
- освоить процесс проектирования БИС на функциональном уровне с использованием высокоуровневого языка описания аппаратуры VHDL;
- освоить процесс проектирования БИС по масштабируемой КМОП-технологии на схемотехническом и топологическом уровнях (схемотехнический редактор SEdit, топологический редактор LEdit, подсистема T-Spice САПР Tanner EDA) с использованием метода стандартных ячеек.

2. МЕСТО ДИСЦИПЛИНЫ В СТРУКТУРЕ ОПОП

Дисциплина Б1.В.01 «Схемотехника цифровых больших интегральных схем» относится к дисциплинам части блока Б1 учебного плана, формируемой участниками образовательных отношений.

3. ПЕРЕЧЕНЬ ПЛАНИРУЕМЫХ РЕЗУЛЬТАТОВ ОБУЧЕНИЯ ПО ДИСЦИПЛИНЕ

Процесс изучения дисциплины «Схемотехника цифровых больших интегральных схем» направлен на формирование следующих компетенций:

ПК-5: способность разрабатывать эффективные алгоритмы решения сформулированных задач с использованием современных языков программирования и обеспечивать их программную реализацию;

ПК-7: способность к восприятию, разработке и критической оценке новых способов проектирования твердотельных приборов и устройств;

ПК-10: теоретическая и практическая готовность к применению современных технологических процессов и технологического оборудования на этапах разработки и производства приборов и устройств микро- и наноэлектроники.

Компетенция	Результаты обучения, характеризующие сформированность компетенции
--------------------	--

ПК-5	знать основы высокоуровневых языков описания аппаратных средств VHDL/Verilog для проектирования цифровых устройств на различных уровнях абстракции; различные виды схемотехнического моделирования для Spice-симуляторов САПР БИС (на примере T-Spice);
	уметь проводить качественный анализ работы МОП транзисторов и КМОП логических элементов, вычислять паразитные эффекты для субмикронных БИС и применять меры по их устранению; пользоваться SPICE-моделями МОП транзисторов, резисторов, конденсаторов по субмикронной КМОП-технологии для проведения схемотехнического моделирования в САПР БИС Tanner EDA
	владеть навыками работы со схемотехническим редактором SEdit, с редактором топологии L-Edit и симулятором T-Spice САПР БИС Tanner EDA.
ПК-7	знать методологию проектирования цифровых БИС с применением как индустриальных САПР, так и САПР с открытым программным кодом;
	уметь пользоваться программными инструментами для Verilog-синтеза цифровых устройств как в базис заказных БИС, так и в базис ПЛИС; разрабатывать топологический чертеж логических элементов и последовательностных устройств в «ручном» режиме, с использованием символьного представления и в автоматизированном режиме с использованием топологических редакторов САПР БИС по методу стандартных ячеек;
	владеть навыками проектирования сложно-функциональных блоков в базисе ПЛИС в САПР Quartus II компании Altera, с использованием высокоуровневых языков описания аппаратуры VHDL/Verilog и симулятора ModelSim-Altera;
ПК-10	знать конструктивно-технологические проектные нормы масштабируемой КМОП-технологии (MOSIS Scalable CMOS design rules, DRC) и электрические правила проектирования схем (ERC); основы топологии логических элементов и триггеров КМОП БИС
	уметь строить технологический маршрут изготовления КМОП БИС по субмикронным проектным нормам на этапах проектирования БИС; восстанавливать из описания топологии электрические схемы по КМОП-технологии;
	владеть навыками сбора информации по технологии изготовления БИС для учета надежности на этапе разработки элементов конструкции БИС

4. ОБЪЕМ ДИСЦИПЛИНЫ

Общая трудоемкость дисциплины «Схемотехника цифровых больших интегральных схем» составляет 5 зачетных единиц.

Распределение трудоемкости дисциплины по видам занятий

очная форма обучения

Виды учебной работы	Всего часов	Семестры
		2
Аудиторные занятия (всего)	84	84
В том числе:		
Лекции	16	16
Практические занятия (ПЗ)	34	34
Лабораторные работы (ЛР)	34	34
Самостоятельная работа	60	60
Часы на контроль	36	36
Виды промежуточной аттестации – экзамен	+	+
Общая трудоемкость академические часы	180	180
з.е.	5	5

заочная форма обучения

Виды учебной работы	Всего часов	Семестры
		2
Аудиторные занятия (всего)	20	20
В том числе:		
Лекции	4	4
Практические занятия (ПЗ)	8	8
Лабораторные работы (ЛР)	8	8
Самостоятельная работа	151	151
Часы на контроль	9	9
Виды промежуточной аттестации - экзамен	+	+
Общая трудоемкость академические часы	180	180
з.е.	5	5

5. СОДЕРЖАНИЕ ДИСЦИПЛИНЫ (МОДУЛЯ)

5.1 Содержание разделов дисциплины и распределение трудоемкости по видам занятий

очная форма обучения

№ п/п	Наименование темы	Содержание раздела	Лекц	Прак зан.	Лаб. зан.	СРС	Всего, час
1	Проблемы, связанные с проектированием БИС по субмикронным проектным нормам, и методы их решения	Емкостные явления, связанные с внутренними проводниками БИС. Внутренние и внешние задержки в БИС. Параметры межсоединений. Емкость, индуктивность и сопротивление. Модели схем для соединительных проводников. Spice-модели для проводников. Сосредоточенные и распределенные RC-цепи.	2	2	4	6	14
2	Методология проектирования цифровых устройств с использованием языков описания аппаратуры VHDL/Verilog-HDL на RTL-уровне	Примеры проектирования схем потоковой обработки информации (сумматоры, умножители, сдвиговые регистры, арифметические логические устройства) на языках VHDL/Verilog-HDL	2	2	4	6	14
3	Примеры проектирова-	Последовательностные логические схемы. Конечные	2	2	4	6	14

	ния сложно-функциональных цифровых устройств с использованием языков описания аппаратуры VHDL/Verilog-HDL	автоматы, сдвиговые регистры, счетчики. Логические элементы схем потоковой обработки информации: сумматоры/вычитатели, умножители, делители. Умножение с накоплением методом правого сдвига. Параллельные векторные умножители. Цифровые запоминающие устройства. Статические ОЗУ и ПЗУ, блоки памяти в ПЛИС.					
4	Методология проектирования сложно-функциональных аналого-цифровых устройств КМОП БИС с использованием языка A-Verilog	Идеальные модели источников сигналов, АЦП/ЦАП с использованием языка Verilog-A. Основные модели функциональных блоков АЦП/ЦАП. Отладка Verilog-A моделей. Смешанные аналого-цифровые Verilog-HDL/Verilog-A модели	2	4	4	6	16
5	Схемотехническое проектирование логических элементов КМОП БИС на транзисторном уровне	Spice-модели МОП транзисторов. Расчет емкостей МОП-транзистора. КМОП-инвертор. Статический и динамический режимы работы. Порог переключения. Запас помехоустойчивости. Учет отклонений в технологическом процессе. Расчет емкостей КМОП-инвертора.	2	4	4	6	16
6	Схемотехническое проектирование схем потоковой обработки информации КМОП БИС с учетом быстродействия, потребляемой мощности и площади	Схемы потоковой обработки информации в архитектурах цифровых процессоров. Двоичный сумматор. Проектирование логики зеркального и сумматора на передаточных элементах. Сумматор с дифференциальной цепочкой и обводом переноса. Сумматор с ускоренным переносом. Проектирование сумматора с укоренным переносом на динамической логике. Матричные умножители. Генерация и накопление частичных произведений. Конечное суммирование. Умножитель с записью переноса. Древовидный умножитель. Модифицированное кодирование Бута.	2	4	4	6	16
7	Топологическое проектирование логических элементов КМОП БИС в САПР Tanner	Описание и процесс проектирования в САПР Tanner. Понятие о конструктивно-технологических нормах и правилах проектирования по масштабируемой КМОП-технологии. Символьная топология. Основные элементы конструкции топологии КМОП БИС. Топология резисторов, конденсаторов и диодов по КМОП-технологии.	2	4	4	6	16
8	Методология проектирования схем синхронизации в БИС и ПЛИС	Концепция и реализация схем синхронизации. Синтез тактовых сигналов и синхронизация с помощью схем фазовой автоподстройки частоты (ФАПЧ). Основные составляющие схем ФАПЧ. Генератор управляемый напряжением. Фазовые и фазочастотный детекторы. Генератор подкачки заряда. Система автоподстройки по задержке. Прямой цифровой синтез частоты. Целочисленный и дробный ФАПЧ.	2	4	2	6	14
9	Методология верификации цифровых проектов	Электрическая и временная верификации. Функциональная верификация средствами Synopsys, Altera ModelSim. Проверка соблюдения топологических норм проектирования. Восстановление электрической схемы из описания топологии.	-	4	2	6	12
10	Размещение элементов на кристалле ИС и трассировка межсоединений в БИС и ПЛИС	Алгоритмы размещения логических элементов на кристалле. Задачи глобальной трассировки межсоединений в БИС и ПЛИС. Специфика трассировки для БИС спроектированных с использованием метода стандартных ячеек. Специфика для трассировки заказных БИС с преобладанием макро-блоков. Специфика трассировки ПЛИС. Модели представления трассировочных областей. Сеточный граф и граф связанности каналов. Смешанный граф связанности. Обобщенный алгоритм глобальной трассировки.	-	4	2	6	12
Всего			16	34	34	60	144
Контроль							36
Итого							180

заочная форма обучения

№ п/п	Наименование темы	Содержание раздела	Лекц	Прак зан.	Лаб. зан.	СРС	Всего, час
1	Проблемы, связанные с проектированием БИС по субмик-	Емкостные явления, связанные с внутренними проводниками БИС. Внутренние и внешние за-	2	-	2	14	18

	ронным проектным нормам, и методы их решения	держки в БИС. Параметры межсоединений. Емкость, индуктивность и сопротивление. Модели схем для соединительных проводников. Spice-модели для проводников. Сосредоточенные и распределенные RC-цепи.					
2	Методология проектирования цифровых устройств с использованием языков описания аппаратуры VHDL/Verilog-HDL на RTL-уровне	Примеры проектирования схем потоковой обработки информации (сумматоры, умножители, сдвиговые регистры, арифметические логические устройства) на языке VHDL	2	-	2	14	18
3	Примеры проектирования сложно-функциональных цифровых устройств с использованием языков описания аппаратуры VHDL/Verilog-HDL	Последовательностные логические схемы. Конечные автоматы, сдвиговые регистры, счетчики на языке VHDL	-	-	2	14	16
4	Методология проектирования сложно-функциональных аналого-цифровых устройств КМОП БИС с использованием языка A-Verilog	Основные модели функциональных блоков АЦП/ЦАП	-	-	2	14	16
5	Схемотехническое проектирование логических элементов КМОП БИС на транзисторном уровне	Spice-модели МОП транзисторов. Расчет емкостей МОП-транзистора. КМОП-инвертор. Статический и динамический режимы работы. Порог переключения. Запас помехоустойчивости.	-	-	-	16	16
6	Схемотехническое проектирование схем потоковой обработки информации КМОП БИС с учетом быстродействия, потребляемой мощности и площади	Схемы потоковой обработки информации в архитектурах цифровых процессоров. Двоичный сумматор. Сумматор с ускоренным переносом. Проектирование сумматора с укоренным переносом на динамической логике. Матричные умножители.	-	-	-	16	16
7	Топологическое проектирование логических элементов КМОП БИС в САПР Tanner	Описание и процесс проектирования в САПР Tanner. Понятие о конструктивно-технологических нормах и правилах проектирования по масштабируемой КМОП-технологии. Символьная топология. Основные элементы конструкции топологии КМОП БИС. Топология резисторов, конденсаторов и диодов по КМОП-технологии.	-	2	-	16	18
8	Методология проектирования схем синхронизации в БИС и ПЛИС	Концепция и реализация схем синхронизации. Синтез тактовых сигналов и синхронизация с помощью схем фазовой автоподстройки частоты (ФАПЧ).	-	2	-	16	18
9	Методология верификации проектов	Электрическая и временная верификации. Функциональная верификация.	-	2	-	16	18
10	Размещение элементов на кристалле ИС и трассировка межсоединений в БИС и ПЛИС	Задачи глобальной трассировки межсоединений в БИС и ПЛИС. Обобщенный алгоритм глобальной трассировки	-	2	-	15	17
Всего			4	8	8	151	171
Контроль							9
Итого							180

5.2 Перечень лабораторных работ

1. Определение и численный расчет параметров межсоединений БИС
2. Расчет паразитных емкостей, связанных с внутренними проводниками БИС
3. Разработка функциональной модели 8-разрядного микропроцессорного ядра на языках VHDL/Verilog-HDL в САПР Quartus II
4. Программный инструмент Yosys для Verilog-синтеза в базе заказных БИС и ПЛИС
5. Проектирование матричного умножителя целых чисел со знаком размерностью 4 x 4 на языках VHDL/Verilog-HDL по схеме Бо-Були

6. Проектирование умножителя целых чисел со знаком методом правого сдвига и сложения (МАС-блок)
7. Разработка управляющего автомата для 4-разрядного АЦП по методу последовательных приближений
8. Разработка регистра последовательных приближений для 4-разрядного АЦП
9. Схемотехническое моделирование передаточных характеристики логических элементов по КМОП-технологии (режим расчета по постоянному току)
10. Схемотехническое моделирование переходных процессов логических элементов по КМОП-технологии (режим анализа переходных процессов)
11. Схемотехническое проектирование матричного умножителя целых положительных чисел с размерностью операндов 4x4
12. Схемотехническое проектирование 4-разрядного сумматора с ускоренным переносом
13. Топологическое проектирование 4-разрядного сумматора с ускоренным переносом с использованием конструктивно технологических требований и правил проектирования MOSIS Scalable CMOS design rules
14. Топологическое проектирование кристалла с расположенным на нем сумматором с периферийной рамкой и с элементами ввода/вывода с использованием утилит автоматизированного размещения и трассировки
15. Проектирование дерева синхронизации для кристалла с расположенным на нем 4-разрядным сумматором с ускоренным переносом
16. Настройка маршрута проектирования заказных цифровых БИС Qflow с использованием программных инструментов с открытым кодом Yosys/ABC, GrayWolf, Qrouter, Magic.
17. Размещение логических элементов на кристалле и глобальная трассировка с помощью программных средств GrayWolf и Qrouter

6. ПРИМЕРНАЯ ТЕМАТИКА КУРСОВЫХ ПРОЕКТОВ (РАБОТ) И КОНТРОЛЬНЫХ РАБОТ

В соответствии с учебным планом освоение дисциплины «Схемотехника цифровых больших интегральных схем» не предусматривает выполнение курсового проекта (работы) или контрольной работы.

7. ОЦЕНОЧНЫЕ МАТЕРИАЛЫ ДЛЯ ПРОВЕДЕНИЯ ПРОМЕЖУТОЧНОЙ АТТЕСТАЦИИ ОБУЧАЮЩИХСЯ ПО ДИСЦИПЛИНЕ

7.1. Описание показателей и критериев оценивания компетенций на различных этапах их формирования, описание шкал оценивания

7.1.1 Этап текущего контроля

Результаты текущего контроля знаний и межсессионной аттестации оцениваются по следующей системе:

«аттестован»;

«не аттестован».

Компетенция	Результаты обучения, характеризующие сформированность компетенции	Критерии оценивания	Аттестован	Не аттестован
ПК-5	знать основы высокоуровневых языков описания аппаратных средств VHDL/Verilog для проектирования цифровых устройств на различных уровнях абстракции; различные виды схмотехнического моделирования для Spice-симуляторов САПР БИС (на примере T-Spice);	Грамотное использование стилей высокоуровневых языков на различных уровнях абстракции; способность на практике проводить схмотехнический анализ электрических схем	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
	уметь проводить качественный анализ работы МОП транзисторов и КМОП логических элементов, вычислять паразитные эффекты для субмикронных БИС и применять меры по их устранению; пользоваться SPICE-моделями МОП транзисторов, резисторов, конденсаторов по субмикронной КМОП-технологии для проведения схмотехнического моделирования в САПР БИС Tanner EDA	Умение проектировать элементы конструкции БИС с учетом субмикронных размеров и паразитных эффектов	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
	владеть навыками работы со схмотехническим редактором SEdit, с редактором топологии L-Edit и симулятором T-Spice САПР БИС Tanner EDA.	Демонстрация навыков работы в САПР БИС Tanner EDA	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
ПК-7	знать методологию проектирования цифровых БИС с применением как индустриальных САПР, так и САПР с открытым программным кодом;	Демонстрация навыков проектирования цифровых БИС с применением САПР	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
	уметь пользоваться программными инструментами для Verilog-синтеза цифровых устройств как в базис заказных БИС, так и в базис ПЛИС; разрабатывать топологический чертеж логических элементов и последовательностных устройств в «ручном» режиме, с использованием символьного представления и в автоматизированном режиме с использованием топологических редакторов САПР БИС по методу стандартных ячеек;	Демонстрация навыков проведения Verilog-синтеза в уникальный технологический базис	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
	владеть навыками проектирования сложно-функциональных блоков в базисе ПЛИС в САПР Quartus II компании Altera, с использованием высокоуровневых языков описания аппаратуры VHDL/Verilog и симулятора ModelSim-Altera;	Способность разрабатывать сложно-функциональные модели цифровых устройств с использованием языков VHDL/Verilog	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
ПК-10	знать конструктивно-технологические проектные нормы масштабируемой КМОП-технологии (MOSIS Scalable CMOS design rules, DRC) и электрические правила проектирования схем (ERC); основы топологии логических элементов и триггеров КМОП БИС	Использование правил ERC и DRC при разработке электрической схемы и топологического чертежа КМОП БИС	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
	уметь строить технологический маршрут изготовления КМОП БИС по субмикронным проектным нормам на этапах проектирования БИС; восстанавливать из описания топологии	Извлечение информации из технологического маршрута и их использование на различных этапах проектирования БИС	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах

	электрические схемы по КМОП-технологии;			
	владеть навыками сбора информации по технологии изготовления БИС для учета надежности на этапе разработки элементов конструкции БИС	Демонстрация способности восстанавливать электрическую схему из описания топологии	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах

7.1.2 Этап промежуточного контроля знаний

Результаты промежуточного контроля знаний оцениваются в 2 семестре для очной формы обучения, 2 семестре для заочной формы обучения по четырехбалльной системе:

«отлично»;

«хорошо»;

«удовлетворительно»;

«неудовлетворительно».

Компетенция	Результаты обучения, характеризующие сформированность компетенции	Критерии оценивания	Отлично	Хорошо	Удовл	Неудовл
ПК-5	знать основы высокоуровневых языков описания аппаратных средств VHDL/Verilog для проектирования цифровых устройств на различных уровнях абстракции; различные виды схемотехнического моделирования для Spice-симуляторов САПР БИС (на примере T-Spice);	Тест	Выполнение теста на 90 – 100 %	Выполнение теста на 80 – 90 %	Выполнение теста на 70 – 80 %	В тесте менее 70 % правильных ответов
	уметь проводить качественный анализ работы МОП транзисторов и КМОП логических элементов, вычислять паразитные эффекты для субмикронных БИС и применять меры по их устранению; пользоваться SPICE-моделями МОП транзисторов, резисторов, конденсаторов по субмикронной КМОП-технологии для проведения схемотехнического моделирования в САПР БИС Tanner EDA	Решение стандартных практических задач	Задачи решены в полном объеме и получены верные ответы	Продемонстрирован верный ход решения всех, но не получен верный ответ во всех задачах	Продемонстрирован верный ход решения в большинстве задач	Задачи не решены
	владеть навыками работы со схемотехническим редактором SEdit, с редактором топологии L-Edit и симулятором T-Spice САПР БИС Tanner EDA.	Решение прикладных задач в конкретной предметной области	Задачи решены в полном объеме и получены верные ответы	Продемонстрирован верный ход решения всех, но не получен верный ответ во всех задачах	Продемонстрирован верный ход решения в большинстве задач	Задачи не решены
ПК-7	знать методологию проектирования цифровых БИС с применением как промышленных САПР, так и САПР с открытым программным кодом;	Тест	Выполнение теста на 90 – 100 %	Выполнение теста на 80 – 90 %	Выполнение теста на 70 – 80 %	В тесте менее 70 % правильных ответов
	уметь пользоваться программными инструментами для Verilog-синтеза цифровых устройств как в базис заказных БИС, так и в базис ПЛИС; разрабатывать топологический чертеж логических элементов и последовательностей устройств в «ручном» режиме, с использованием символического представления и в автоматизированном режиме с использованием топологических редакторов САПР БИС по методу стандартных ячеек;	Решение стандартных практических задач	Задачи решены в полном объеме и получены верные ответы	Продемонстрирован верный ход решения всех, но не получен верный ответ во всех задачах	Продемонстрирован верный ход решения в большинстве задач	Задачи не решены
	владеть навыками проектирования сложнo-функциональных блоков в базисе ПЛИС в САПР Quartus II компании Altera, с использованием высокоуровневых языков описания аппаратуры VHDL/Verilog и симулятора ModelSim-Altera;	Решение прикладных задач в конкретной предметной	Задачи решены в полном объеме и получены верные	Продемонстрирован верный ход решения всех, но не получен верный ответ во всех	Продемонстрирован верный ход решения в большин-	Задачи не решены

		области	ответы	задачах	стве задач	
ПК-10	знать конструктивно-технологические проектные нормы масштабируемой КМОП-технологии (MOSIS Scalable CMOS design rules, DRC) и электрические правила проектирования схем (ERC); основы топологии логических элементов и триггеров КМОП БИС	Тест	Выполнение теста на 90 – 100 %	Выполнение теста на 80 – 90 %	Выполнение теста на 70 – 80 %	В тесте менее 70 % правильных ответов
	уметь строить технологический маршрут изготовления КМОП БИС по субмикронным проектным нормам на этапах проектирования БИС; восстанавливать из описания топологии электрические схемы по КМОП-технологии;	Решение стандартных практических задач	Задачи решены в полном объеме и получены верные ответы	Продемонстрирован верный ход решения всех, но не получен верный ответ во всех задачах	Продемонстрирован верный ход решения в большинстве задач	Задачи не решены
	владеть навыками сбора информации по технологии изготовления БИС для учета надежности на этапе разработки элементов конструкции БИС	Решение прикладных задач в конкретной предметной области	Задачи решены в полном объеме и получены верные ответы	Продемонстрирован верный ход решения всех, но не получен верный ответ во всех задачах	Продемонстрирован верный ход решения в большинстве задач	Задачи не решены

7.2 Примерный перечень оценочных средств (типовые контрольные задания или иные материалы, необходимые для оценки знаний, умений, навыков и (или) опыта деятельности)

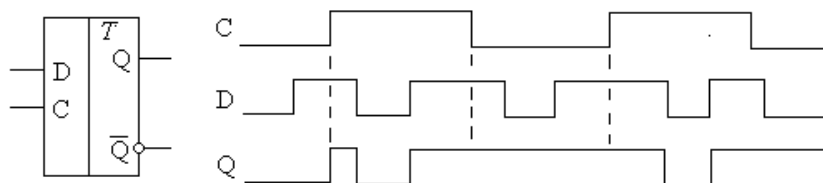
7.2.1 Примерный перечень заданий для подготовки к тестированию

1. Какой триггер описан в части листинга кода языка VHDL?

```
architecture behav of ff is
begin
process (clk) begin
if (clk'event and clk = '1') then
q <= data;
end if;
end process;
end behav;
```

1	2	3	4
D-триггер	T-триггер	JK-триггер	RS-триггер

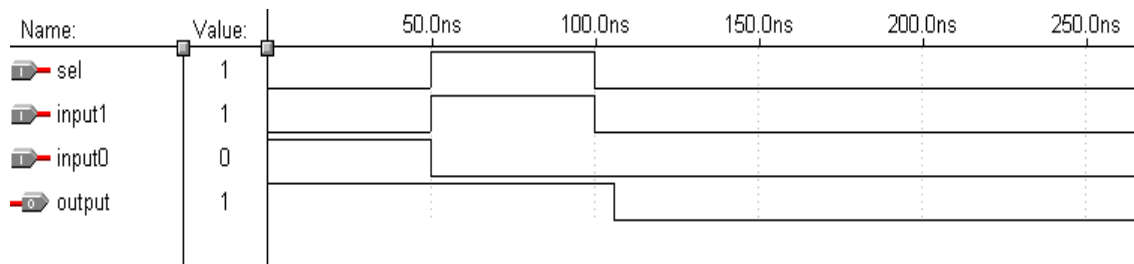
2. По условному графическому изображению и временной диаграмме определите функциональное назначение логического элемента.



1	2	3	4
D-триггер, тактируемый уровнем синхросигнала	D-триггер, тактируемый фронтом синхросигнала	JK-триггер	T-триггер

3. Принцип действия какого комбинационного устройства описывают данные временные

диаграммы?



1	2	3	4
2-разрядный счетчик	2-разрядный регистр	D-триггер	Мультиплексор 2 в 1

4. По фрагменту кода языка VHDL определите функциональное назначение последовательностного устройства.

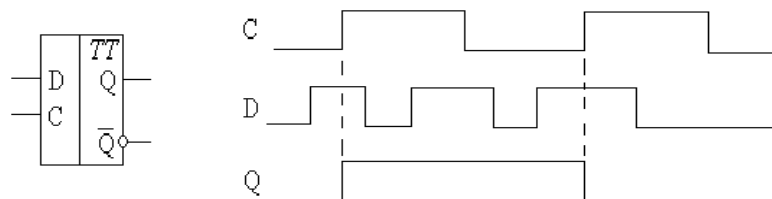
```

PROCESS (clk)
VARIABLE cnt : STD_LOGIC_VECTOR(7 downto 0);
VARIABLE direction : INTEGER;
BEGIN
    IF (up_down = '1') THEN direction := 1;
    ELSE direction := -1; END IF;
    IF (clk'EVENT AND clk = '1')
    THEN cnt := cnt + direction; END IF; qd <= cnt;
    END PROCESS;

```

1	2	3	4
Двоичный счетчик	Реверсивный счетчик	Регистр	Вычитающий счетчик

5. По условному графическому изображению и временной диаграмме определите функциональное назначение логического элемента.



1	2	3	4
D-триггер тактируемый фронтом синхросигнала	D-триггер тактируемый уровнем синхросигнала	JK-триггер	T-триггер

6. По фрагменту кода языка VHDL определите функциональное назначение последовательностного устройства.

```

BEGIN
PROCESS (clk)
BEGIN

```

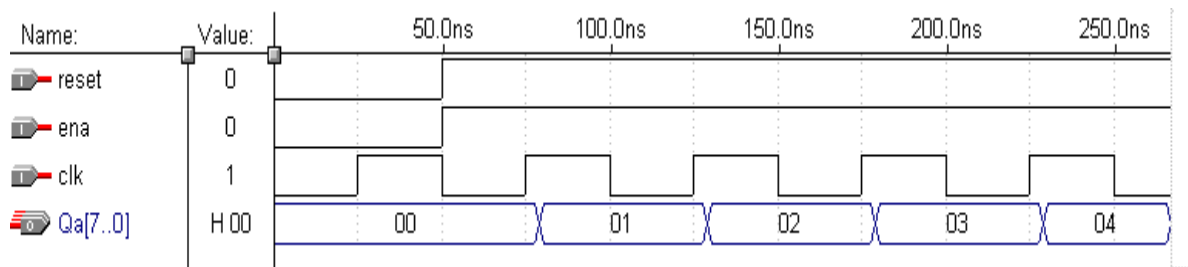
```

IF(clk'EVENT AND clk = '1') THEN IF load ='1' then cnt<= data;
ELSE cnt<=cnt+'1'; END IF; END IF; END PROCESS;
Qa <= cnt;
END a;

```

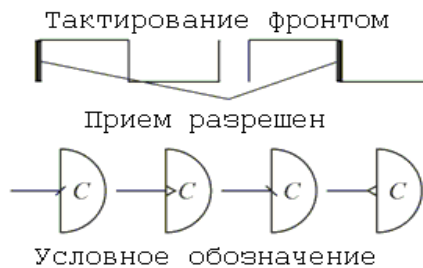
1	2	3	4
8-разрядный счетчик с асинхронной загрузкой данных	Реверсивный счетчик	8-разрядный счетчик с синхронной загрузкой данных	Вычитающий 8-разрядный счетчик

7. Принцип действия какого последовательного устройства описывают представленные временные диаграммы?



1	2	3	4
8-разрядный счетчик	8-разрядный регистр	Сумматор	Мультиплексор 8 в 1

8. Принцип действия какого устройства поясняют диаграмма и условное графическое обозначение?



1	2	3	4
Защелка	D-триггер	T-триггер	JK-триггер

9. Какое последовательное устройство может быть реализовано с использованием данного фрагмента кода?

```

BEGIN
latch : PROCESS (ena, data)
BEGIN
IF (ena = '1') THEN q <= data; END IF;
END PROCESS latch;

```

1	2	3	4
Защелка	D-триггер	T-триггер	Инвертор

10. Упростите функцию $Y = F(A, B, C)$, используя карту Карно.

Y C	AB	00	01	11	10
		0	1	0	1
	1	1	0	0	1

1. $A\bar{C} + \bar{B}$
2. $\bar{A}C + \bar{B}$
3. $A + B\bar{C}$
4. $\bar{A} + B\bar{C}$

7.2.2 Примерный перечень заданий для решения стандартных задач

1. Разработайте проект умножения целых чисел представленных в дополнительном коде по схеме Пезариса.
2. Разработайте проект матричного умножителя целых без знаковых чисел размерностью 4 x 4.
3. Разработайте проект умножителя целых чисел со знаком размерностью 4 x 4 с использованием метода правого сдвига и сложения.
4. Разработайте проект для операции взятия обратного кода.
5. Разработайте проект для операции взятия дополнительного кода
6. Разработайте проект КИХ-фильтра на четыре отвода с использованием последовательной распределенной арифметики
7. Разработайте проект КИХ-фильтра на четыре отвода с использованием параллельной распределенной арифметики
8. Используя мегафункцию 4-х разрядного сумматора разработайте в САПР Quartus II схему преобразователя 3-х разрядного двоично-десятичного кода в двоичный код.
9. Спроектируйте в САПР Quartus II версии 13.1 мультиплексор 16 в 1 методом каскадирования мультиплексоров 4 в 1. Используйте логические элементы и мегафункцию мультиплексора.
10. Спроектируйте в САПР Quartus II 8-входовой приоритетный шифратор (восемь в три) на логических элементах (аналог ИС типа SN74148). Осуществите каскадирование приоритетных шифраторов для организации схемы 16 в 4.
11. Спроектируйте 4-разрядный сумматор/вычитатель, составленный из полных сумматоров/вычитателей на мегафункциях в САПР Quartus II
12. Спроектируйте 4-разрядный сумматор/вычитатель, составленный из полных сумматоров/вычитателей на логических элементах в САПР Quartus II версии 13.1.

7.2.3 Примерный перечень заданий для решения прикладных задач

1. Разработайте умножитель целых чисел со знаком размерностью 4x4 по схеме Бо-Вули. Проект должен быть разработан в САПР ПЛИС Quartus II с применением мегафункций. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.
2. Разработайте умножитель целых чисел со знаком размерностью 4x4 с использованием метода правого сдвига и сложения. Проект должен быть разработан в САПР ПЛИС Quartus II. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.
3. Разработайте умножитель целых без знаковых чисел размерностью 4x4 с использованием метода правого сдвига и сложения. Проект должен быть разработан в САПР ПЛИС Quartus II с применением языка VHDL. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

4. Разработайте умножитель целых без знаковых чисел размерностью 4x4 методом умножения в столбик. Проект должен быть разработан в САПР ПЛИС Quartus II. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.
5. Разработайте проект программного умножителя целых без знаковых чисел размерностью 4x4 с использованием мегафункции ALTMEMMULT в САПР ПЛИС Quartus II версии 13.1.
6. Спроектируйте параллельный КИХ-фильтра на 4 отвода $y = C_0x_0 + C_1x_1 + C_2x_2 + C_3x_3$ в САПР ПЛИС Quartus II. Коэффициенты фильтра целочисленные со знаком, известны и равны $C_0 = -2$, $C_1 = -1$, $C_2 = 7$ и $C_3 = 6$. Используйте мегафункцию ALTMULT_ACCUM. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.
7. Спроектируйте параллельный КИХ-фильтра на 4 отвода $y = C_0x_0 + C_1x_1 + C_2x_2 + C_3x_3$ в САПР ПЛИС Quartus II версии 9.1. Коэффициенты фильтра целочисленные со знаком, известны и равны $C_0 = -2$, $C_1 = -1$, $C_2 = 7$ и $C_3 = 6$. Используйте мегафункцию ALTMULT_ADD.
8. Спроектируйте параллельный КИХ-фильтра на 4 отвода $y = C_0x_0 + C_1x_1 + C_2x_2 + C_3x_3$ в САПР ПЛИС Quartus II. Коэффициенты фильтра целочисленные со знаком, известны и равны $C_0 = -2$, $C_1 = -1$, $C_2 = 7$ и $C_3 = 6$. Используйте мегафункцию ALTMEMMULT.
9. Спроектируйте КИХ-фильтр на 4 отвода с использованием мегаядра FIR Compiler в САПР ПЛИС Quartus II (параллельная или последовательная распределенные арифметика).
10. Разработайте код языка VHDL КИХ-фильтра на 4 отвода с использованием оператора цикла loop. Напишите тестбенч для моделирования импульсной характеристики фильтра.
11. Спроектируйте систолический КИХ-фильтр на 4 отвода в САПР ПЛИС Quartus II с однотипными процессорными элементами.
12. Напишите тестбенч для моделирования 4-разрядного счетчика с параллельной загрузкой.

7.2.4 Примерный перечень вопросов для подготовки к зачету

Не предусмотрено учебным планом

7.2.5 Примерный перечень вопросов для подготовки к экзамену

1. Емкостные явления, связанные с внутренними проводниками БИС.
2. Внутренние и внешние задержки в БИС.
3. Параметры межсоединений. Емкость, индуктивность и сопротивление.
4. Модели схем для соединительных проводников. Spice-модели для проводников.
5. Сосредоточенные и распределенные RC-цепи.
6. Примеры проектирования схем потоковой обработки информации на языках VHDL/Verilog-HDL
7. Последовательностные логические схемы.
8. Конечные автоматы, сдвиговые регистры, счетчики.
9. Логические элементы схем потоковой обработки информации: сумматоры/вычитатели, умножители, делители.
10. Умножение с накоплением методом правого сдвига.
11. Параллельные векторные умножители.
12. Цифровые запоминающие устройства.

13. Статические ОЗУ и ПЗУ, блоки памяти в ПЛИС.
14. Идеальные модели источников сигналов, АЦП/ЦАП с использованием языка Verilog-A
15. Основные модели функциональных блоков АЦП/ЦАП. Отладка Verilog-A моделей.
16. Смешанные аналого-цифровые Verilog-HDL/Verilog-A модели.
17. Spice-модели МОП транзисторов.
18. Расчет емкостей МОП-транзистора. КМОП-инвертор.
19. Статический и динамический режимы работы.
20. Порог переключения. Запас помехоустойчивости.
21. Учет отклонений в технологическом процессе.
22. Расчет емкостей КМОП-инвертора.
23. Схемы потоковой обработки информации в архитектурах цифровых процессоров.
24. Двоичный сумматор.
25. Проектирование логики зеркального и сумматора на передаточных элементах.
26. Сумматор с дифференциальной цепочкой и обводом переноса.
27. Сумматор с ускоренным переносом.
28. Проектирование сумматора с укоренным переносом на динамической логике.
29. Матричные умножители.
30. Генерация и накопление частичных произведений.
31. Конечное суммирование.
32. Умножитель с записью переноса.
33. Древоподобный умножитель.
34. Модифицированное кодирование Бута.
35. Описание и процесс проектирования в САПР Tanner.
36. Понятие о конструктивно-технологических нормах и правилах проектирования по масштабируемой КМОП-технологии.
37. Символьная топология. Основные элементы конструкции топологии КМОП БИС.
38. Топология резисторов, конденсаторов и диодов по КМОП-технологии.
39. Концепция и реализация схем синхронизации.
40. Синтез тактовых сигналов и синхронизация с помощью схем фазовой автоподстройки частоты (ФАПЧ).
41. Основные составляющие схем ФАПЧ.
42. Генератор, управляемый напряжением.
43. Фазовые и фазочастотный детекторы.
44. Генератор подкачки заряда.
45. Система автоподстройки по задержке.
46. Прямой цифровой синтез частоты.
47. Целочисленный и дробный ФАПЧ.
48. Электрическая и временная верификации.
49. Функциональная верификация средствами Synopsys, Altera ModelSim.
50. Проверка соблюдения топологических норм проектирования.
51. Восстановление электрической схемы из описания топологии.
52. Алгоритмы размещения логических элементов на кристалле.
53. Задачи глобальной трассировки межсоединений в БИС и ПЛИС.
54. Специфика трассировки для БИС спроектированных с использованием метода стандартных ячеек.
55. Специфика для трассировки заказных БИС с преобладанием макро-блоков.
56. Специфика трассировки ПЛИС.
57. Модели представления трассировочных областей.
58. Сеточный граф и граф связанности каналов.
59. Смешанный граф связанности.
60. Обобщенный алгоритм глобальной трассировки.

7.2.6. Методика выставления оценки при проведении промежуточной аттестации

Промежуточная аттестация проводится по билетам, каждый из которых содержит 3 вопроса и задачу. Каждый правильный ответ на вопрос оценивается 2 баллами, задача оценивается в 4 балла. Максимальное количество набранных баллов – 10.

1. Оценка «Отлично» ставится, если студент набрал от 9 до 10 баллов.
2. Оценка «Хорошо» ставится в случае, если студент набрал от 6 до 8 баллов.
3. Оценка «Удовлетворительно» ставится в случае, если студент набрал от 3 до 5 баллов.
4. Оценка «Неудовлетворительно» ставится в случае, если студент набрал менее 3 баллов.

При получении оценок «Отлично», «Хорошо» и «Удовлетворительно» требуемые в рабочей программе знания, умения, владения по соответствующим компетенциям на промежуточном этапе считаются достигнутыми.

7.2.7 Паспорт оценочных материалов

№ п/п	Контролируемые разделы (темы) дисциплины	Код контролируемой компетенции (или ее части)	Наименование оценочного средства
1	Проблемы, связанные с проектированием БИС по субмикронным проектным нормам, и методы их решения	ПК-5, ПК-7, ПК-10	Тест, решение стандартных задач
2	Методология проектирования цифровых устройств с использованием языков описания аппаратуры VHDL/Verilog-HDL на RTL-уровне	ПК-5, ПК-7, ПК-10	Тест, решение стандартных задач
3	Примеры проектирования сложно-функциональных цифровых устройств с использованием языков описания аппаратуры VHDL/Verilog-HDL	ПК-5, ПК-7, ПК-10	Тест, решение стандартных задач
4	Методология проектирования сложно-функциональных аналого-цифровых устройств КМОП БИС с использованием языка A-Verilog	ПК-5, ПК-7, ПК-10	Тест, решение стандартных задач
5	Схемотехническое проектирование логических элементов КМОП БИС на транзисторном уровне	ПК-5, ПК-7, ПК-10	Тест, решение стандартных задач
6	Схемотехническое проектирование схем потоковой обработки информации КМОП БИС с учетом быстродействия, потребляемой мощности и площади	ПК-5, ПК-7, ПК-10	Тест, решение стандартных задач
7	Топологическое проектирование логических элементов КМОП БИС в САПР Tanner	ПК-5, ПК-7, ПК-10	Тест, решение стандартных задач
8	Методология проектирования схем синхро-	ПК-5, ПК-7, ПК-10	Тест, решение

	низации в БИС и ПЛИС		стандартных задач
9	Методология верификации цифровых проектов	ПК-5, ПК-7, ПК-10	Тест, решение стандартных задач
10	Размещение элементов на кристалле ИС и трассировка межсоединений в БИС и ПЛИС	ПК-5, ПК-7, ПК-10	Тест, решение стандартных задач

7.3. Методические материалы, определяющие процедуры оценивания знаний, умений, навыков и (или) опыта деятельности

Тестирование осуществляется, либо при помощи компьютерной системы тестирования, либо с использованием выданных тест-заданий на бумажном носителе. Время тестирования 30 мин. Затем осуществляется проверка теста экзаменатором и выставляется оценка согласно методики выставления оценки при проведении промежуточной аттестации.

Решение стандартных задач осуществляется, либо при помощи компьютерной системы тестирования, либо с использованием выданных задач на бумажном носителе. Время решения задач 30 мин. Затем осуществляется проверка решения задач экзаменатором и выставляется оценка, согласно методики выставления оценки при проведении промежуточной аттестации.

Решение прикладных задач осуществляется, либо при помощи компьютерной системы тестирования, либо с использованием выданных задач на бумажном носителе. Время решения задач 30 мин. Затем осуществляется проверка решения задач экзаменатором и выставляется оценка, согласно методики выставления оценки при проведении промежуточной аттестации.

8 УЧЕБНО МЕТОДИЧЕСКОЕ И ИНФОРМАЦИОННОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ)

8.1 Перечень учебной литературы, необходимой для освоения дисциплины

1. Вонг Б.П. Нано-КМОП схемы и проектирование на физическом уровне / Б.П. Вонг, А. Миталл, Г. Старр; пер. с англ. К.В. Юдинцева; под ред. Н.А. Шелепина. – Москва: Техносфера, 2014. – 431 с.

2. Попов В.Д. Физические основы проектирования кремниевых цифровых интегральных схем в монолитном и гибридном исполнении: учеб. пособие / В.Д. Попов, Г.Ф. Белова. - СПб.: Лань, 2013.- 208 с.

3. Игнатов А.Н. Микросхемотехника и наноэлектроника: учеб. пособие / А.Н. Игнатов. – СПб.: Лань, 2011. – 528 с.

4. Амосов В.В. Схемотехника и средства проектирования цифровых устройств: учеб. пособие / В.В. Амосов. – СПб.: БХВ-Петербург, 2007. – 542 с.

5. Тарасов И.Е. Разработка систем цифровой обработки сигналов на базе ПЛИС / И.Е. Тарасов, И.Е. Потехин. – М.: Горячая линия – Телеком, 2007. – 248 с.

6. Тарасов И.Е. Разработка цифровых устройств на основе ПЛИС фирмы Xilinx с применением языка VHDL / И.Е. Тарасов. – М.: Горячая линия – Телеком, 2005. – 252 с.

7. Угрюмов Е.П. Цифровая схемотехника: учеб. пособие / Е.П. Угрюмов. – 2-е изд., перераб. и доп. – СПб.: БХВ-Петербург, 2004. – 528 с.

8. Петров М.Н. Моделирование компонентов и элементов интегральных схем: учеб. пособие / М.Н. Петров, Г.В. Гудков. – СПб.: Лань, 2011. – 462 с.

9. Строгонов А.В. Цифровая обработка сигналов в базисе программируемых логических интегральных: учеб. пособие / А.В. Строгонов. – 2-е изд., испр. и доп. – СПб.: Лань, 2015. – 310 с. [Электронный ресурс].

10. Строгонов А.В. Основы цифровой обработки сигналов: учеб. пособие / А.В. Строгонов. – Воронеж: ФГБОУ ВПО «ВГТУ», 2014. [Электронный ресурс].

11. Строгонов А.В. Системное проектирование программируемых логических интегральных схем: учеб. пособие / А.В. Строгонов. – Воронеж: ФГБОУ ВПО «ВГТУ», 2012. – 322 с. [Электронный ресурс].

12. Строгонов А.В. Основы микросхемотехники интегральных схем: учеб. пособие / А.В. Строгонов. – Воронеж: ФГБОУ ВПО «ВГТУ», 2012. [Электронный ресурс].

13. Строгонов А.В. Проектирование устройств цифровой обработки сигналов для реализации в базисе программируемых логических интегральных схем: учеб. пособие / А.В. Строгонов. Воронеж: ФГБОУ ВПО «ВГТУ», 2013. – 323 с. [Электронный ресурс].

14. Строгонов А.В. Методические указания к курсовому проектированию по дисциплине «Проектирование БИС» / А.В. Строгонов, Д.С. Шацких. – Воронеж: ФГБОУ ВПО «ВГТУ», 2010.

15. Строгонов А.В. Методические указания к выполнению лабораторных работ по дисциплине «Проектирование БИС» / А.В. Строгонов, Н.Н. Кошелева. – Воронеж: ФГБОУ ВПО «ВГТУ», 2009.

16. Строгонов А.В. Методические указания к выполнению лабораторных работ по дисциплине «Проектирование БИС» / А.В. Строгонов, Н.Н. Кошелева. – Воронеж: ФГБОУ ВПО «ВГТУ», 2009.

8.2 Перечень информационных технологий, используемых при осуществлении образовательного процесса по дисциплине, включая перечень лицензионного программного обеспечения, ресурсов информационно-телекоммуникационной сети «Интернет», современных профессиональных баз данных и информационных справочных систем:

Методические указания к выполнению лабораторных работ представлены на сайте: <http://cchgeu.ru/>.

Образовательный портал ВГТУ: <https://old.education.cchgeu.ru>

САПР БИС Tanner

САПР ПЛИС Altera Quartus II+ Altera DSP Builder

САПР ПЛИС Xilinx ISE+ Xilinx System Generator

Системы цифрового моделирования ModelSim-Altera
 Система визуально-имитационного моделирования Matlab/Simulink
 Программа синтеза логики Synplicity Synplify
 www.labfor.ru Лаборатории электронных средств обучения, ЛЭСО ГОУ ВПО «СибГУТИ»
 www.asic.ru НПК «Технологический центр»
 www.tcen.ru НПК «Технологический центр»
 www.e-kir.ru Электронные версии журнала «Компоненты и технология»

9 МАТЕРИАЛЬНО-ТЕХНИЧЕСКАЯ БАЗА, НЕОБХОДИМАЯ ДЛЯ ОСУЩЕСТВЛЕНИЯ ОБРАЗОВАТЕЛЬНОГО ПРОЦЕССА

1. Специализированная лекционная аудитория, оснащенная оборудованием для лекционных демонстраций и проекционной аппаратурой.
2. Дисплейный класс, оснащенный компьютерными программами для выполнения расчетов, и рабочими местами для самостоятельной подготовки обучающихся с выходом в «Интернет».
3. Учебный лабораторный стенд на ПЛИС структуры FPGA - LESO2.

10 МЕТОДИЧЕСКИЕ УКАЗАНИЯ ДЛЯ ОБУЧАЮЩИХСЯ ПО ОСВОЕНИЮ ДИСЦИПЛИНЫ (МОДУЛЯ)

По дисциплине «Схемотехника цифровых больших интегральных схем» читаются лекции, проводятся лабораторные и практические занятия.

Основой изучения дисциплины являются лекции, на которых излагаются наиболее существенные и трудные вопросы, а также вопросы, не нашедшие отражения в учебной литературе.

Практические занятия проводятся путем решения стандартных и прикладных задач в аудитории.

Лабораторные работы выполняются на лабораторном оборудовании в соответствии с методиками, приведенными в указаниях к выполнению работ.

Большое значение по закреплению и совершенствованию знаний имеет самостоятельная работа студентов. Информацию о всех видах самостоятельной работы студенты получают на занятиях.

Контроль усвоения материала дисциплины осуществляется тестированием. Освоение дисциплины оценивается на экзамене.

Вид учебных занятий	Деятельность студента
Лекция	Написание конспекта лекций: кратко, схематично, последовательно фиксировать основные положения, выводы, формулировки, обобщения; помечать важные мысли, выделять ключевые слова, термины. Проверка терминов, понятий с помощью энциклопедий, словарей, справочников с выписыванием толкований в тетрадь. Обозначение вопросов, терминов, материала, которые вызывают трудности, поиск ответов в рекомендуемой литературе. Если самостоятельно не удастся разобраться в материале, необходимо сформулировать вопрос и задать преподавателю на лекции или на практике.

	ском занятии.
Практическое занятие	Конспектирование рекомендуемых источников. Работа с конспектом лекций, подготовка ответов к контрольным вопросам, просмотр рекомендуемой литературы. Прослушивание аудио- и видеозаписей по заданной теме, решение задач по алгоритму.
Лабораторная работа	Лабораторные работы позволяют научиться применять теоретические знания, полученные на лекции, при решении конкретных задач. Чтобы наиболее рационально и полно использовать все возможности лабораторных работ, для подготовки к ним необходимо: разобрать лекцию по соответствующей теме, ознакомиться с соответствующим разделом учебника, проработать дополнительную литературу и источники, решить задачи и выполнить другие письменные задания.
Самостоятельная работа	Самостоятельная работа студентов способствует глубокому усвоению учебного материала и развитию навыков самообразования. Самостоятельная работа предполагает следующие составляющие: <ul style="list-style-type: none"> - работа с текстами: учебниками, справочниками, дополнительной литературой, а также проработка конспектов лекций; - работа над темами для самостоятельного изучения; - участие в работе студенческих научных конференций, олимпиад; - подготовка к промежуточной аттестации.
Подготовка к промежуточной аттестации	Готовиться к промежуточной аттестации следует систематически, в течение всего семестра. Интенсивная подготовка должна начаться не позднее, чем за месяц-полтора до промежуточной аттестации. Данные перед экзаменом три дня эффективнее всего использовать для повторения и систематизации материала.

ЛИСТ РЕГИСТРАЦИИ ИЗМЕНЕНИЙ

№ п/п	Перечень вносимых изменений	Дата вне- сения из- менений	Подпись заведую- щего кафедрой, от- ветственной за реа- лизацию ОПОП
1			
2			
3			
4			
5			