

Аннотация дисциплины

Б1.В.ОД.7 «Методология проектирования больших интегральных схем»

Общая трудоемкость изучения дисциплины составляет: 3 ЗЕТ (108 ч).

Цели изучения дисциплины: обеспечение основ проектирования больших интегральных схем (БИС) по субмикронной КМОП-технологии с привлечением различных уровней и методов проектирования. Изучение дисциплины должно способствовать формированию у студентов основ разработки основных функциональных узлов БИС на различных уровнях проектирования.

Для достижения цели ставятся **задачи**:

- изучение уровней представления и маршрутов проектирования БИС;
- изучение основных архитектур БИС;
- изучение проблем, связанных с проектированием БИС и по субмикронным проектным нормам, и методов их решения;
- получение практических навыков работы с системой визуально-имитационного моделирования Mathlab/Simulink для разработки имитационных моделей различных архитектур БИС на уровне системы с последующим созданием функциональных моделей на языке VHDL;
- освоение языка VHDL для написания кода основных функциональных блоков с использованием САПР Quartus II и симулятора ModelSim-Altera;
- получение практических навыков работы с САПР Tanner EDA для разработки электрических схем и топологии функциональных блоков БИС по масштабируемой КМОП-технологии.

Компетенции обучающегося, формируемые в результате освоения дисциплины

ОК-4	способностью адаптироваться к изменяющимся условиям, переоценивать накопленный опыт, анализировать свои возможности
ОПК-2	способностью использовать результаты освоения дисциплин программы магистратуры
ПК-2	способностью разрабатывать эффективные алгоритмы решения сформулированных задач с использованием современных языков программирования и обеспечивать их программную реализацию
ПКВ-1	способность к восприятию, разработке и критической оценке новых способов проектирования твердотельных приборов и устройств

Основные дидактические единицы (разделы):

Проблемы, связанные с проектированием БИС по субмикронным проектным нормам, и методы их решения. Методология проектирования цифровых устройств с использованием языков описания аппаратуры VHDL/Verilog-HDL

на RTL-уровне. Примеры проектирования сложно-функциональных цифровых устройств с использованием языков описания аппаратуры VHDL/Verilog-HDL. Методология проектирования сложно-функциональных аналого-цифровых устройств КМОП БИС с использованием языка A-Verilog. Схемотехническое проектирование логических элементов КМОП БИС на транзисторном уровне. Схемотехническое проектирование схем потоковой обработки информации КМОП БИС с учетом быстродействия, потребляемой мощности и площади. Топологическое проектирование логических элементов КМОП БИС в САПР Tanner. Методология проектирования схем синхронизации в БИС и ПЛИС. Методология верификации проектов.

В результате изучения дисциплины «Методология проектирования больших интегральных схем» студент-магистрант должен:

знать:

- методологию проектирования цифровых и аналого-цифровых БИС (ОК-4);
- основы высокоуровневых языков описания аппаратных средств VHDL/Verilog для проектирования цифровых устройств (ОПК-2);
- основы высокоуровневого языка описания аппаратных средств A-Verilog для проектирования аналоговых устройств (ОПК-2);
- понятия о конструктивно-технологических проектных нормах масштабируемой КМОП-технологии (MOSIS Scalable CMOS design rules) и правила проектирования (ОК-4);
- различные виды схемотехнического анализа моделирования для Spice-симуляторов САПР БИС (на примере T-Spice) (ОК-4, ОПК-2);
- основы топологии логических элементов и триггеров КМОП БИС (ОК-4);

уметь:

- проводить качественный анализ работы МОП транзисторов и КМОП логических элементов, вычислять паразиты для субмикронных БИС (ПК-2);
- пользоваться SPICE-моделями МОП транзисторов по субмикронной КМОП-технологии для проведения схемотехнического моделирования в САПР БИС Tanner EDA (ПК-2);
- разрабатывать топологический чертеж логических элементов и последовательностных устройств в “ручном”, с использованием символьного представления и в автоматизированном режимах с использованием топологических редакторов САПР БИС по методу стандартных ячеек (ПК-2);
- восстанавливать из описания топологии электрические схемы по КМОП-технологии (ПК-2);

владеть:

- навыками работы со схемотехническим редактором SEdit, с редактором топологии L-Edit и симулятором T-Spice САПР БИС Tanner EDA (ПКВ-1);
- процессом проектирования сложно-функциональных блоков в базисе ПЛИС в САПР Quartus II компании Altera, с использованием высокоуровневых языков описания аппаратуры VHDL/Verilog и симулятора ModelSim-Altera (ПКВ-1).

Виды учебной работы: лекции, практические занятия.

Формы контроля: экзамен.