МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ

Федеральное государственное бюджетное образовательное учреждение высшего образования
«Воронежский государственный технический университет»

УТВЕРЖДАЮ
Декан факультета _____ Небольсин В.А.
«16» декабря 2022 г.

РАБОЧАЯ ПРОГРАММА
дисциплины

«Интегральные устройства радиоэлектроники»

Направление подготовки 11.03.03 Конструирование и технология электронных средств
Профиль Проектирование и технология радиоэлектронных средств

Квалификация выпускника бакалавр

Нормативный период обучения 4 года / 4 года 11 месяцев

Форма обучения Очная / Заочная

Год начала подготовки 2023

Автор программы _____ Пирогов А.А.

Заведующий кафедрой _____ Башкиров А.В.

Руководитель ОПОП _____ Пирогов А.А.

Воронеж 2022

1 ЦЕЛИ И ЗАДАЧИ ДИСЦИПЛИНЫ

1.1 Цели дисциплины: изучение принципов работы, материалов, конструкций и технологических процессов изготовления интегральных устройств электроники, освоение методик проектирования интегральных устройств электроники.

1.2 Задачи освоения дисциплины:

– теоретическое изучение устройства аналоговых интегральных структур, физических принципов работы, характеристик и особенностей их применения в производстве РЭС;

– изучение назначения и принципов действия основных устройств интегральной электроники;

– приобретение навыков проектирования РЭС с применением современных САПР.

2 МЕСТО ДИСЦИПЛИНЫ В СТРУКТУРЕ ОПОП

Дисциплина «Интегральные устройства радиоэлектроники» относится к дисциплинам обязательной части блока Б.1 учебного плана.

3 ПЕРЕЧЕНЬ ПЛАНИРУЕМЫХ РЕЗУЛЬТАТОВ ОБУЧЕНИЯ ПО ДИСЦИПЛИНЕ

Процесс изучения дисциплины «Интегральные устройства радиоэлектроники» направлен на формирование следующих компетенций:

ПК-2 - Способен выполнять проектирование радиоэлектронных устройств в соответствии с техническим заданием с использованием средств автоматизации проектирования.

Компетенция	Результаты обучения, характеризующие сформированность компетенции
ПК-2	знать состав и методику разработки моделей сложно-функциональных блоков с использованием схемного редактора
	уметь разрабатывать функциональные узлы и сложно-функциональные блоки с использованием библиотек стандартных элементов, моделировать и получать их временные параметры
	владеть навыками отладки и верификации моделей сложно-функциональных блоков, реализовывать прототипы устройств с использованием отладочных плат

4 ОБЪЕМ ДИСЦИПЛИНЫ

Общая трудоемкость дисциплины «Интегральные устройства радиоэлектроники» составляет 8 зачётных единиц.

Распределение трудоемкости дисциплины по видам занятий

Очная форма обучения

Вид учебной работы	Всего часов	Семестры 7	Семестры 8
Аудиторные занятия (всего)	72	36	36
В том числе:			
Лекции	30	18	12
Практические занятия (ПЗ)			
Лабораторные работы (ЛР)	42	18	24
Самостоятельная работа	189	126	63
Курсовой проект	+		+
Контрольная работа			
Вид промежуточной аттестации - зачет - экзамен	 + 27	 + 	 27
Общая трудоемкость час	288	162	126
зач. ед.	8	4.5	3.5

Заочная форма обучения

Вид учебной работы	Всего часов	Семестры 10
Аудиторные занятия (всего)	12	12
В том числе:		
Лекции	4	4
Практические занятия (ПЗ)		
Лабораторные работы (ЛР)	8	8
Самостоятельная работа	267	267
Курсовой проект	+	+
Контрольная работа		
Вид промежуточной аттестации – экзамен	9	9
Общая трудоемкость час	288	288
зач. ед.	8	8

5 СОДЕРЖАНИЕ ДИСЦИПЛИНЫ

5.1 Содержание разделов дисциплины и распределение трудоемкости по видам занятий

Очная форма обучения

№ п/п	Наименование темы	Содержание раздела	Лекц	Лаб. зан.	СРС	Всего, час
1	Проектирование цифровых функциональных узлов комбинационного типа на вентильном уровне моделирования	1. Принципы построения и функционирования шифраторов и дешифраторов. 2. Принципы построения и функционирования мультиплексоров. Реализация демультиплек-	8	16	27	51

		соров. 3. Общие сведения об арифметических цифровых узлах. Полусумматоры. Полные сумматоры. Цифровые компараторы. 4. Преобразователи кодов, классификация двоичных кодов и их синтез.				
2	Проектирование цифровых функциональных узлов последовательностного типа на вентильном уровне моделирования	1. Триггер как элемент памяти: структурная схема триггера, роль составляющих частей триггера, назначение входов триггера. Асинхронный и синхронный триггеры. Асинхронный RS – триггер, одноступенчатый синхронный RS – триггер, D – триггер со статическим и динамическим входами, JK-триггер: схема, таблица истинности, переключательная функция, функционирование. Преобразование JK – триггера в RS – , D – , T – триггеры. 2. Регистры хранения, сдвигающие, реверсивные. Регистровые делители частоты и генераторы псевдослучайных последовательностей. 3. Принципы построения и функционирования суммирующих, вычитающих и реверсивных счетчиков. Способы обеспечения заданного модуля счета. 4. Цифровые автоматы	8	16	27	51
3	Реализация и верификация моделей цифровых функциональных узлов с использованием отладочных плат ПЛИС	1. Программируемые логические матрицы (ПЛМ), программируемая матричная логика (ПМЛ). Базовые матричные кристаллы (БМК). Программируемые структуры CPLD и FPGA. 2. Программируемые логические интегральные схемы (ПЛИС) типа FPGA. Общие сведения. Архитектура и основные модули программируемых логических интегральных схем типа FPGA. Логические блоки, система коммутации, блоки ввода/вывода. 3. Использование схем с программируемой структурой (ПЛИС). Маршрут проектирования цифровых устройств на ПЛИС. Программируемые логические интегральные схемы Xilinx семейства Spartan 3E. 4. Структура «Система на кристалле» и «Система в копусе»	8	16	27	51
		Итого	**24**	**42**	**189**	**261**

Заочная форма обучения

№ п/п	Наименование темы	Содержание раздела	Лекц	Лаб. зан.	СРС	Всего, час
1	Проектирование цифровых функциональных узлов комбинационного типа на вентильном уровне моделирования	1. Принципы построения и функционирования шифраторов и дешифраторов. 2. Принципы построения и функционирования мультиплексоров. Реализация демультиплексоров. 3. Общие сведения об арифметических цифровых узлах. Полусумматоры. Полные сумматоры. Цифровые компараторы. 4. Преобразователи кодов, классификация двоичных кодов и их синтез.	2	4	53	59
2	Проектирование цифровых функциональных узлов последовательностного типа на вентильном уровне моделирования	1. Триггер как элемент памяти: структурная схема триггера, роль составляющих частей триггера, назначение входов триггера. Асинхронный и синхронный триггеры. Асинхронный RS – триггер, одноступенчатый синхронный RS – триггер, D – триггер со статическим и динамическим входами, JK-триггер: схема, таблица истинности, переключательная функция, функционирование. Преобразование JK – триггера в RS – , D – , T –	2	2	53	57

		триггеры. 2. Регистры хранения, сдвигающие, реверсивные. Регистровые делители частоты и генераторы псевдослучайных последовательностей. 3. Принципы построения и функционирования суммирующих, вычитающих и реверсивных счетчиков. Способы обеспечения заданного модуля счета. 4. Цифровые автоматы				
3	Реализация и верификация моделей цифровых функциональных узлов с использованием отладочных плат ПЛИС	1. Программируемые логические матрицы (ПЛМ), программируемая матричная логика (ПМЛ). Базовые матричные кристаллы (БМК). Программируемые структуры CPLD и FPGA. 2. Программируемые логические интегральные схемы (ПЛИС) типа FPGA. Общие сведения. Архитектура и основные модули программируемых логических интегральных схем типа FPGA. Логические блоки, система коммутации, блоки ввода/вывода. 3. Использование схем с программируемой структурой (ПЛИС). Маршрут проектирования цифровых устройств на ПЛИС. Программируемые логические интегральные схемы Xilinx семейства Spartan 3E. 4. Структура «Система на кристалле» и «Система в копусе»	-	2	53	55
		Итого	**4**	**8**	**267**	**279**

Практическая подготовка при освоении дисциплины учебным планом не предусмотрена.

5.2 Перечень лабораторных работ

1. Проектирование и верификация шифраторов и дешифраторов в системе автоматизированного проектирования.
2. Проектирование и верификация мультиплексоров и демультиплексоров в системе автоматизированного проектирования.
3. Проектирование и верификация сумматоров и цифровых компараторов в системе автоматизированного проектирования.
4. Проектирование и верификация преобразователей кодов в системе автоматизированного проектирования.
5. Проектирование и верификация триггеров RS, JK, D, T - типа в системе автоматизированного проектирования
6. Проектирование и верификация регистров в системе автоматизированного проектирования
7. Проектирование и верификация счетчиков в системе автоматизированного проектирования
8. Проектирование и верификация цифровых автоматов в системе автоматизированного проектирования
9. Физическая верификация цифровых устройств с использованием отладочных плат ПЛИС
10. Разработка программного интерфейса клавиатуры отладочной платы ПЛИС

6 ПРИМЕРНАЯ ТЕМАТИКА КУРСОВЫХ ПРОЕКТОВ (РАБОТ) И КОНТРОЛЬНЫХ РАБОТ

В соответствии с учебным планом освоение дисциплины предусматривает выполнение курсового проекта в 8 семестре для очной формы обучения и на 5 курсе для заочной формы обучения.

Примерная тематика курсового проекта: «Проектирование оперативного запоминающего устройства статического типа»

Задачи, решаемые при выполнении курсового проекта:

• Разработка схемы запоминающего устройства.

• Верификация полученной модели, построение временных диаграмм.

• Физическая верификация модели с использованием отладочной платы ПЛИС

Курсовой проект включает в себя графическую часть и расчетно-пояснительную записку.

7 ОЦЕНОЧНЫЕ МАТЕРИАЛЫ ДЛЯ ПРОВЕДЕНИЯ ПРОМЕЖУТОЧНОЙ АТТЕСТАЦИИ ОБУЧАЮЩИХСЯ ПО ДИСЦИПЛИНЕ

7.1 Описание показателей и критериев оценивания компетенций на различных этапах их формирования, описание шкал оценивания

7.1.1 Этап текущего контроля

Результаты текущего контроля знаний и межсессионной аттестации оцениваются по следующей системе:

«аттестован»;

«не аттестован».

Компетенция	Результаты обучения, характеризующие сформированность компетенции	Критерии оценивания	Аттестован	Не аттестован
ПК-2	знать состав и методику разработки моделей сложно-функциональных блоков с использованием схемного редактора	Отвечает на теоретические вопросы при устном опросе и защите лабораторной работы.	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
	уметь разрабатывать функциональные узлы и сложно-функциональные блоки с использованием библиотек стандартных элементов, моделировать и получать их временные параметры	Активно работает на лабораторных занятиях.	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
	владеть навыками отладки и верификации моделей сложно-функциональных блоков, реализовывать прототипы устройств с использованием отладочных плат	Высокий уровень самостоятельности при выполнении лабораторных работ и оформлении отчетов	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах

7.1.2 Этап промежуточного контроля знаний

Результаты промежуточного контроля знаний оцениваются в 8 семестре для очной формы обучения и в 10 семестре для заочной формы обучения по системе:

«отлично»;

«хорошо»;

«удовлетворительно»;

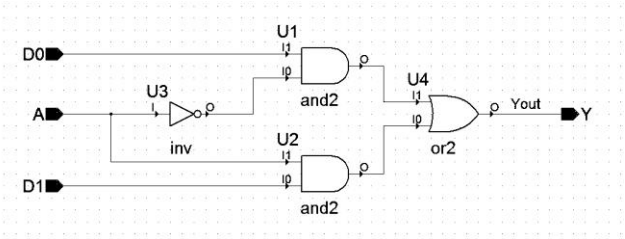
«неудовлетворительно».

Компетенция	Результаты обучения, характеризующие сформированность компетенции	Критерии оценивания	Отлично	Хорошо	Удовл.	Неудовл.
ПК-2	знать состав и методику разработки моделей сложно-функциональных блоков с использованием схемного редактора	Тест	Выполнение теста на 90-100%	Выполнение теста на 80-90%	Выполнение теста на 70-80%	В тесте менее 70% правильных ответов
	уметь разрабатывать функциональные узлы и сложно-функциональные блоки с использованием библиотек стандартных элементов, моделировать и получать их временные параметры	Решение стандартных практических задач	Задачи решены в полном объеме и получены верные ответы	Продемонстрирован верный ход решения всех, но не получен верный ответ во всех задачах	Продемонстрирован верный ход решения в большинстве задач	Задачи не решены
	владеть навыками отладки и верификации моделей сложно-функциональных блоков, реализовывать прототипы устройств с использованием отладочных плат	Решение прикладных задач в конкретной предметной области	Задачи решены в полном объеме и получены верные ответы	Продемонстрирован верный ход решения всех, но не получен верный ответ во всех задачах	Продемонстрирован верный ход решения в большинстве задач	Задачи не решены

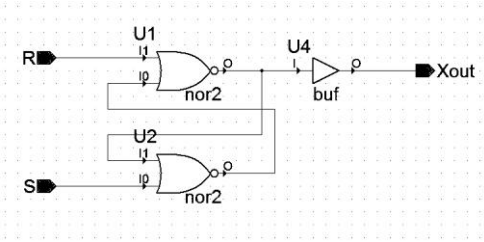
7.2 Примерный перечень оценочных средств (типовые контрольные задания или иные материалы, необходимые для оценки знаний, умений, навыков и (или) опыта деятельности)

7.2.1 Примерный перечень заданий для подготовки к тестированию

1. Выберете рисунок, на котором изображен RS-триггер



А



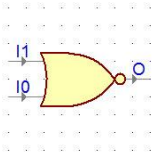
В

2. Установите взаимно-однозначное соответствие между этапами проектирования модели на логическом уровне и необходимым программным инструментом.

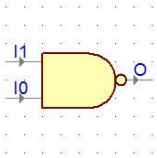
Схемный редактор система автоматизированного проектирования Xilinx ISE и его функциональное назначение инструментов. Заполните таблицу.

1.	Компоновка элементов и блоков схемы на чертеже	A	ISim
2.	Трассировка в соответствии со структурой схемой	B	Add Wire
3.	Назначение портов ввода\вывода	C	Design/Simulation
4.	Программное моделирование, симуляция	D	Add I\O Marker
5.	Визуализация и анализ результатов	E	Add Symbol

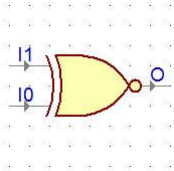
3. Какой из указанных элементов следует исключить, как не соответствующий базисам «2ИЛИ-НЕ» и «2И-НЕ»?



A



B



C

4. Расположите операции получения временных диаграмм в верном порядке

A – Назначение симуляторов входных сигналов;
B – Добавление портов ввода\вывода в поле симулятора;
C – Регистрация выходных характеристик;
D – Установка времени симуляции.

5. В качестве средств описания выступают модели различных уровней сложности. Какие модели используются для проектирования цифровых устройств?

A. Логическая модель;
B. Регрессионная модель;
C. Модель с временными задержками;
D. Модель с учетом электрических эффектов (или электрическая модель).

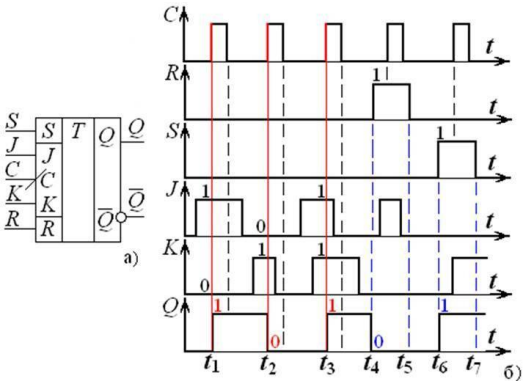
6. Какой символ в начале строки согласно синтаксису запрещает обращение к элементу (строке назначения порта ввода\вывода) файла конфигурации Basys.ucf?
A – «%», B – «$», C – «#», D – «@»

7. Заполнить таблицу истинности JK – триггера с асинхронными RS входами.
Таблица истинности является важным инструментом описания работы цифровых устройств, одним из элементов маршрута построения моделей на логическом уровне, показывается связь между логическим выражением, логической схемой и временной диаграммой

Работа JK-триггера описывается характеристическим уравнением.

$$Q^{t+1} = \overline{Q^t}\,J + Q^t\,\overline{K}$$

Временные диаграммы приведены на рисунке ниже.



Условно-графическое обозначение (а) и временная диаграмма (б) работы JK-триггера с асинхронными RS входами

Бланк задания

Таблица истинности JK-триггера

J	**K**	**Q_t**	**Q_{t+1}**
X			
	X		

Проверяемый критерий	**Балл**
Заполненная таблица истинности JK-триггера **J** | **K** | **Q_t** | **Q_{t+1}** X | 0 | 0 | 0 0 | 1 | 0 | 1 1 | 0 | 1 | 0 0 | X | 1 | 1 0 – в таблице допущены две и более ошибки; 1 – в таблице допущена одна ошибка; 2 – таблица заполнена без ошибок.	0 / 1 / 2

8. В качестве элементов трассировки модулей логической схемы могут быть использованы как одноразрядные проводники, так и шины данных. Пояснить порядок и особенности применения данного программного инструмента трассировки.

Ключ для проверки правильного ответа.

Проверяемый критерий	**Балл**
Шины размещаются на схеме, в отличии от проводников проходят между	2

многоразрядными портами функциональных узлов. Шине необходимо задавать в свойствах имя и разрядность. К шине нельзя подключать проводники, не являющиеся компонентами шины, которым присваиваться индекс в зависимости от разряда, к которому они относятся. Левая граница диапазона индексов, задающих ширину шины, всегда соответствует старшему значению разряда. Шины размещаются на схеме, в отличие от проводников проходят между многоразрядными портами функциональных узлов. Шине необходимо задавать в свойствах имя и разрядность. Не соответствует ни одному из заданных требований	1 0

9. Пояснить работу симуляторов, с помощью которых можно устанавливать постоянный длительный уровень (верхний или нижний) сигнала информационной последовательности при моделировании.

Ключ для проверки правильного ответа.

Проверяемый критерий	Балл
Длительное временное воздействие можно задавать по средствам стимуляторов Formula (задание входных сигналов по указанной закономерности), Value (задание фиксированного значения сигнала на весь временной диапазон моделирования), Hotkey (переключение состояний входных сигналов с использованием «горячих клавиш» клавиатуры). Симулятор Clock для данного случая не подходит, ввиду программных ограничений на длительность импульса и паузы. Длительное временное воздействие можно задавать по средствам стимуляторов Value (задание фиксированного значения сигнала на весь временной диапазон моделирования), Hotkey (переключение состояний входных сигналов с использованием «горячих клавиш» клавиатуры). Не соответствует ни одному из заданных требований	2 1 0

10. Модель цифрового функционального узла получена, проведено тестирование, получены временные диаграммы. Для проведения физической верификации проекта необходимо провести работу с отладочной платой. Перечислите операции необходимые для непосредственного программирования отладочной платы Digilent Basys 2.

Ключ для проверки правильного ответа.

Проверяемый критерий	Балл
Выбрать режим работы отладочной платы. Поставить перемычку в режим «PC», для программирования микросхемы FPGA XC3S250E или в режим «ROM» для установки прошивки в энергонезависимую память PROM. Подключить отладочную плату к ПК, удаление предыдущей прошивки выполнять необязательно, система при подтверждении произведет последовательно стирание и программирование интегральной схемы. Перед программированием необходимо подключить отладочную плату к ПК, осуществить удаление предыдущей прошивки и произвести программирование. Не соответствует ни одному из заданных требований	2 1 0

7.2.2 Примерный перечень заданий для решения стандартных задач

Получить минимизированную ДНФ с помощью карты Карно (диаграммы Вейча), построить схему на логических элементах, построить временную диаграмму

$1)\ f = abcd \vee \bar{a}\bar{b}\bar{c} \vee \bar{a}bd \vee \bar{a}c\bar{d} \vee \bar{a}\bar{b}\bar{c}\bar{d} \vee \bar{b}c\bar{d} \vee a\bar{b}\bar{c}\bar{d};$

$2)\ f = \bar{a}b\bar{c} \vee \bar{a}c\bar{d} \vee bc\bar{d} \vee abcd \vee acd \vee \bar{a}\bar{b}\bar{c}\bar{d} \vee \bar{a}\bar{b}cd;$

$3)\ f = abcd \vee a\bar{c}d \vee \bar{a}c\bar{d} \vee \bar{a}bd \vee \bar{a}\bar{b}c\bar{d} \vee a\bar{b}c\bar{d} \vee a\bar{d}\bar{c};$

$4)\ f = \bar{a}\bar{b}\bar{c}\bar{d} \vee \bar{a}b\bar{c} \vee \bar{a}cd \vee a\bar{b}c\bar{d} \vee \bar{a}\bar{b}c \vee ac\bar{d} \vee a\bar{b}\bar{c}d;$

$5)\ f = \bar{a}\bar{c}\bar{d} \vee \bar{a}cd \vee bcd \vee abc\bar{d} \vee \bar{a}\bar{b}c\bar{d} \vee ab\bar{c}d \vee \bar{b}c\bar{d};$

$6)\ f = a\bar{b}\bar{c}\bar{d} \vee \bar{a}\bar{b}\bar{c}\bar{d} \vee \bar{a}bc\bar{d} \vee abd \vee \bar{a}\bar{b}\bar{c} \vee ac\bar{d} \vee a\bar{c}d;$

$7)\ f = \bar{a}\bar{c}\bar{d} \vee \bar{a}bd \vee a\bar{c}d \vee a\bar{b}cd \vee \bar{a}bc\bar{d} \vee \bar{a}\bar{b}\bar{c}\bar{d} \vee a\bar{b}\bar{c};$

$8)\ f = \bar{a}\bar{b}\bar{c} \vee \bar{a}b\bar{c}d \vee \bar{a}bc \vee abc\bar{d} \vee \bar{a}bc\bar{d} \vee \bar{a}c\bar{d} \vee ab\bar{c}\bar{d} \vee acd;$

$9)\ f = \bar{a}\bar{c}\bar{d} \vee \bar{a}\bar{b}c\bar{d} \vee \bar{a}cd \vee \bar{a}bd \vee \bar{a}\bar{b}cd \vee abc\bar{d} \vee a\bar{b}d;$

$10)\ f = abcd \vee \bar{a}\bar{b}\bar{c} \vee b\bar{c}\bar{d} \vee bcd \vee abd \vee \bar{a}bc\bar{d} \vee a\bar{b}c\bar{d};$

7.2.3 Примерный перечень заданий для решения прикладных задач

По булевой функции, заданной таблицей истинности, построить схемы в базисе «ЗИ-НЕ» и «ИЛИ-НЕ», построить временную диаграмму, провести отладку и физическую верификацию модели

Таблица

$x_1 x_2 x_3$	f^1	f^2	f^3	f^4	f^5	f^6	f^7	f^8
0 0 0	0	1	0	0	0	1	0	1
0 0 1	0	0	1	0	1	0	0	0
0 1 0	0	0	0	1	1	0	1	1
0 1 1	0	0	0	1	0	0	0	0
1 0 0	1	0	0	0	0	1	1	1
1 0 1	0	0	0	0	0	1	0	0
1 1 0	1	0	1	1	1	0	1	1
1 1 1	1	0	0	1	1	0	0	0

7.2.4 Примерный перечень вопросов для подготовки к зачету

Не предусмотрено учебным планом

7.2.5 Примерный перечень вопросов для подготовки к экзамену

1. Д - триггер типа «защелка»: схема, таблица истинности, ПФ, функционирование.
2. Преобразование JK триггера в RS - , Д - , Т – триггеры.
3. Функциональные узлы цифровых устройств.
4. Принципы построения и функционирования одноступенчатых дешифраторов.
5. Полусумматор: схема, функционирование.
6. Полный комбинационный одноразрядный сумматор: схема, функционирование.
7. Схема сравнения.
8. Принципы построения и функционирования мультиплексоров.
9. Принципы построения и функционирования демультиплексоров.

10. Реализация шифраторов.
11. Регистр хранения: схемы, функционирование.
12. Сдвигающие регистры: схемы, функционирование.
13. Реверсивный регистр: схема, функционирование.
14. Арифметический эквивалент сдвига двоичного кода.
15. Регистровые делители частоты: схема, функционирование.

7.2.6 Методика выставления оценки при проведении промежуточной аттестации

Экзамен проводится по тест-билетам, каждый из которых содержит 10 вопросов и задачу. Каждый правильный ответ на вопрос в тесте оценивается 1 баллом, задача оценивается в 10 баллов (5 баллов верное решение и 5 баллов за верный ответ). Максимальное количество набранных баллов – 20.

1. Оценка «Неудовлетворительно» ставится в случае, если студент набрал менее 6 баллов.

2. Оценка «Удовлетворительно» ставится в случае, если студент набрал от 6 до 10 баллов

3. Оценка «Хорошо» ставится в случае, если студент набрал от 11 до 15 баллов.

4. Оценка «Отлично» ставится, если студент набрал от 16 до 20 баллов.

7.2.7 Паспорт оценочных материалов

№ п/п	Контролируемые разделы (темы) дисциплины	Код контролируемой компетенции	Наименование оценочного средства
1	Проектирование цифровых функциональных узлов комбинационного типа на вентильном уровне моделирования	ПК-2	Тест, вопросы к защите лабораторных работ, требования к курсовому проекту, вопросы к экзамену
2	Проектирование цифровых функциональных узлов последовательностного типа на вентильном уровне моделирования	ПК-2	Тест, вопросы к защите лабораторных работ, требования к курсовому проекту, вопросы к экзамену
3	Реализация и верификация моделей цифровых функциональных узлов с использованием отладочных плат ПЛИС	ПК-2	Тест, вопросы к защите лабораторных работ, требования к курсовому проекту, вопросы к экзамену

7.3 Методические материалы, определяющие процедуры оценивания знаний, умений, навыков и (или) опыта деятельности

Тестирование осуществляется, либо при помощи компьютерной системы тестирования, либо с использованием выданных тест-заданий на бумажном носителе. Время тестирования 30 мин. Затем осуществляется проверка теста экзаменатором и выставляется оценка согласно методике выставления оценки при проведении промежуточной аттестации.

Решение стандартных задач осуществляется, либо при помощи компьютерной системы тестирования, либо с использованием выданных задач на бумажном носителе. Время решения задач 30 мин. Затем осуществляется проверка решения задач экзаменатором и выставляется оценка, согласно методике выставления оценки при проведении промежуточной аттестации.

Решение прикладных задач осуществляется, либо при помощи компьютерной системы тестирования, либо с использованием выданных задач на бумажном носителе. Время решения задач 30 мин. Затем осуществляется проверка решения задач экзаменатором и выставляется оценка, согласно методике выставления оценки при проведении промежуточной аттестации.

Защита курсового проекта или отчета по всем видам практик осуществляется согласно требованиям, предъявляемым к работе, описанным в методических материалах. Примерное время защиты на одного студента составляет 20 мин.

8 УЧЕБНО МЕТОДИЧЕСКОЕ И ИНФОРМАЦИОННОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ

8.1 Перечень учебной литературы, необходимой для освоения дисциплины

1. Кретов С.Д. Интегральные устройства радиоэлектроники : учеб. пособие. - Воронеж : ВГТУ, 2004. – 146 с.
2. Пирогов А. А. Проектирование интегральных схем и их функциональных узлов: учеб. пособие / А. А. Пирогов. – Воронеж: Издательство Воронежского государственного университета, 2014. – 85 с.
3. Пирогов, А. А. Проектирование цифровых функциональных узлов на основе программируемых логических интегральных схем [Электронный ресурс] : практикум / ФГБОУ ВО "Воронеж. гос. техн. ун-т", каф. конструирования и производства радиоаппаратуры. – Воронеж : Воронежский государственный технический университет, 2018. – 93 с. : ил. : табл. – Библиогр.: с.77 (4 назв.). – ISBN 978-5-7731-0649-4.– Режим доступа: Пирогов А.А. Проектирование цифровых функциональных узлов на основе программируемых логических интегральных схем.
4. Тарасов И. Е. Программируемые логические схемы и их применение в схемотехнических решениях: учеб. пособие / И.Е. Тарасов, Е.Ф. Певцов. – М.: ФГБОУ ВПО «Московский государственный технический университет радиотехники, электроники и автоматики», 2012. – 184 с.
5. Сигачева, В. В. Проектирование автоматизированных систем управления. Проектирование электронных устройств в системе P-CAD : учебное пособие / В. В. Сигачева. — Санкт-Петербург : Санкт-Петербургский государственный университет промышленных технологий и дизайна, 2017. — 123 с. — ISBN 978-5-7937-1367-2. — Текст : электронный // Электронно-библиотечная система IPR BOOKS : [сайт]. — URL: https://www.iprbookshop.ru/102665.html
6. Строгонов А.В. Проектирование цифровых устройств в базисе ПЛИС:

лабораторный практикум: учеб. пособие [Электронный ресурс]. – Электрон. текстовые и граф. данные (3,7 Мб) / А.В. Строгонов, Н.Н. Кошелева, А.Б. Буслаев. - Воронеж: ФГБОУ ВО «Воронежский государственный технический университет», 2017. – Режим доступа: Строгонов А.В. Проектирование цифровых устройств в базисе ПЛИС

7. Методические указания по самостоятельной работе по дисциплине «Интегральные устройства радиоэлектроники» направление 211000.62 «Конструирование и технология электронных средств» (профиль «Проектирование и технология радиоэлектронных средств») всех форм обучения [Электронный ресурс] / Каф. конструирования и производства радиоаппаратуры, Сост.: А. В. Турецкий, Н. В. Ципина, А. А. Пирогов. - Электрон. текстовые, граф. дан. (281 Кб). - Воронеж : ФГБОУ ВПО «Воронежский государственный технический университет», 2015. – Режим доступа: SRS IUR.

8.2 Перечень информационных технологий, используемых при осуществлении образовательного процесса по дисциплине, включая перечень лицензионного программного обеспечения, ресурсов информационно-телекоммуникационной сети «Интернет», современных профессиональных баз данных и информационных справочных систем:

Перечень ПО, включая перечень лицензионного программного обеспечения:

ОС Windows 7 Pro;
Google Chrome;
Microsoft Office 64-bit;
Компас 3D;
Altium Designer;
DesignSpark PCB

Ресурсы информационно-телекоммуникационной сети «Интернет»:
http://window.edu.ru – единое окно доступа к информационным ресурсам;
http://www.edu.ru/ – федеральный портал «Российское образование»;
Образовательный портал ВГТУ;
http://www.iprbookshop.ru/ – электронная библиотечная система IPRbooks;
www.elibrary.ru – научная электронная библиотека

Профессиональные базы данных, информационные справочные системы:
https://docplan.ru/ – бесплатная база ГОСТ.

9 МАТЕРИАЛЬНО-ТЕХНИЧЕСКАЯ БАЗА, НЕОБХОДИМАЯ ДЛЯ ОСУЩЕСТВЛЕНИЯ ОБРАЗОВАТЕЛЬНОГО ПРОЦЕССА

Учебная аудитория для проведения лекционных занятий, оснащенная следующим оборудованием:

– персональный компьютер с установленным ПО, подключенный к сети Интернет;

– доска магнитно-маркерная;
– мультимедийный проектор на кронштейне;
– экран настенный

Учебная аудитория (лаборатория) для проведения лабораторных занятий, оснащенная следующим оборудованием:

– персональные компьютеры с установленным ПО, эмуляторами КР580 и EMURK286, подключенные к сети Интернет — 14 шт.;
– источник питания HY3020E- 9350 – 6 шт.;
– источник питания Б5-49 – 3 шт.;
– осциллограф GDS – 5 шт.;
– осциллограф цифровой запоминающий ОЦ3С02;
– универсальный генератор сигналов DG1022 – 4 шт.;
– цифровой осциллограф MSO2072A;
– электронная программируемая нагрузка AEL-8320 – 4 шт.;
– вольтметр В7-16А;
– частотомер MS6100;
– частотомер Ч3-35А

Помещение (Читальный зал) для самостоятельной работы с выходом в сеть «Интернет» и доступом в электронно-библиотечные системы и электронно-информационную среду, укомплектованное следующим оборудованием:

– персональные компьютеры с установленным ПО, подключенные к сети Интернет — 10 шт.;
– принтер;
– магнитно-маркерная доска;
– переносные колонки;
– переносной микрофон.

10 МЕТОДИЧЕСКИЕ УКАЗАНИЯ ДЛЯ ОБУЧАЮЩИХСЯ ПО ОСВОЕНИЮ ДИСЦИПЛИНЫ

По дисциплине «Интегральные устройства радиоэлектроники» читаются лекции, проводятся лабораторные работы, выполняется курсовой проект.

Основой изучения дисциплины являются лекции, на которых излагаются наиболее существенные и трудные вопросы, а также вопросы, не нашедшие отражения в учебной литературе. Лекции представляет собой систематическое, последовательное изложение учебного материала. Это – одна из важнейших форм учебного процесса и один из основных методов преподавания в вузе. На лекциях от студента требуется не просто внимание, но и самостоятельное оформление конспекта. Качественный конспект должен легко восприниматься зрительно, в его тексте следует соблюдать абзацы, выделять заголовки, нумеровать формулы, подчеркивать термины. В качестве ценного совета рекомендуется записывать не каждое слово лектора (иначе можно потерять мысль и начать писать автоматически, не вникая в смысл), а постараться понять основную мысль лектора, а затем записать, используя понятные сокращения.

Лабораторные работы выполняются на лабораторном оборудовании в соответствии с методиками, приведенными в указаниях к выполнению работ.

Самостоятельная работа студентов способствует глубокому усвоению учебного материала и развитию навыков самообразования. Самостоятельная работа предполагает ряд составляющих (см. таблицу ниже). Кроме базовых учебников рекомендуется самостоятельно использовать имеющиеся в библиотеке учебно-методические пособия. Независимо от вида учебника, работа с ним должна происходить в течение всего семестра. Эффективнее работать с учебником не после, а перед лекцией. При ознакомлении с каким-либо разделом рекомендуется прочитать его целиком, стараясь уловить общую логику изложения темы. При повторном чтении хорошо акцентировать внимание на ключевых вопросах и основных теоремах (формулах). Можно составить их краткий конспект.

Степень усвоения материала проверяется следующими видами контроля:

- текущий (опрос, контрольные работы, типовые расчеты);
- рубежный (коллоквиум);
- промежуточный (курсовая работа или курсовой проект, зачет, зачет с оценкой, экзамен).

Формами промежуточной аттестации для дисциплины «Интегральные устройства радиоэлектроники» являются экзамен и курсовой проект.

Вид учебных занятий	Деятельность студента
Лекция	Написание конспекта лекций: кратко, схематично, последовательно фиксировать основные положения, выводы, формулировки, обобщения; помечать важные мысли, выделять ключевые слова, термины. Проверка терминов, понятий с помощью энциклопедий, словарей, справочников с выписыванием толкований в тетрадь. Обозначение вопросов, терминов, материала, которые вызывают трудности, поиск ответов в рекомендуемой литературе. Если самостоятельно не удается разобраться в материале, необходимо сформулировать вопрос и задать преподавателю на лекции или на практическом занятии.
Лабораторная работа	Лабораторные работы позволяют научиться применять теоретические знания, полученные на лекции при решении конкретных задач. Чтобы наиболее рационально и полно использовать все возможности лабораторных для подготовки к ним необходимо: следует разобрать лекцию по соответствующей теме, ознакомится с соответствующим разделом учебника, проработать дополнительную литературу и источники, решить задачи и выполнить другие письменные задания.
Самостоятельная работа	Самостоятельная работа студентов способствует глубокому усвоению учебного материала и развитию навыков самообразования. Самостоятельная работа предполагает следующие составляющие: - работа с текстами: учебниками, справочниками, дополнительной литературой, а также проработка конспектов лекций; - выполнение домашних заданий и расчетов; - работа над темами для самостоятельного изучения; - участие в работе студенческих научных конференций, олимпиад;

	- подготовка к промежуточной аттестации.
Курсовой проект	Методика выполнения курсового проекта изложена в учебно-методическом пособии. Выполнять этапы курсового проекта студент должен своевременно и в установленные сроки. Контроль усвоения материала дисциплины производится проверкой курсового проекта, защитой курсового проекта.
Подготовка к промежуточной аттестации (экзамену)	Готовиться к промежуточной аттестации следует систематически, в течение всего семестра. Интенсивная подготовка должна начаться не позднее, чем за месяц-полтора до промежуточной аттестации. Данные перед экзаменом три дня эффективнее всего использовать для повторения и систематизации материала.