

**МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ
РОССИЙСКОЙ ФЕДЕРАЦИИ**

Федеральное государственное бюджетное образовательное учреждение
высшего образования

«Воронежский государственный технический университет»



УТВЕРЖДАЮ

Декан факультета радиотехники
и электроники

_____/ В.А. Небольсин /

31 августа 2021 г.

РАБОЧАЯ ПРОГРАММА

дисциплины

«Проектирование цифровых устройств в базисе ПЛИС»

Направление подготовки 11.03.04 Электроника и наноэлектроника

Профиль Микроэлектроника и твердотельная электроника

Квалификация выпускника бакалавр

Нормативный период обучения 4 года / 4 года и 11 мес.

Форма обучения очная / заочная

Год начала подготовки 2021

Автор программы

_____/  А.В. Строгонов

И.о. заведующего кафедрой
полупроводниковой электроники
и наноэлектроники

_____/  А.В. Строгонов

Руководитель ОПОП

_____/  А.В. Арсентьев

Воронеж 2021

1. ЦЕЛИ И ЗАДАЧИ ДИСЦИПЛИНЫ

1.1. Цели дисциплины: обеспечение основ проектирования цифровых устройств в базисе БИС программируемой логики (ПЛИС) с привлечением высокоуровневого языка описания аппаратных средств VHDL в САПР Quartus II (САПР Xilinx ISE) и системы визуально-имитационного моделирования Matlab/Simulink.

1.2. Задачи освоения дисциплины:

– изучение основ функционирования цифровых устройств, представленных схемным описанием на уровне вентилях, кодом языка VHDL, мегафункциями САПР Quartus II для реализации в базисе ПЛИС;

– освоение языка VHDL для написания кода моделей цифровых устройств с учетом архитектурных особенностей ПЛИС;

– получение практических навыков работы с системой визуально-имитационного моделирования Matlab/Simulink для разработки сложно-функциональных моделей цифровых устройств;

– получение практических навыков разработки управляющих автоматов с использованием приложения StateFlow и языка М-файлов системы Matlab/Simulink;

– извлечение кода языка VHDL с помощью приложения Simulink HDL coder с последующим созданием функциональных моделей в базисе ПЛИС в САПР Quartus II.

2. МЕСТО ДИСЦИПЛИНЫ В СТРУКТУРЕ ОПОП

Дисциплина Б1.В.16 «Проектирование цифровых устройств в базисе ПЛИС» относится к дисциплинам части блока Б1 учебного плана, формируемой участниками образовательных отношений.

3. ПЕРЕЧЕНЬ ПЛАНИРУЕМЫХ РЕЗУЛЬТАТОВ ОБУЧЕНИЯ ПО ДИСЦИПЛИНЕ

Процесс изучения дисциплины «Проектирование цифровых устройств в базисе ПЛИС» направлен на формирование следующих компетенций:

ПК-5: способность владеть современными методами расчета и проектирования микросистемных приборов и устройств твердотельной электроники, способность к восприятию, разработке и критической оценке новых способов их проектирования;

ПК-6: готовность к применению современных технологических процессов и технологического оборудования на этапах разработки и производства микросистемных приборов и устройств твердотельной электроники;

ПК-7: способность идентифицировать новые области исследований, новые проблемы в сфере физики, проектирования, технологии изготовления и применения микросистемных приборов и устройств.

Компетенция	Результаты обучения, характеризующие сформированность компетенции
ПК-5	знать основные функциональные узлы микропроцессорных устройств, используемые для реализации в базе ПЛИС;
	уметь строить функциональные модели цифровых устройств с применением языка VHDL и мегафункций в САПР ПЛИС Quartus II;
	владеть: навыками работы с САПР ПЛИС Quartus II и отладочными средствами; навыками проектирования цифровых устройств обработки сигналов в базе ПЛИС.
ПК-6	знать технологию программирования ПЛИС с использованием различных интерфейсов;
	уметь разрабатывать испытательные стенды на языке VHDL и пользоваться отладочными платами и лабораторными стендами для верификации проектов;
	владеть навыками отладки HDL-проектов с применением системы цифрового моделирования ModelSim.
ПК-7	знать основы высокоуровневого языка описания аппаратных средств (VHDL);
	уметь строить имитационные модели сложно-функциональных цифровых устройств в системе Matlab/Simulink;
	владеть навыками работы с системой визуально-имитационного моделирования Matlab/Simulink.

4. ОБЪЕМ ДИСЦИПЛИНЫ (МОДУЛЯ)

Общая трудоемкость дисциплины «Проектирование цифровых устройств в базе ПЛИС» составляет 5 зачетных единиц.

Распределение трудоемкости дисциплины по видам занятий

Очная форма обучения

Вид учебной работы	Всего часов	Семестры
		8
Аудиторные занятия (всего)	70	70
В том числе:		
Лекции	30	30
Практические занятия (ПЗ)	20	20
Лабораторные работы (ЛР)	20	20
Самостоятельная работа	83	83
Часы на контроль	27	27
Вид промежуточной аттестации – экзамен	+	+
Общая трудоемкость час	180	180
зач. ед.	5	5

Заочная форма обучения

Вид учебной работы	Всего часов	Семестры
		10
Аудиторные занятия (всего)	16	16
В том числе:		
Лекции	8	8
Практические занятия (ПЗ)	4	4
Лабораторные работы (ЛР)	4	4
Самостоятельная работа	155	155
Контрольная работа	+	+
Часы на контроль	9	9
Вид промежуточной аттестации – экзамен	+	+
Общая трудоемкость	час	180
	зач. ед.	5

5. СОДЕРЖАНИЕ ДИСЦИПЛИНЫ (МОДУЛЯ)

5.1 Содержание разделов дисциплины и распределение трудоемкости по видам занятий

очная форма обучения

№ п/п	Наименование темы	Содержание раздела	Лекц	Прак зан.	Лаб. зан.	СРС	Всего, час
1	Архитектуры вычислительных систем на ПЛИС	Классификация программируемых логических интегральных схем (ПЛИС). Понятие «система на кристалле» (СнК). Архитектуры микропроцессоров и микроконтроллеров. Микропроцессорные ядра (софт-процессоры). ЦОС–процессоры, динамические реконфигурируемые микропроцессорные системы на базе ПЛИС по архитектуре FPGA.	4	2	2	7	15
2	Типовая структура 8-разрядного микропроцессора	Архитектура восьмиразрядного микропроцессора. Стеки. Блок управления и синхронизации. Регистры общего и специального назначения. Счетчик программ. АЛУ. Регистр команд. Дешифратор команд. Система команд. Команды пересылки. Команды с непосредственной адресацией. Команды передачи управления. Арифметические и логические команды. Команды ввода/вывода. Информационные потоки в процессе выполнения команд. Команды обращения к памяти. Команды обращения к подпрограммам.	4	2	2	7	15
3	Проектирование цифровых фильтров в базе ПЛИС с использованием МАС-блоков и встроенных умножителей	Расчет параметров фильтров с использованием среды FDATool. Моделирование КИХ-фильтров с использованием системы визуально-имитационного Matlab/Simulink. Разработка проектов фильтров в базе ПЛИС.	4	2	2	7	15
4	Проектирование функциональных узлов микропроцессорных систем	Проектирование комбинационных и последовательностных устройств на языках VHDL/Vercilog.	4	2	2	8	16
5	Разработка имитационных моделей микропроцессорных ядер	Разработка имитационных моделей микропроцессорных ядер в системе Matlab/Simulink. Программирование в системе Matlab/Simulink. Создание M-функций основных функциональных узлов микропроцессорного ядра в системе Matlab/Simulink. Работа с отладчиком моделей Simulink Debugger. Формат с фиксированной запятой. fi-объекты системы Matlab.	4	2	2	9	17

6	Программные и аппаратные ядра ПЛИС Xilinx	Характеристики микропроцессорных ядер PicoBlaze, MicroBlazer, PowerPC фирмы Xilinx для реализации в базе ПЛИС. Система команд микропроцессорного ядра PicoBlaze.	2	2	2	9	15
7	Программные ядра ПЛИС СнК Altera	Архитектура, функциональные модули и набор инструкций микропроцессорного ядра Nios II фирмы Altera для реализации в базе ПЛИС. Среда разработки приложений для Nios II на языках C и ассемблер Altera Monitor Program.	2	2	2	9	15
8	Разработка программных ядер с помощью SOPC Builder	Компоненты SOPC Builder. Интерфейс Avalon.	2	2	2	9	15
9	Разработка микропроцессорных ядер в САПР ПЛИС Quartus II на языке VHDL.	Разработка функциональных блоков микропроцессорных ядер (регистры общего назначения, счетчик программ, АЛУ, ОЗУ, ПЗУ) с использованием мегафункций САПР ПЛИС Quartus II.	2	2	2	9	15
10	Встраиваемые микропроцессорные системы для реализации в базе ПЛИС	Получение практических навыков работы с отладочной платой DE2 фирмы Altera со встроенным софт-процессором Nios II на ПЛИС CYCLONE с использованием SOPC Builder в САПР Quartus II.	2	2	2	9	15
Всего			30	20	20	83	153
Контроль							27
Итого							180

заочная форма обучения

№ п/п	Наименование темы	Содержание раздела	Лекц	Прак зан.	Лаб. зан.	СРС	Всего, час
1	Архитектуры вычислительных систем на ПЛИС	Классификация программируемых логических интегральных схем (ПЛИС). Понятие «система на кристалле» (СнК). Архитектуры микропроцессоров и микроконтроллеров. Микропроцессорные ядра (софт-процессоры). ЦОС–процессоры, динамические реконфигурируемые микропроцессорные системы на базе ПЛИС по архитектуре FPGA.	2	-	2	15	19
2	Типовая структура 8-разрядного микропроцессора	Архитектура восьми разрядного микропроцессора. Стеки. Блок управления и синхронизации. Регистры общего и специального назначения. Счетчик программ. АЛУ. Регистр команд. Дешифратор команд. Система команд. Команды пересылки. Команды с непосредственной адресацией. Команды передачи управления. Арифметические и логические команды. Команды ввода/вывода. Информационные потоки в процессе выполнения команд. Команды обращения к памяти. Команды обращения к подпрограммам.	2	-	2	15	19
3	Проектирование цифровых фильтров в базе ПЛИС с использованием МАС-блоков и встроенных умножителей	Расчет параметров фильтров с использованием среды FDATool. Моделирование КИХ-фильтров с использованием системы визуально-имитационного Matlab/Simulink. Разработка проектов фильтров в базе ПЛИС.	2	-	-	15	17
4	Проектирование функциональных узлов микропроцессорных систем	Проектирование комбинационных и последовательностных устройств на языках VHDL/Vereilog.	2	-	-	15	17
5	Разработка имитационных моделей микропроцессорных ядер	Разработка имитационных моделей микропроцессорных ядер в системе Matlab/Simulink. Программирование в системе Matlab/Simulink. Создание М-функций основных функциональных узлов микропроцессорного ядра в системе Matlab/Simulink. Работа с отладчиком моделей Simulink Debugger. Формат с фиксированной запятой. fi-объекты системы Matlab.	-	-	-	15	15
6	Программные и аппаратные ядра ПЛИС Xilinx	Характеристики микропроцессорных ядер PicoBlaze, MicroBlazer, PowerPC фирмы Xilinx для реализации в базе ПЛИС. Система команд микропроцессорного ядра PicoBlaze.	-	-	-	16	16
7	Программные ядра ПЛИС СнК Altera	Архитектура, функциональные модули и набор инструкций микропроцессорного ядра Nios II фирмы Altera для реализации в базе ПЛИС. Среда разработки приложений для Nios II на языках C и ассемблер Altera Monitor Program.	-	2	-	16	18

8	Разработка программных ядер с помощью SOPC Builder	Компоненты SOPC Builder. Интерфейс Avalon.	-	2	-	16	18
9	Разработка микропроцессорных ядер в САПР ПЛИС Quartus II на языке VHDL.	Разработка функциональных блоков микропроцессорных ядер (регистры общего назначения, счетчик программ, АЛУ, ОЗУ, ПЗУ) с использованием мегафункций САПР ПЛИС Quartus II.	-	-	-	16	16
10	Встраиваемые микропроцессорные системы для реализации в базе ПЛИС	Получение практических навыков работы с отладочной платой DE2 фирмы Altera со встроенным софт-процессором Nios II на ПЛИС CYCLONE с использованием SOPC Builder в САПР Quartus II.	-	-	-	16	16
Всего			8	4	4	155	171
Контроль							9
Итого							180

5.2 Перечень лабораторных работ

1. Разработка проекта микропроцессорного ядра для реализации в базе ПЛИС на языке VHDL. Создание испытательного стенда на языке VHDL. Верификация проекта в системе цифрового моделирования Altera ModelSim
2. Разработка имитационной модели 8-разрядного микропроцессорного ядра с управляющим автоматом, представленного в виде текстового описания на языке М-файлов системы Matlab/Simulink с последующим извлечением кода языка VHDL с помощью приложения Simulink HDL coder и созданием проекта в САПР Quartus II.
3. Проектирование последовательного КИХ-фильтра на четыре отвода в САПР Altera Quartus II. Проектирование параллельного КИХ-фильтра на четыре отвода в САПР Altera Quartus II
4. Проектирование последовательностных устройств на языке VHDL в базе ПЛИС: регистры, счетчики, конечные автоматы, модули памяти
5. Разработка имитационной модели 8-разрядного микропроцессорного ядра с управляющим автоматом, представленного графом приложения StateFlow системы Matlab/Simulink с последующим извлечением кода языка VHDL с помощью приложения Simulink HDL coder.
6. Разработка цифровых узлов процессора MIPS. Модель одноктактного и многотактного процессора с архитектурой MIPS на языке VHDL для реализации в базе ПЛИС Xilinx САПР ViVaDo
7. Разработка проекта микропроцессорного ядра Nios II фирмы Altera для реализации в базе ПЛИС. Программирование на языке ассемблера софт-процессора Nios II.
8. Разработка проекта микропроцессорного ядра Nios II с SPI-интерфейсом фирмы Altera для реализации в базе ПЛИС
9. Проектирование учебного микропроцессорного ядра для реализации в базе ПЛИС на языке VHDL с помощью конечного автомата в САПР Quartus II.
10. Получение практических навыков работы с отладочной платой DE2 фирмы Altera со встроенным софт-процессором Nios II на ПЛИС типа CYCLONE.

6. ПРИМЕРНАЯ ТЕМАТИКА КУРСОВЫХ ПРОЕКТОВ (РАБОТ) И КОНТРОЛЬНЫХ РАБОТ

В соответствии с учебным планом освоение дисциплины «Проектирование цифровых устройств в базисе ПЛИС» не предусматривает выполнение курсового проекта (работы) и контрольной работы.

7. ОЦЕНОЧНЫЕ МАТЕРИАЛЫ ДЛЯ ПРОВЕДЕНИЯ ПРОМЕЖУТОЧНОЙ АТТЕСТАЦИИ ОБУЧАЮЩИХСЯ ПО ДИСЦИПЛИНЕ (МОДУЛЮ)

7.1. Описание показателей и критериев оценивания компетенций на различных этапах их формирования, описание шкал оценивания

7.1.1 Этап текущего контроля

Результаты текущего контроля знаний и межсессионной аттестации оцениваются по следующей системе:

«аттестован»;

«не аттестован».

Компетенция	Результаты обучения, характеризующие сформированность компетенции	Критерии оценивания	Аттестован	Не аттестован
ПК-5	знать основные функциональные узлы микропроцессорных устройств, используемые для реализации в базисе ПЛИС;	Способность использовать на практике теоретические сведения по функциональным узлам микропроцессоров для разработки софт-процессоров	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
	уметь строить функциональные модели цифровых устройств с применением языка VHDL и мегафункций в САПР ПЛИС Quartus II;	Навыки разработки проектов в САПР ПЛИС Quartus II с использованием HDL-кодов и мегафункций	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
	владеть: навыками работы с САПР ПЛИС Quartus II и отладочными средствами; навыками проектирования цифровых устройств обработки сигналов в базисе ПЛИС.	Навыки пользования отладочными средствами	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
ПК-6	знать технологию программирования ПЛИС с использованием различных интерфейсов;	Навыки использования приложений САПР Quartus для программирования ПЛИС	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
	уметь разрабатывать испытательные стенды на языке VHDL и пользоваться отладочными платами и лабораторными стендами для верификации проектов;	Способность разрабатывать испытательные стенды на языке VHDL	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
	владеть навыками отладки HDL-проектов с применением системы цифрового моделирования ModelSim.	Способность провести симуляцию проекта с применением системы цифрового моделирования ModelSim	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах

ПК-7	знать основы высокоуровневого языка описания аппаратных средств (VHDL);	Способность описывать комбинационные и последовательностные устройства HDL-кодом	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
	уметь строить имитационные модели сложно-функциональных цифровых устройств в системе Matlab/Simulink;	Способность разработать имитационную модель цифрового устройства в системе Matlab/Simulink	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
	владеть навыками работы с системой визуально-имитационного моделирования Matlab/Simulink.	Навыки работы с пакетами расширений Altera DSP Builder или Xilinx System Generator	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах

7.1.2 Этап промежуточного контроля знаний

Результаты промежуточного контроля знаний оцениваются в 8 семестре для очной формы обучения, в 10 семестре для заочной формы обучения по системе:

- «отлично»;
- «хорошо»;
- «удовлетворительно»;
- «неудовлетворительно»

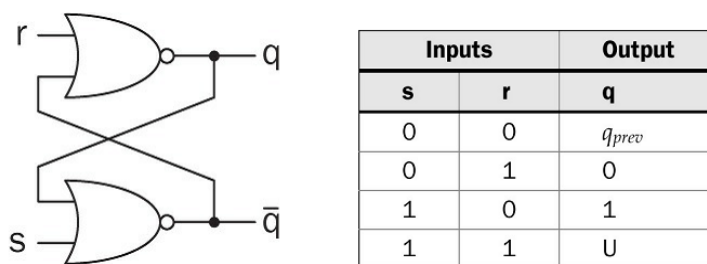
Компетенция	Результаты обучения, характеризующие сформированность компетенции	Критерии оценивания	Отлично	Хорошо	Удовл	Неудовл
ПК-5	знать основные функциональные узлы микропроцессорных устройств, используемые для реализации в базе ПЛИС;	Тест	Выполнение теста на 90 – 100 %	Выполнение теста на 80 – 90 %	Выполнение теста на 70 – 80 %	В тесте менее 70 % правильных ответов
	уметь строить функциональные модели цифровых устройств с применением языка VHDL и мегафункций в САПР ПЛИС Quartus II;	Решение стандартных практических задач	Задачи решены в полном объеме и получены верные ответы	Продемонстрирован верный ход решения всех, но не получен верный ответ во всех задачах	Продемонстрирован верный ход решения в большинстве задач	Задачи не решены
	владеть: навыками работы с САПР ПЛИС Quartus II и отладочными средствами; навыками проектирования цифровых устройств обработки сигналов в базе ПЛИС.	Решение прикладных задач в конкретной предметной области	Задачи решены в полном объеме и получены верные ответы	Продемонстрирован верный ход решения всех, но не получен верный ответ во всех задачах	Продемонстрирован верный ход решения в большинстве задач	Задачи не решены
ПК-6	знать технологию программирования ПЛИС с использованием различных интерфейсов;	Тест	Выполнение теста на 90 – 100 %	Выполнение теста на 80 – 90 %	Выполнение теста на 70 – 80 %	В тесте менее 70 % правильных ответов
	уметь разрабатывать испытательные стенды на языке VHDL и пользоваться отладочными платами и лабораторными стендами для верификации проектов;	Решение стандартных практических задач	Задачи решены в полном объеме и получены верные ответы	Продемонстрирован верный ход решения всех, но не получен верный ответ во всех задачах	Продемонстрирован верный ход решения в большинстве задач	Задачи не решены
	владеть навыками отладки HDL-проектов с применением системы цифрового моделирования ModelSim.	Решение прикладных задач в конкретной предметной области	Задачи решены в полном объеме и получены верные ответы	Продемонстрирован верный ход решения всех, но не получен верный ответ во всех задачах	Продемонстрирован верный ход решения в большинстве задач	Задачи не решены

ПК-7	знать основы высокоуровневого языка описания аппаратных средств (VHDL);	Тест	Выполнение теста на 90 – 100 %	Выполнение теста на 80 – 90 %	Выполнение теста на 70 – 80 %	В тесте менее 70 % правильных ответов
	уметь строить имитационные модели сложно-функциональных цифровых устройств в системе Matlab/Simulink;	Решение стандартных практических задач	Задачи решены в полном объеме и получены верные ответы	Продемонстрирован верный ход решения всех, но не получен верный ответ во всех задачах	Продемонстрирован верный ход решения в большинстве задач	Задачи не решены
	владеть навыками работы с системой визуально-имитационного моделирования Matlab/Simulink.	Решение прикладных задач в конкретной предметной области	Задачи решены в полном объеме и получены верные ответы	Продемонстрирован верный ход решения всех, но не получен верный ответ во всех задачах	Продемонстрирован верный ход решения в большинстве задач	Задачи не решены

7.2 Примерный перечень оценочных средств (типовые контрольные задания или иные материалы, необходимые для оценки знаний, умений, навыков и (или) опыта деятельности)

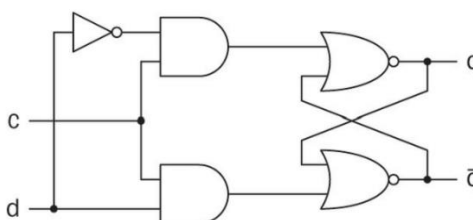
7.2.1 Примерный перечень заданий для подготовки к тестированию

1. Руководствуясь электрической схемой, таблицей истинности, определите ее функциональное назначение.



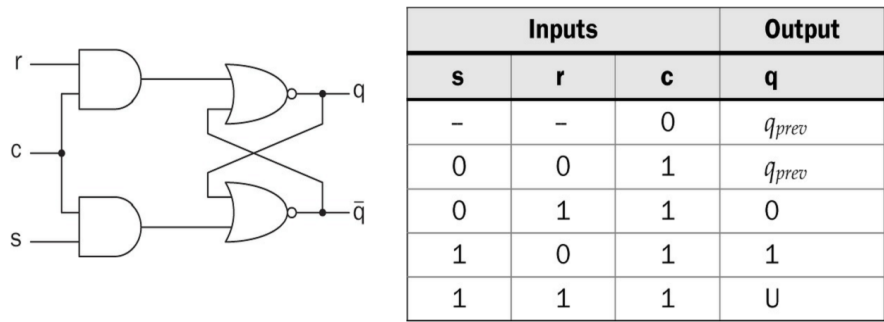
1	2	3	4
RS-защелка	RSC-защелка	JK-триггер	D-триггер

2. Руководствуясь электрической схемой, определите ее функциональное назначение.



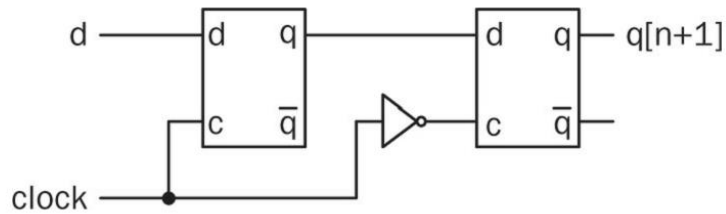
1	2	3	4
RS-защелка	RS-защелка со входом управления	D-триггер, тактируемый уровнем синхросигнала	D-триггер, тактируемый фронтом синхросигнала

3. Руководствуясь электрической схемой, таблицей истинности, определите ее функциональное назначение.



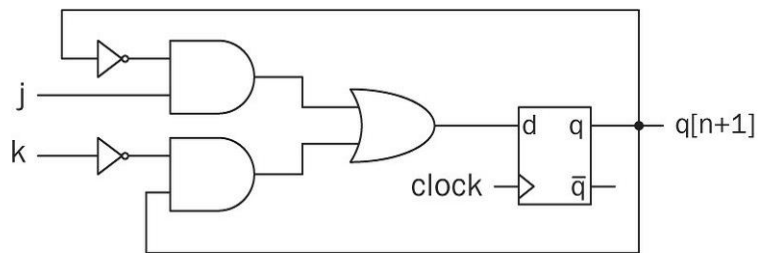
1	2	3	4
RS-защелка	RS-защелка со входом управления	JK-триггер	D-триггер

4. Руководствуясь электрической схемой, определите ее функциональное назначение.



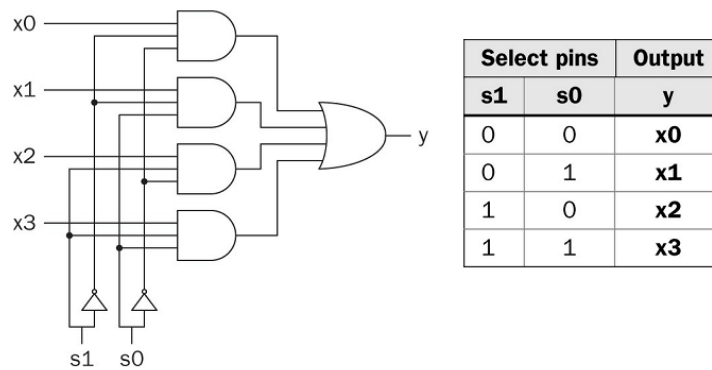
1	2	3	4
RS-защелка	RS-защелка со входом управления	D-триггер, тактируемый уровнем синхросигнала	D-триггер, тактируемый фронтом синхросигнала

5. Руководствуясь электрической схемой, определите ее функциональное назначение.



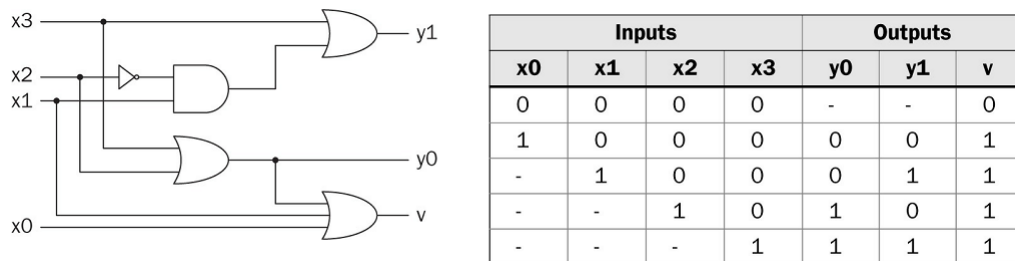
1	2	3	4
RS-защелка	RS-защелка со входом управления	JK-триггер	D-триггер

6. Руководствуясь электрической схемой, таблицей истинности, определите ее функциональное назначение.



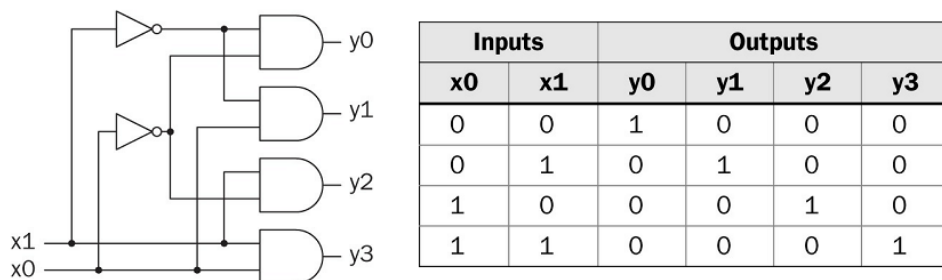
1	2	3	4
Мультиплексор 4 в 1	Демультимплексор 1 в 4	Дешифратор 1 в 4	Дешифратор 4 в 3

7. Руководствуясь электрической схемой, таблицей истинности, определите ее функциональное назначение.



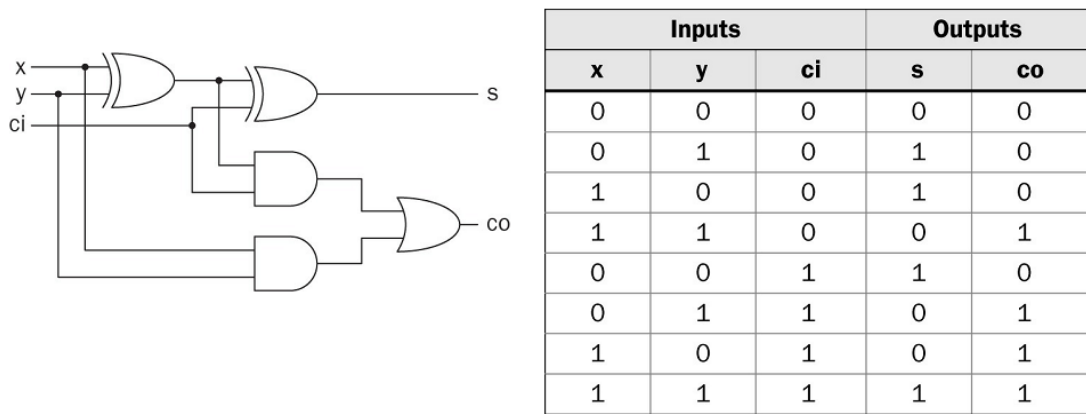
1	2	3	4
Приоритетный шифратор	Шифратор	Дешифратор	Демультимплексор

8. Руководствуясь электрической схемой, таблицей истинности, определите ее функциональное назначение.



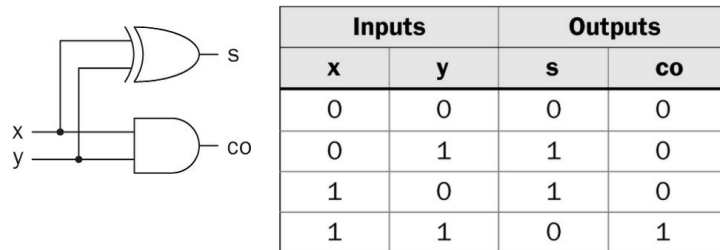
1	2	3	4
Полусумматор	Сумматор	Интегратор	Дешифратор 2 в 4

9. Руководствуясь электрической схемой, таблицей истинности, определите ее функциональное назначение.



1	2	3	4
Полусумматор	Сумматор	Интегратор	Демультимплексор 2 в 4

10. Руководствуясь электрической схемой, таблицей истинности, определите ее функциональное назначение.



1	2	3	4
Полусумматор	Сумматор	Интегратор	Демультимплексор 2 в 4

7.2.2 Примерный перечень заданий для решения стандартных задач

1. Разработайте проект в САПР ISE с использованием софт-процессорного ядра PicoBlaze фирмы Xilinx для реализации в базе ПЛИС.
2. Разработайте проект в САПР ISE с использованием софт-процессорного ядра MicroBlazer фирмы Xilinx для реализации в базе ПЛИС.
3. Разработайте проект в САПР ISE с использованием аппаратного процессорного ядра PowerPC фирмы Xilinx для реализации в базе ПЛИС.
4. Разработайте проект в САПР Quartus II с использованием софт-процессорного ядра Nios II фирмы Altera для реализации в базе ПЛИС.
5. Разработайте систему команд пользовательского 4-разрядного софт-процессора в которую бы входили команды пересылки, команды с непосредственной адресацией, команды передачи управления, арифметические и логические команды, команды ввода/вывода. Объясните информационные потоки в процессе выполнения команд.
6. Сформируйте пространство памяти 8-разрядного микропроцессора.

7. Разработайте VHDL-код блока АЛУ микропроцессора..
8. Разработайте VHDL-код блока дешифрации команд микропроцессора.
9. Разработайте VHDL-код блока преобразования двоичного кода в двоично-десятичный код.
10. Разработайте VHDL-код счетчика команд 8-разрядного микропроцессора.

7.2.3 Примерный перечень заданий для решения прикладных задач

1. Микропроцессорное ядро с использованием управляющего автомата и мегафункции асинхронного ПЗУ для реализации в базе ПЛИС Cyclone.
Управляющий автомат должен быть разработан с использованием языка VHDL.
Файл прошивки ПЗУ 05F70607060906070605041E060306010605.
Проект должен быть разработан в САПР ПЛИС Quartus II версии 9.1
Для отладки проекта используйте учебно-лабораторный стенд LESO2.1
2. Микропроцессорное ядро с использованием управляющего автомата на языке VHDL и мегафункции асинхронного ПЗУ для реализации в базе ПЛИС Cyclone.
Управляющий автомат должен быть разработан с использованием встроенного редактора состояний конечных автоматов.
Проект должен быть разработан в САПР ПЛИС Quartus II версии 9.1.
Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.
Файл прошивки ПЗУ 0566060906040602056705D5060406010603.
3. Микропроцессорное ядро с использованием управляющего автомата и мегафункции асинхронного ПЗУ для реализации в базе ПЛИС Cyclone 3.
Проект должен быть разработан в САПР ПЛИС Quartus II версии 13.1.
Файл прошивки ПЗУ 0484060304F0060306050608060105F00604.
4. Микропроцессорное ядро с использованием управляющего автомата и асинхронного ПЗУ для реализации в базе ПЛИС Cyclone 3.
Управляющий автомат и ПЗУ должны быть разработаны с использованием языка VHDL.
Проект должен быть разработан в САПР ПЛИС Quartus II версии 13.1.
Файл прошивки ПЗУ 050E06070000060904840202060304900000.
5. Микропроцессорное ядро с использованием управляющего автомата и мегафункции асинхронного ПЗУ для реализации в базе ПЛИС Cyclone 3.
Проект должен быть разработан в САПР ПЛИС Quartus II версии 13.1.
Симуляцию проекта осуществите с использованием системы цифрового моделирования ModelSim-Altera Free.
Файл прошивки ПЗУ 052306040210060606050604020400000601.
6. Микропроцессорное ядро с использованием управляющего автомата и мегафункции асинхронного ПЗУ для реализации в базе ПЛИС Cyclone.
Управляющий автомат должен быть разработан с использованием языка VHDL.
Для отладки проекта используйте учебно-лабораторный стенд LESO2.1
Файл прошивки ПЗУ 046806030609020E06010210020806020605.
7. Микропроцессорное ядро с использованием управляющего автомата и мегафункции асинхронного ПЗУ для реализации в базе ПЛИС Cyclone 3.

Для симуляции проекта разработайте тестбенч.

Файл прошивки ПЗУ 056806010607000006050601047806080609.

8. Микропроцессорное ядро с использованием управляющего автомата и мегафункции асинхронного ПЗУ для реализации в базе ПЛИС Cyclone 3.

Файл прошивки ПЗУ 04D504110609000006020605060404890607.

9. Микропроцессорное ядро с использованием управляющего автомата и мегафункции асинхронного ПЗУ для реализации в базе ПЛИС Cyclone 3.

Управляющий автомат должен быть разработан с использованием встроенного редактора состояний конечных автоматов.

Файл прошивки ПЗУ 054C041A060406010604051B060306030200.

10. Микропроцессорное ядро с использованием управляющего автомата и мегафункции асинхронного ПЗУ для реализации в базе ПЛИС Cyclone 3.

Управляющий автомат должен быть разработан с использованием встроенного редактора состояний конечных автоматов.

Файл прошивки ПЗУ 05A20602060204F006010602060506050602.

7.2.4 Примерный перечень вопросов для подготовки к зачету

Не предусмотрено учебным планом.

7.2.5 Примерный перечень вопросов для подготовки к экзамену

1. Классификация программируемых логических интегральных схем (ПЛИС).
2. Понятие «система на кристалле» (СнК).
3. Архитектуры микропроцессоров и микроконтроллеров.
4. Микропроцессорные ядра (софт-процессоры).
5. ЦОС–процессоры, динамически реконфигурируемые микропроцессорные системы на базе ПЛИС по архитектуре FPGA.
6. Архитектура восьмиразрядного микропроцессора. Стеки.
7. Архитектура восьмиразрядного микропроцессора. Блок управления и синхронизации.
8. Архитектура восьмиразрядного микропроцессора. Регистры общего и специального назначения.
9. Архитектура восьмиразрядного микропроцессора. Счетчик программ.
10. АЛУ. Регистр команд. Дешифратор команд. Система команд.
11. АЛУ. Команды пересылки.
12. АЛУ. Команды с непосредственной адресацией.
13. АЛУ. Команды передачи управления.
14. АЛУ. Арифметические и логические команды.
15. АЛУ. Команды ввода/вывода.
16. АЛУ. Информационные потоки в процессе выполнения команд.
17. АЛУ. Команды обращения к памяти.
18. АЛУ. Команды обращения к подпрограммам.
19. Расчет параметров фильтров с использованием среды FDATool.

20. Моделирование КИХ-фильтров с использованием системы визуально-имитационного Matlab/Simulink.
21. Разработка проектов фильтров в базисе ПЛИС.
22. Проектирование комбинационных и последовательностных устройств на языках VHDL/Vereilog.
23. Разработка имитационных моделей микропроцессорных ядер в системе Matlab/Simulink.
24. Программирование в системе Matlab/Simulink.
25. Создание M-функций основных функциональных узлов микропроцессорного ядра в системе Matlab/Simulink.
26. Работа с отладчиком моделей Simulink Debugger.
27. Формат с фиксированной запятой. fi-объекты системы Matlab.
28. Характеристики микропроцессорных ядер PicoBlaze, Micro-Blazer, PowerPC фирмы Xilinx для реализации в базисе ПЛИС.
29. Система команд микропроцессорного ядра PicoBlaze.
30. Архитектура, функциональные модули и набор инструкций микропроцессорного ядра Nios II фирмы Altera для реализации в базисе ПЛИС.
31. Среда разработки приложений для Nios II на языках C и ассемблер Altera Monitor Program.
32. Компоненты SOPC Builder. Интерфейс Avalon.
33. Разработка функциональных блоков микропроцессорных ядер (регистры общего назначения, счетчик программ, АЛУ, ОЗУ, ПЗУ) с использованием мегафункций САПР ПЛИС Quartus II.

7.2.6 Методика выставления оценки при проведении промежуточной аттестации

Экзамен проводится по билетам, каждый из которых содержит 2 вопроса и задачу. Оценка знаний студентов производится по следующему критерию:

- оценка «отлично» выставляется, если на все вопросы даны отличные ответы или 2 вопроса оценены на «отлично», а 1 вопрос или задача – на «хорошо»;
- оценка «хорошо» выставляется, если 2 вопроса оценены на «отлично» или «хорошо», а 1 вопрос или задача – на «удовлетворительно»;
- оценка «удовлетворительно» выставляется, если 2 вопроса оценены на «удовлетворительно» или один из вопросов оценен на «неудовлетворительно» при любых оценках на оставшиеся вопросы;
- оценка «неудовлетворительно» выставляется, если более 1 вопроса оценены на «неудовлетворительно».

Оценка	Критерии оценок
Отлично	Корректное использование широкого спектра научных понятий. Рассуждения логически непротиворечивы, последовательны, выявлены причинно-следственные связи, осуществлен последовательный анализ проблемы, все выводы обоснованы достоверной фактологической базой. Продемонстрировано умение целостно видеть проблему, выделять ее ключевое звено.

Хорошо	Достаточный уровень знаний. Может быть продемонстрировано знание основных принципов и концепций при наличии некоторых несущественных пробелов. Целостное видение рассматриваемой проблемы присутствует, но не до конца выражено в авторском анализе.
Удовлетворительно	Удовлетворительный уровень знаний. Налицо ряд пробелов в знании основных принципов и концепций. Анализ проблемы проведен фрагментарно. Выводы в основном верные, но в рассуждении допущены логические пробелы, мешающие целостному видению рассматриваемой проблемы.
Неудовлетворительно	Низкий уровень знаний. Допущены существенные ошибки. Отсутствие логических рассуждений, понимания проблемы, необоснованность выводов.

При получении оценок «отлично», «хорошо» и «удовлетворительно» требуемые в рабочей программе знания, умения, владения по соответствующим компетенциям на промежуточном этапе считаются достигнутыми.

7.2.7 Паспорт оценочных материалов

№ п/п	Контролируемые разделы (темы) дисциплины	Код контролируемой компетенции (или ее части)	Наименование оценочного средства
1	Архитектуры вычислительных систем на ПЛИС	ПК-5, ПК-6, ПК-7	Тест, защита лабораторных работ
2	Типовая структура 8-разрядного микропроцессора	ПК-5, ПК-6, ПК-7	Тест, защита лабораторных работ
3	Проектирование цифровых фильтров в базе ПЛИС с использованием МАС-блоков и встроенных умножителей	ПК-5, ПК-6, ПК-7	Тест, защита лабораторных работ
4	Проектирование функциональных узлов микропроцессорных систем	ПК-5, ПК-6, ПК-7	Тест, защита лабораторных работ
5	Разработка имитационных моделей микропроцессорных ядер	ПК-5, ПК-6, ПК-7	Тест, защита лабораторных работ
6	Программные и аппаратные ядра ПЛИС Xilinx	ПК-5, ПК-6, ПК-7	Тест, защита лабораторных работ
7	Программные ядра ПЛИС СнК Altera	ПК-5, ПК-6, ПК-7	Тест, защита лабораторных работ
8	Разработка программных ядер с помощью SOPC Builder	ПК-5, ПК-6, ПК-7	Тест, защита лабораторных работ
9	Разработка микропроцессорных ядер в САПР ПЛИС Quartus II на языке VHDL.	ПК-5, ПК-6, ПК-7	Тест, защита лабораторных работ
10	Встраиваемые микропроцессорные системы для реализации в базе ПЛИС	ПК-5, ПК-6, ПК-7	Тест, защита лабораторных работ

7.3. Методические материалы, определяющие процедуры оценивания знаний, умений, навыков и (или) опыта деятельности

Тестирование осуществляется, либо при помощи компьютерной системы тестирования, либо с использованием выданных тест-заданий на бумажном

носителе. Время тестирования 30 мин. Затем осуществляется проверка теста преподавателем и выставляется оценка согласно методике выставления оценки при проведении промежуточной аттестации.

Решение стандартных задач осуществляется, либо при помощи компьютерной системы тестирования, либо с использованием выданных задач на бумажном носителе. Время решения задач 30 мин. Затем осуществляется проверка решения задач преподавателем и выставляется оценка, согласно методике выставления оценки при проведении промежуточной аттестации.

Решение прикладных задач осуществляется, либо при помощи компьютерной системы тестирования, либо с использованием выданных задач на бумажном носителе. Время решения задач 30 мин. Затем осуществляется проверка решения задач преподавателем и выставляется оценка, согласно методике выставления оценки при проведении промежуточной аттестации.

8 УЧЕБНО-МЕТОДИЧЕСКОЕ И ИНФОРМАЦИОННОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ

8.1 Перечень учебной литературы, необходимой для освоения дисциплины

Основная литература

1. **Строгонов А.В.** Реализация цифровых устройств в базе программируемых логических интегральных схем [Электронный ресурс]: учеб. пособие / А.В. Строгонов; под ред. С.И. Рембезы. – Саратов: Ай Пи Эр Медиа, 2019. – 151 с. – ISBN 978-5-4486-0541-3. URL: <http://www.iprbookshop.ru/83658.html>

2. **Строгонов А.В.** Проектирование устройств цифровой обработки сигналов для реализации в базе программируемых логических интегральных схем [Электронный ресурс]: учеб. пособие / А.В. Строгонов. – Электрон. текстовые, граф. дан. (0,466 Кб). – Воронеж: ФГБОУ ВПО «ВГТУ», 2013.

3. **Угрюмов Е.П.** Цифровая схемотехника: учеб. пособие / Е.П. Угрюмов.- 2-е изд., перераб. и доп. - СПб.: БХВ-Петербург, 2007. - 800 с. - ISBN 978-5-94157-397-4

4. **Проектирование систем цифровой и смешанной обработки сигналов** / под ред. У. Кестер; пер. с англ. А.А. Власенко.- М.: Техносфера, 2011. - 328 с. - (Мирэлектроника). - ISBN 978-5-94836-243-4;0-916550-23-0

5. **Строгонов А.В.** Основы проектирования аналого-цифровых интегральных схем: учеб. пособие / А.В. Строгонов. – Воронеж: ГОУВПО «ВГТУ», 2010. – 145 с.

6. **Строгонов А.В.** Системное проектирование программируемых логических интегральных схем [Электронный ресурс]: учеб. пособие / А.В. Строгонов. – Электрон. текстовые, граф. дан. (45 Мб). – Воронеж: ФГБОУ ВПО «ВГТУ», 2012. – 322 с.

Дополнительная литература

7. **Соловьев В.В.** Проектирование цифровых систем на основе программируемых логических интегральных схем / В.В. Соловьев. - 2-е изд., стер. - М.: Горячая линия-Телеком, 2007. - 636 с. - ISBN 5-93517-043-4

8. **Тарасов И.Е.** Разработка цифровых устройств на основе ПЛИС Xilinx с применением языка VHDL / И.Е. Тарасов. - М.: Горячая линия-Телеком, 2005. - 252 с. - ISBN 5-93517-242-9

9. **Строгонов А.В.** Реализация алгоритмов цифровой обработки сигналов в базе программируемых логических интегральных схем [Электронный ресурс]: учеб. пособие / А.В. Строгонов. - Электрон. текстовые, граф. дан. (9,5 Мб). - Воронеж: ФГБОУ ВО «Воронежский государственный технический университет», 2016

10. **Амосов В.В.** Схемотехника и средства проектирования цифровых устройств: учеб. пособие / В.В. Амосов. - М. :БХВ-Петербург, 2007. - 560 с. - ISBN 978-5-9775-0018-0
11. **Грушвицкий Р.И.** Проектирование систем на микросхемах с программируемой структурой: учеб. пособие / Р.И. Грушвицкий, А.Х. Мурсаев, Е.П. Угрюмов.- 2-е изд. - СПб.: БХВ-Петербург, 2006. - 736с. - ISBN 5-94157-657-9
12. **Потехин Ф.С.** Разработка систем цифровой обработки сигналов на базе ПЛИС / Ф.С. Потехин. - М. : Горячая линия -Телеком, 2007. - 248 с. : - ISBN 978-5-93517-341-7
13. **Строгонов А.В.** Основы микросхемотехники интегральных схем [Электронный ресурс]: учеб. пособия / А.В. Строгонов. - Электрон. текстовые, граф. дан. (51 Мб). - Воронеж: ФГБОУ ВПО «Воронежский государственный технический университет», 2012.
14. **Строгонов А.В.** Проектирование цифровых устройств в базе ПЛИС: лабораторный практикум [Электронный ресурс]: учеб. пособие / А.В. Строгонов, Н.Н. Кошелева, А.Б. Буслаев. – Воронеж: ФГБОУ ВО «ВГТУ», 2017. – 123 с.
15. **Методические указания к выполнению лабораторных работ № 1 - 3 по дисциплине «Проектирование цифровых устройств в базе ПЛИС» для студентов направления 11.03.04 «Электроника и наноэлектроника» (направленность «Микроэлектроника и твердотельная электроника») очной формы обучения [Электронный ресурс] / Каф. полупроводниковой электроники и наноэлектроники; Сост.: А.В. Строгонов, Н.Н. Кошелева, А.В. Арсентьев, А.А. Винокуров. - Электрон. текстовые, граф. дан. (1,2 Мб). - Воронеж: ФГБОУ ВО «Воронежский государственный технический университет», 2016. (№ 197-2016)**

8.2 Перечень информационных технологий, используемых при осуществлении образовательного процесса по дисциплине (модулю), включая перечень лицензионного программного обеспечения, ресурсов информационно-телекоммуникационной сети «Интернет», современных профессиональных баз данных и информационных справочных систем

Программное обеспечение компьютеров для самостоятельной и аудиторной работы:

- Операционные системы семейства MSWindows;
- Пакет офисных программ LibreOffice;
- Программа просмотра файлов WinDjview;
- Программа просмотра файлов формата pdf Adobe Acrobat Reader;
- Интернет-браузеры Mozilla Firefox, Google Chrome;
- Математический пакет MathCad Express, Smath Studio;
- Среда разработки Python;
- Система управления курсами Moodle;

Используемые электронные библиотечные системы:

- Модуль книгообеспеченности АИБС «МАРК SQL»:
<http://bibl.cchgeu.ru/provision/struct/>;
- Университетская библиотека онлайн: <http://biblioclub.ru/>;
- ЭБС Издательства «ЛАНЬ», в том числе к коллекциям «Инженерно-технические науки», «Физика»: <http://e.lanbook.com/>;
- ЭБС IPRbooks: <http://www.iprbookshop.ru>;
- научная электронная библиотека eLIBRARY.RU: <http://elibrary.ru/>.

Информационные справочные системы:

- портал федеральных государственных образовательных стандартов высшего образования: <http://fgosvo.ru>;
- единое окно доступа к образовательным ресурсам: <http://window.edu.ru/>;
- открытый образовательный ресурс НИЯУ МИФИ: <http://online.mephi.ru/>;
- открытое образование: <https://openedu.ru/>;
- физический информационный портал: <http://phys-portal.ru/index.html>

- Профессиональные справочные системы «Техэксперт»: <https://cntd.ru>
- Электронная информационная образовательная среда ВГТУ: <https://old.education.cchgeu.ru>
- Лаборатории электронных средств обучения, ЛЭСО ГОУ ВПО «СибГУТИ» www.labfor.ru

9 МАТЕРИАЛЬНО-ТЕХНИЧЕСКАЯ БАЗА, НЕОБХОДИМАЯ ДЛЯ ОСУЩЕСТВЛЕНИЯ ОБРАЗОВАТЕЛЬНОГО ПРОЦЕССА

1. Лекционная аудитория 311/4, укомплектованная специализированной мебелью и оснащенная оборудованием для лекционных демонстраций: мультимедиа-проектором, стационарным экраном, наборами демонстрационного оборудования (учебный корпус № 4, расположенный по адресу: Московский пр., 179):

комплект учебной мебели: рабочее место преподавателя (стол, стул);
рабочие места обучающихся (столы, стулья) на 22 человека.
проектор BenQ MP515 DLP;
экран ScreenMedia настенный.
огнетушитель.

2. Дисплейный класс для проведения лабораторных занятий и самостоятельной работы студентов, укомплектованный специализированной мебелью и оснащенный персональными компьютерами с лицензионным программным обеспечением с возможностью подключения к сети «Интернет» и доступом в электронную информационно-образовательную среду университета, ауд. 209/4 (учебный корпус № 4, расположенный по адресу: Московский пр., 179), оснащенный необходимым оборудованием:

комплект учебной мебели: рабочее место преподавателя (стол, стул);
рабочие места обучающихся (столы, стулья) на 20 человек.
учебно-лабораторный стенд LESO2 (10 штук);
компьютер-сборка каф.9;
компьютер в составе: (Н61/IntelCorei3/Кв/М/20" LCD);
компьютер-сборка каф.7;
компьютер-сборка каф.3;
компьютер в составе: (Н61/IntelCorei3/Кв/М/23" LCD);
компьютер-сборка каф.5;
компьютер-сборка каф.4;
компьютер-сборка каф.8;
компьютер-сборка каф.2;
компьютер-сборка каф.6;
компьютер-сборка каф.10;
комп. в сост: Сист.блок RAMEC GALE,монитор 17" LCD;
компьютер-сборка каф.1;
экран Projecta ProScreen настенный рулонный;
проектор BenQ MP515 DLP;
огнетушитель.

10 МЕТОДИЧЕСКИЕ УКАЗАНИЯ ДЛЯ ОБУЧАЮЩИХСЯ ПО ОСВОЕНИЮ ДИСЦИПЛИНЫ (МОДУЛЯ)

По дисциплине «Проектирование цифровых устройств в базе ПЛИС» читаются лекции, проводятся практические и лабораторные занятия.

Основой изучения дисциплины являются лекции, на которых излагаются наиболее существенные и трудные вопросы, а также вопросы, не нашедшие

отражения в учебной литературе.

Практические занятия направлены на приобретение практических навыков проектирования цифровых устройств в базисе ПЛИС. Занятия проводятся путем решения стандартных и прикладных задач в аудитории.

Лабораторные работы выполняются на лабораторном оборудовании в соответствии с методиками, приведенными в указаниях к выполнению работ.

Большое значение по закреплению и совершенствованию знаний имеет самостоятельная работа студентов. Информацию обо всех видах самостоятельной работы студенты получают на занятиях.

Контроль усвоения материала дисциплины осуществляется тестированием. Освоение дисциплины оценивается на экзамене.

Вид учебных занятий	Деятельность студента
Лекция	Написание конспекта лекций: кратко, схематично, последовательно фиксировать основные положения, выводы, формулировки, обобщения; помечать важные мысли, выделять ключевые слова, термины. Проверка терминов, понятий с помощью энциклопедий, словарей, справочников с выписыванием толкований в тетрадь. Обозначение вопросов, терминов, материала, которые вызывают трудности, поиск ответов в рекомендуемой литературе. Если самостоятельно не удастся разобраться в материале, необходимо сформулировать вопрос и задать преподавателю на лекции или на практическом занятии.
Практические занятия	Конспектирование рекомендуемых источников. Работа с конспектом лекций, подготовка ответов к контрольным вопросам, просмотр рекомендуемой литературы. Прослушивание аудио- и видеозаписей по заданной теме, решение задач по алгоритму.
Лабораторная работа	Лабораторные работы позволяют научиться применять теоретические знания, полученные на лекции, при решении конкретных задач. Чтобы наиболее рационально и полно использовать все возможности лабораторных, для подготовки к ним необходимо: разобрать лекцию по соответствующей теме, ознакомиться с соответствующим разделом учебника, проработать дополнительную литературу.
Самостоятельная работа	Самостоятельная работа студентов способствует глубокому усвоению учебного материала и развитию навыков самообразования. Самостоятельная работа предполагает следующие составляющие: <ul style="list-style-type: none">- работа с текстами: учебниками, справочниками, дополнительной литературой, а также проработка конспектов лекций;- работа над темами для самостоятельного изучения;- участие в работе студенческих научных конференций, олимпиад;- подготовка к промежуточной аттестации.
Подготовка к промежуточной аттестации	Готовиться к промежуточной аттестации следует систематически, в течение всего семестра. Интенсивная подготовка должна начаться не позднее, чем за месяц-полтора до промежуточной аттестации. Данные перед экзаменом три дня эффективнее всего использовать для повторения и систематизации материала.

ЛИСТ РЕГИСТРАЦИИ ИЗМЕНЕНИЙ

№ п/п	Перечень вносимых изменений	Дата внесения изменений	Подпись заведующего кафедрой, ответственной за реализацию ОПОП
1			
2			
3			