

ФГБОУ ВО «Воронежский государственный
технический университет»

С.А. Акулинин

**СХЕМОТЕХНИКА:
ЛАБОРАТОРНЫЙ ПРАКТИКУМ**

Утверждено учебно-методическим советом
университета в качестве учебного пособия

Воронеж 2017

УДК 621.382

Акулинин С.А. Схемотехника: лабораторный практикум: учеб. пособие [Электронный ресурс]. – Электрон. текстовые и граф. данные (2,3 Мб) / С.А. Акулинин. - Воронеж: ФГБОУ ВО «Воронежский государственный технический университет», 2017. – 1 электрон. опт. диск (CD-ROM): цв. – Систем. требования: ПК 500 и выше; 256 Мб ОЗУ; Windows XP; SVGA с разрешением 1024x768; Adobe Acrobat; CD-ROM дисковод; мышь. – Загл. с экрана.

Учебное пособие предназначено для оказания методической помощи студентам при выполнении лабораторных работ по дисциплине «Схемотехника». По каждому занятию приводятся краткие теоретические сведения, порядок выполнения работы.

Издание соответствует требованиям Федерального государственного образовательного стандарта высшего образования по направлению 11.03.04 «Электроника и наноэлектроника» (профили «Электронное машиностроение» и «Микроэлектроника и твердотельная электроника»), дисциплине «Схемотехника».

Ил. 67. Табл. 31. Библиогр.: 5 назв.

Рецензенты: кафедра физики полупроводников и микроэлектроники Воронежского государственного университета (зав. кафедрой д-р физ.-мат. наук, проф. Е.Н. Бормонтов); д-р физ.-мат. наук, проф. Л.Н. Коротков

© Акулинин С.А., 2017

© Оформление. ФГБОУ ВО «Воронежский государственный технический университет», 2017

ВВЕДЕНИЕ

Учебная дисциплина «Схемотехника» входит в число базовых дисциплин для студентов, обучающихся в соответствии с государственным образовательным стандартом по направлению 11.03.04 «Электроника и нанoeлектроника» профили подготовки «Микроэлектроника и твердотельная электроника» и «Электронное машиностроение». Она основывается на предшествующих дисциплинах «Теоретические основы электротехники» и «Физические основы электроники». В свою очередь является базовой дисциплиной при изучении таких дисциплин, как «Проектирование БИС», «Проектирование микропроцессорных устройств» для профиля «Микроэлектроника и твердотельная электроника» и «Основы проектирования электронной компонентной базы», «Системы автоматизированного управления технологическим оборудованием электронной промышленности», «Технические устройства контроля в оборудовании электронной промышленности» для профиля «Электронное машиностроение».

Учебное пособие включает лабораторные работы по цифровым устройствам комбинационного типа (простые логические схемы, дешифраторы, мультиплексоры), последовательного типа (триггеры, счетчики) и АЦП.

Лабораторная работа № 1

ЛОГИЧЕСКИЕ СХЕМЫ И ФУНКЦИИ

Цель работы:

- исследование логических схем.
- реализация логических функций при помощи логических элементов.
- синтез логических схем, выполняющих заданные логические функции.

Приборы и элементы:

Логический преобразователь

Генератор слов

Вольтметр

Логические пробники

Источник напряжения + 5 В

Источник сигнала «логическая единица»

Двухпозиционные переключатели

Двухвходовые элементы И, И-НЕ, ИЛИ, ИЛИ-НЕ

Микросхемы серии 74.

1. Теоретическая часть

1.1. Аксиомы алгебры логики

Переменные, рассматриваемые в алгебре логики, могут принимать только два значения - 0 или 1.

$$\begin{cases} x = 0, & \text{если } x \neq 1, \\ x = 1, & \text{если } x \neq 0; \end{cases} \quad \begin{cases} \bar{0} = 1, \\ \bar{1} = 0; \end{cases} \quad (1.1)$$
$$\begin{cases} 1 \vee 1 = 1, & \dots \\ 0 \vee 0 = 0, & \dots \\ 0 \vee 1 = 1 \vee 0 = 1; \end{cases} \quad \begin{cases} 0 \cdot 0 = 0, \\ 1 \cdot 1 = 1, \\ 1 \cdot 0 = 0. \end{cases}$$

В алгебре логики определены: отношение эквивалентности (обозначается знаком $=$) и операции: сложения (дизъюнкции), обозначаемая знаком \vee , умножения (конъюнкции), обозначаемая знаком $\&$ или точкой, и отрицания (или инверсии), обозначаемая надчеркиванием или апострофом. Алгебра логики определяется следующей системой аксиом:

1.2. Логические выражения

Запись логических выражений обычно осуществляют в конъюнктивной или дизъюнктивной нормальных формах. В дизъюнктивной форме логические выражения записываются как логическая сумма логических произведений, в конъюнктивной форме - как логическое произведение логических сумм. Порядок действий такой же, как и в обычных алгебраических выражениях. Логические выражения связывают значение логической функции со значениями логических переменных.

1.3. Логические тождества

При преобразованиях логических выражений используются логические тождества:

$$\begin{aligned} \bar{\bar{x}} &= x; & x \vee 1 &= 1; & x \vee 0 &= x; & x \cdot 1 &= x; & x \cdot 0 &= 0; & x \vee x &= x; \\ x \cdot x &= x; & x \vee \bar{x} &= 1; & x \vee x \cdot y &= x; & x \cdot \bar{x} &= 0; & x \cdot \bar{x} &= 0; & x \cdot \bar{x} &= 0; \\ (x \vee y)(x \vee \bar{y}) &= x; & x \vee \bar{x} &= 1; & x \vee \bar{x} &= 1; & \bar{\bar{x}} &= x; & \bar{\bar{y}} &= y; & \bar{\bar{y}} &= y. \end{aligned}$$

1.4. Логические функции

Любое логическое выражение, составленное из n переменных x_1, x_2, \dots, x_n с помощью конечного числа операций алгебры логики, можно рассматривать как некоторую функцию n переменных. Такую функцию называют логической. В соответствии с аксиомами алгебры логики функция может принимать в зависимости от значения переменных значение 0 или 1. Функция n логических переменных может быть определена для 2^n значений переменных, соответствующих всем возможным значениям n -разрядных двоичных чисел. Основ-

ной интерес представляют следующие функции двух переменных x и y :

$f1(x, y) = x \cdot y$ - логическое умножение (конъюнкция),

$f2(x, y) = x \vee y$ - логическое сложение (дизъюнкция),

$f3(x, y) = \overline{x \cdot y}$ - логическое умножение с инверсией,

$f4(x, y) = \overline{x \vee y}$ - логическое сложение с инверсией,

$f5(x, y) = x \oplus y = x\bar{y} \vee \bar{x}y$ - суммирование по модулю 2,

$f6(x, y) = \overline{x \oplus y} = xy \vee \bar{x}\bar{y}$ - равнозначность.

1.5. Логические схемы

Физическое устройство, реализующее одну из операций алгебры логики или простейшую логическую функцию, называется логическим элементом. Схема, составленная из конечного числа логических элементов по определенным правилам, называется логической схемой.

Основным логическим функциям соответствуют выполняющие их схемные элементы.

1.6. Таблица истинности

Так как область определения любой функции n переменных конечна (2^n значений), такая функция может быть задана таблицей значений $f(v_i)$, которые она принимает в точках u_i , где $i = 0, 1, \dots, 2^n - 1$. Такие таблицы называют таблицами истинности. В таблице 1.1 представлены таблицы истинности, задающие указанные выше функции.

Таблица 1.1

Таблица истинности

i	Значения переменных		Функции					
	x	y	f1	f2	f3	f4	f5	f6
0	0	0	0	0	1	1	0	1
1	0	1	0	1	1	0	1	0
2	1	0	0	1	1	0	1	0
3	1	1	1	1	0	0	0	1

$i = 2x + y$ – число, образованное значениями переменных.

1.7. Карты Карно и диаграммы Вейча

Если число логических переменных не превышает 5-6, преобразования логических уравнений удобно производить с помощью карт Карно или диаграмм Вейча. Цель преобразований - получение компактного логического выражения (минимизация). Минимизацию производят объединением наборов (термов) на карте Карно. Объединяемые наборы должны иметь одинаковые значения функции (все 0 или все 1).

Для наглядности рассмотрим пример: пусть требуется найти логическое выражение для мажоритарной функции f_m трех переменных X, Y, Z , описываемой следующей таблицей:

Таблица 1.2

Мажоритарная функция

N	X	Y	Z	f_m
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

Составим карту Карно. Она представляет собой нечто похожее на таблицу, в которой наименования столбцов и строк представляют собой значения переменных, причем переменные располагаются в таком порядке, чтобы при переходе к соседнему столбцу или строке изменялось значение только одной переменной. Например, в строке XY таблицы 12.3 значения переменных XY могут быть представлены следующими последовательностями: 00, 01, 11, 10 и 00, 10, 11, 01.

Таблицу заполняют значениями функции, соответствующими комбинациям значений переменных. Полученная

таким образом таблица выглядит, как показано ниже (таблица 1.3).

Таблица 1.3

Карта Карно мажоритарной функции

Z \ XY	00	01	11	10
0	0	0	1	0
1	0	1	1	1

На карте Карно отмечаем группы, состоящие из 2^n ячеек (2, 4, 8, ...) и содержащие 1, т. к. они описываются простыми логическими выражениями. Три прямоугольника в таблице определяют логические выражения XY, XZ, YZ. Каждый прямоугольник, объединяющий две ячейки, соответствует логическим преобразованиям:

$$\begin{aligned}
 XY\bar{Z} \vee XYZ &= XY(\bar{Z} \vee Z) = XY, \\
 \bar{X}YZ \vee XYZ &= YZ(\bar{X} \vee X) = YZ, \\
 X\bar{Y}Z \vee XYZ &= XZ(\bar{Y} \vee Y) = XZ.
 \end{aligned}
 \tag{1.2}$$

Компактное выражение, описывающее функцию, представляет собой дизъюнкцию полученных при помощи карт Карно логических выражений. В результате получаем выражение в дизъюнктивной форме: $f_m = XY \vee XZ \vee YZ$.

Для реализации функции мажоритарной логики трех логических переменных необходимо реализовать схему, ко-

торая при подаче на ее входы трех сигналов формировала бы на выходе сигнал, равный сигналу на большинстве входов (2 из 3 или 3 из 3). Эта схема полезна для восстановления истинного значения сигналов, поступающих на 3 входа, если возможен отказ на одном из входов.

Для реализации функции на элементах 2И-НЕ преобразуем полученное выражение в базис элементов И-НЕ, т. е. запишем выражение при помощи операций логического умножения и инверсии. Проверить справедливость каждого из приведенных выражений для f_{m} можно прямой подстановкой значений X, Y, Z из таблицы 1.2:

$$f_m = XY \vee YZ \vee XZ = \overline{\overline{XY}} \cdot \overline{\overline{YZ}} \cdot \overline{\overline{XZ}} = \overline{\overline{X} \vee \overline{Y}} \vee \overline{\overline{Y} \vee \overline{Z}} \vee \overline{\overline{X} \vee \overline{Z}} = \overline{\overline{X} \vee \overline{Y}} \vee \overline{\overline{Y} \vee \overline{Z}} \vee \overline{\overline{X} \vee \overline{Z}} = \overline{\overline{X} \cdot \overline{Y}} \vee \overline{\overline{Y} \cdot \overline{Z}} \vee \overline{\overline{X} \cdot \overline{Z}} = \overline{\overline{X} \cdot \overline{Y} \cdot \overline{Y} \cdot \overline{Z}} \cdot \overline{\overline{X} \cdot \overline{Z}}$$

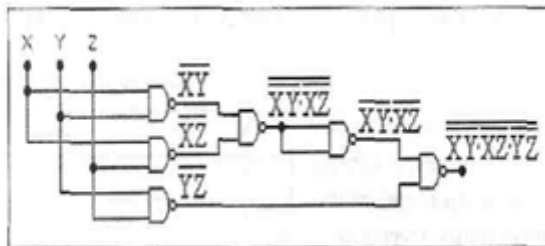


Рис.1.1. Схема реализации функции

2. Порядок выполнения работы

Эксперимент 1. Исследование логической функции И.

а) Задание уровней логических сигналов. Откройте файл 12 01 со схемой, изображенной на рис. 1.2. В этой схеме два двухпозиционных переключателя А и В подают на входы логической схемы И уровни 0 (контакт переключателя в нижнем положении) или 1 (контакт переключателя в верхнем положении). Включите схему. Установите переключатель В в нижнее положение. Измерьте вольтметром напряжение на

входе В и определите с помощью логического пробника уровень логического сигнала. Установите переключатель Вв верхнее положение. Определите уровень логического сигнала и запишите показания вольтметра; укажите, какой логический сигнал формируется на выходе Y.

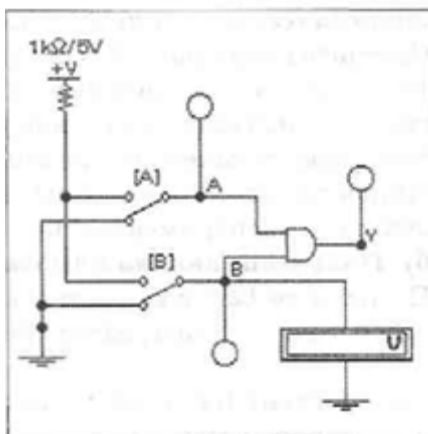


Рис. 1.2. Схема для исследования

- б) Экспериментальное получение таблицы истинности
- в) Получение аналитического выражения для функции.

Эксперимент 2. Исследование логической функции И-НЕ.

а) Экспериментальное получение таблицы истинности логического элемента 2И-НЕ, составленного из элементов 2И-НЕ.

Соберите схему, изображенную на рис. 1.3. Включите схему. Подайте на входы схемы все возможные комбинации уровней входных сигналов и, наблюдая уровни сигналов на входах и выходе с помощью логических пробников.

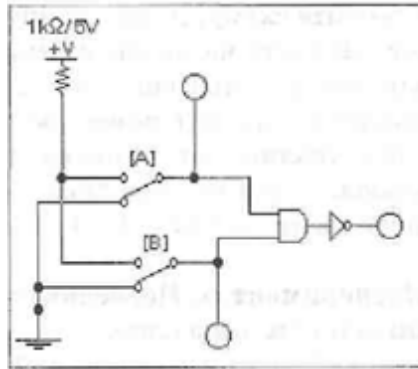


Рис.1.3. Схема для исследования

б) Экспериментальное получение таблицы истинности логического элемента 2И-НЕ. Соберите схему, изображенную на рис. 1.4. Включите схему. Подайте на входы схемы все возможные комбинации уровней входных сигналов и, наблюдая уровни сигналов на входах и выходе с помощью логических пробников.

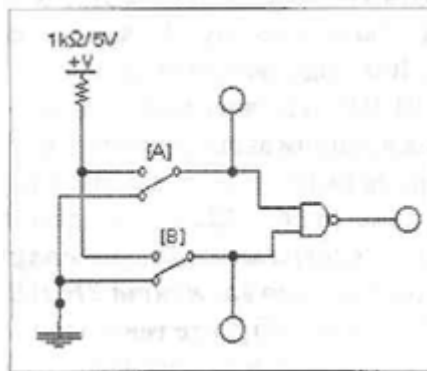


Рис. 1.4. Схема для исследования

Эксперимент 3. Исследование логической функции ИЛИ.

а) Экспериментальное получение таблицы истинности логического элемента ИЛИ.

Соберите схему рис. 1.5. Включите схему. Подайте на входы схемы все возможные комбинации уровней входных сигналов и, наблюдая уровни сигналов на входах и выходе с помощью логических пробников, заполните таблицу истинности логической схемы ИЛИ.

б) Получение аналитического выражения для функции.

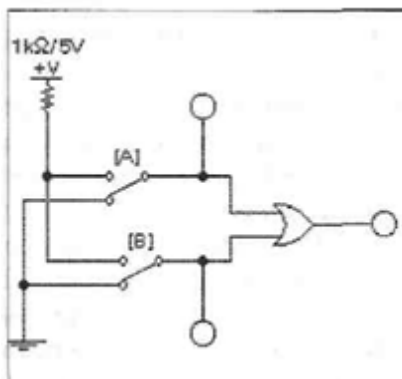


Рис. 1.5. Схема для исследования
Эксперимент 4. Исследование логической функции ИЛИ-НЕ.

а) Экспериментальное получение таблицы истинности логического элемента 2ИЛИ-НЕ, составленного из элементов 2ИЛИ и НЕ.

Соберите схему, изображенную на рис. 1.6. Включите схему. Подайте на входы схемы все возможные комбинации уровней входных сигналов и, наблюдая уровни сигналов на входах и выходе с помощью логических пробников, заполните таблицу истинности логической схемы 2ИЛИ-НЕ.

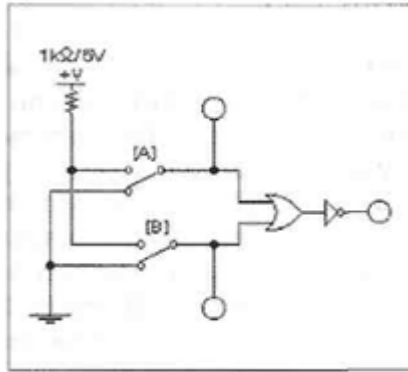


Рис. 1.6. Схема для исследования

б) Экспериментальное получение таблицы истинности логического элемента 2ИЛИ-НЕ.

Соберите схему, изображенную на рис.12.7. Включите схему. Подайте на входы схемы все возможные комбинации уровней входных сигналов и, наблюдая уровни сигналов на входах и выходе с помощью логических пробников, заполните таблицу истинности логической схемы 2ИЛИ-НЕ, сравните таблицы истинности из пункта а) и б).

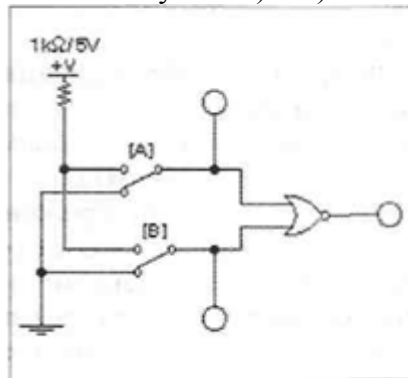


Рис. 1.7. Схема для исследования

щью генератора слов.

а) Сведения об исследуемой микросхеме.

Откройте файл 12_02 со схемой, изображенной на рис. 1.8. Включите схему. Укажите, к каким выводам микросхемы 7400 подключается источник питания, сколько элементов 2И-НЕ содержит микросхема, сколько элементов используется в данном эксперименте и как обозначены на схеме используемые входы и выходы. Заполните таблицу сведений о микросхеме.

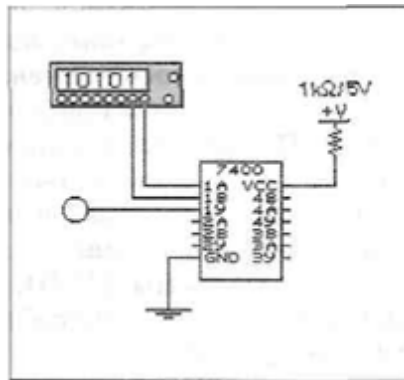


Рис. 1.8. Схема для исследования

б) Экспериментальное получение таблицы истинности логического элемента 2И-НЕ.

Запрограммируйте генератор слов так, чтобы на выходе генератора получать последовательно следующие комбинации: 00, 01, 10, 11. Переведите генератор в режим пошаговой работы нажатием кнопки "Step" на увеличенном изображении генератора. Каждое нажатие кнопки "Step" вызывает переход к очередному слову заданной последовательности, которое подается на выход генератора. Последовательно добавая на микросхему слова из заданной последовательности, заполните таблицу истинности элемента 2И-НЕ.

Указание: значения разрядов текущего слова на выходе генератора отображаются в круглых окнах в нижней части на панели генератора.

Эксперимент 6. Реализация логической функции 3-х переменных.

а) Синтез схемы, реализующей функцию, заданную логическим выражением.

Реализуйте функцию $f = abvbc$ на элементах 2И-НЕ.

Указание. Представьте выражение функции через операции логического умножения и инверсии.

Соберите в Electronics Workbench схему на элементах 2И-НЕ, соответствующую полученному выражению. Подключите к входам схемы генератор слов, к выходу - логический

пробник. Генератор слов запрограммируйте на формирование последовательности из восьми слов, соответствующих числам от 0 до 7: 0=000; 1=001; 2=010; 3=011; 4=100; 5=101; 6=110; 7=111.

В пошаговом режиме, последовательно подавая на вход полученной схемы все слова последовательности, определите при помощи логического пробника уровень сигнала на выходе схемы. Полученные результаты занесите в таблицу.

б) Синтез схемы, реализующей заданную функцию при помощи логического преобразователя.

Для получения схемы, реализующей функцию, описываемую логическим выражением $f=abvbc$ можно воспользоваться логическим преобразователем. Для этого сделайте следующее:

- вызовите логический преобразователь;
- введите в нижнее окно панели преобразователя логическое выражение $abvbc$ клавиатуры (операции ИЛИ соответствует знак +, инверсия обозначается апострофом);
- для реализации схемы на элементах И-НЕ нажмите клавишу $A|B \rightarrow \text{NAND}$ на панели логического преобразователя.

Логический преобразователь выводит на рабочее поле схему, реализующую функцию, описываемую введенным ло-

гическим выражением. Полученная схема приведена на рис. 1.9.

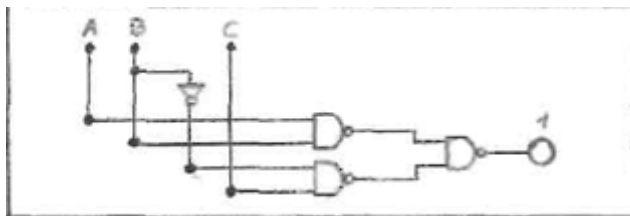


Рис. 1.9. Схема для исследования

К схеме подключите генератор слов, запрограммированный на формирование восьми слов, соответствующих числам от 0 до 7: 0=000; 1=001; 2=010; 3=011; 4=100; 5=101; 6=110; 7=111.

Переведите генератор слов в пошаговый режим. Включите схему. Последовательно подавая на входы схемы указанные слова, и определяя уровень сигнала на выходе схемы логическим пробником, заполните таблицу истинности. Они определяют логические сигналы на входе третьего элемента 2И-НЕ в схеме.

Лабораторная работа № 2

ИССЛЕДОВАНИЕ ДЕШИФРАТОРОВ

Цель работы:

- ознакомление с принципом работы дешифраторов.
- исследование влияния управляющих сигналов на работу дешифраторов.
- реализация и исследование функциональных модулей на основе дешифраторов.

Приборы и элементы

Логический преобразователь

Генератор слов

Вольтметр

Логические пробники

Источник напряжения + 5 В

Генератор слов

Генератор тактовых импульсов

Двухпозиционные переключатели

Демультимплексор

Источник сигнала "логическая единица"

Логические пробники

Микросхема 74138 - дешифратор 3x8

1. Теоретическая часть

1.1. Комбинационные схемы

Комбинационной схемой называется логическая схема, реализующая однозначное соответствие между значениями входных и выходных сигналов. Для реализации комбинационных схем используются логические элементы, выпускаемые в виде интегральных схем. В этот класс входят интегральные схемы дешифраторов, шифраторов, мультиплексоров, демультимплексоров, сумматоров.

1.2. Дешифраторы

Дешифратор - логическая комбинационная схема, которая имеет n информационных входов и 2^n выходов. Каждой комбинации логических уровней на входах будет соответствовать активный уровень на одном из 2^n выходов. Обычно n равно 2,3 или 4.

На рис. 2.1 изображен дешифратор с $n = 3$, активным уровнем является уровень логического нуля. На входы С, В, А можно подать следующие комбинации логических уровней: 000, 001, 010... 111, всего 8 комбинаций.



Рис.2.1. Дешифратор, с $n = 3$

Схема имеет 8 выходов, на одном из которых формируется низкий потенциал, на остальных - высокий. Номер этого единственного выхода, на котором формируется активный (нулевой) уровень, соответствует числу M , определяемому состоянием входов С, В, А следующим образом: $N = C \cdot 2^2 + B \cdot 2^1 + A \cdot 2^0$.

$$Y_i = \begin{cases} 0, & \text{если } i = k; \\ 1, & \text{если } i \neq k; \\ k = 2^2 \cdot C + 2^1 \cdot B + 2^0 \cdot A. \end{cases}$$

Например, если на входы подана комбинация логических уровней 011, то из восьми выходов микросхемы ($Y_0, Y_1 \dots Y_7$) на выходе с номером $N=3$ установится нулевой уровень сигнала ($Y_3=0$), а все остальные выходы будут иметь уровень логической единицы.

ницы. Этот принцип формирования выходного сигнала можно описать следующим образом:

Видно, что уровень сигнала на выходе Y_3 описывается выражением:

$Y_3 = C \cdot B \cdot A = 0$. В таком же виде можно записать выражения для каждого выхода дешифратора:

$$\begin{array}{ll}
 Y_0 = \overline{\overline{C \cdot B \cdot A}}, & Y_4 = \overline{C \cdot B \cdot A}, \\
 Y_1 = \overline{\overline{C \cdot B \cdot A}}, & Y_5 = \overline{C \cdot B \cdot A}, \\
 Y_2 = \overline{\overline{C \cdot B \cdot A}}, & Y_6 = \overline{C \cdot B \cdot A}, \\
 Y_3 = \overline{\overline{C \cdot B \cdot A}}, & Y_7 = \overline{C \cdot B \cdot A}.
 \end{array}$$

Помимо информационных входов A , B , C дешифраторы обычно имеют дополнительные входы управления G . Сигналы на этих входах, например, разрешают функционирование дешифратора или переводят его в пассивное состояние, при котором, независимо от сигналов на информационных входах, на всех выходах установится уровень логической единицы. Можно сказать, что существует некоторая функция разрешения, значение которой определяется состояниями управляющих входов.

Разрешающий вход дешифратора может быть прямым или инверсным. У дешифраторов с прямым разрешающим входом активным уровнем является уровень логической единицы, у дешифраторов с инверсным входом - уровень логического нуля. На рис. 2.2 представлен дешифратор с одним инверсным входом управления. Принцип формирования выходного сигнала в этом дешифраторе с учетом сигнала управления описывается следующим образом:

$$Y_i = \begin{cases} \overline{1 \cdot G}, & \text{если } i = k; \\ 1, & \text{если } i \neq k; \\ k = 2^2 \cdot C + 2^1 \cdot B + 2^0 \cdot A. \end{cases}$$

У дешифратора с несколькими входами управления функция разрешения, как правило, представляет собой логическое произведение всех разрешающих сигналов управления.

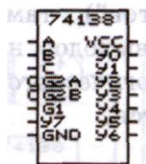


Рис. 2.2. Дешифратор

Например, для дешифратора 74138 с одним прямым входом управления G1 и двумя инверсными G2A и G2B (рис. 2.2) функции выхода Y_i и разрешения G имеют вид:

$$Y_i = \begin{cases} \overline{1 \cdot G}, & \text{если } i = k; \\ 1, & \text{если } i \neq k; \\ k = 2^2 \cdot C + 2^1 \cdot B + 2^0 \cdot A, \end{cases}$$

$$G = G1 \cdot \overline{G2A} \cdot \overline{G2B}.$$

Обычно входы управления используются для каскадирования (увеличения разрядности) дешифраторов или при параллельной работе нескольких схем на общие выходные линии.

1.3. Использование дешифратора в качестве демультиплектора

Дешифратор может быть использован и как демульти-

плексор - логический коммутатор, подключающий входной сигнал к одному из выходов. В этом случае функцию информационного входа выполняет один из входов разрешения, а состояние входов С, В и А задает номер выхода, на который передается сигнал со входа разрешения.

2. Порядок выполнения работы

Эксперимент 1. Исследование принципа работы дешифратора 3х8 в основном режиме.

Откройте файл s13_01 со схемой, изображенной на рис. 2.3. Включите схему. Подайте на вход G уровень логической единицы.

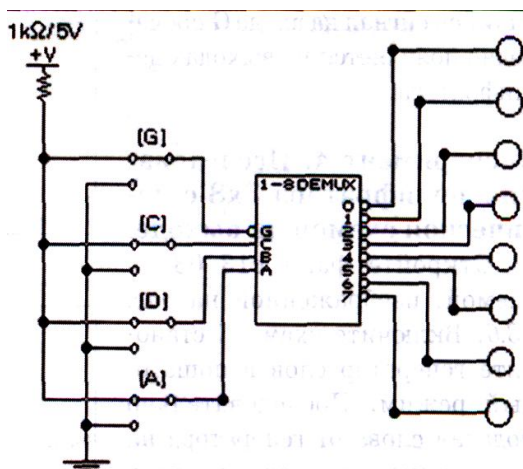


Рис. 2.3. Схема дешифратора для исследования

Для этого клавишей G ключ G установить в верхнее положение. Определите и запишите уровни сигналов на выходах Y0...Y7 в таблицу истинности при G = 1 (табл. 2.1 в разделе "Результаты экспериментов").

Подайте на вход G уровень логического нуля (ключ G установите в нижнее положение). Убедитесь, что дешифратор

перешел в рабочий режим и на одном из выходов установился уровень логического нуля. Подавая все возможные комбинации уровней логических сигналов на входы А, В, С с помощью одноименных ключей и определяя с помощью логических пробников уровни логических сигналов на выходе схемы, заполните таблицу истинности дешифратора при $G=0$ (табл. 2.1. в разделе "Результаты экспериментов").

Эксперимент 2. Исследование принципа работы дешифратора 3×8 в режиме 2×4 .

а) В схеме рис. 2.3 подключите вход С к общему проводу (земле), задав $C=0$ (рис. 2.4). Изменяя уровни сигналов на входах В и А и наблюдая уровни сигналов на выходах схемы, с помощью пробников заполните таблицу истинности дешифратора (табл. 2.2 в разделе "Результаты экспериментов"). Укажите выходы, на которых уровень сигнала не меняется.

б). Прделайте пункт а) при $C=1$, для чего вход С подключите к источнику логической единицы. Заполните таблицу истинности дешифратора (табл. 2.3 в разделе "Результаты экспериментов").

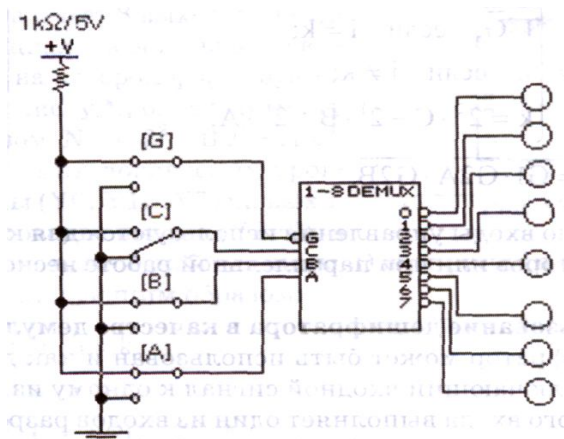


Рис. 2.4. Дешифратор для исследования

в) Прделайте пункт а), заземлив вход В ($V=0$), а на входы А и С подавая все возможные комбинации логических уровней. Заполните таблицу истинности (табл. 2.4 в разделе "Результаты экспериментов"), там же укажите номера выходов, на которых уровень логического сигнала не изменяется.

Эксперимент 3. Исследование работы дешифратора в качестве демультиплексора.

Откройте файл `s13_02` со схемой, изображенной на рис. 2.5. Включите схему. В пошаговом режиме работы генератора слов подайте на входы С, В, А демультиплексора слова, эквивалентные числам от 0 до 7. Наблюдая при помощи логических пробников уровни сигналов на выходах, заполните таблицу функционирования (табл. 2.5 в разделе "Результаты экспериментов"). Убедитесь, что изменяющийся сигнал на входе G поочередно появляется на выходах дешифратора.

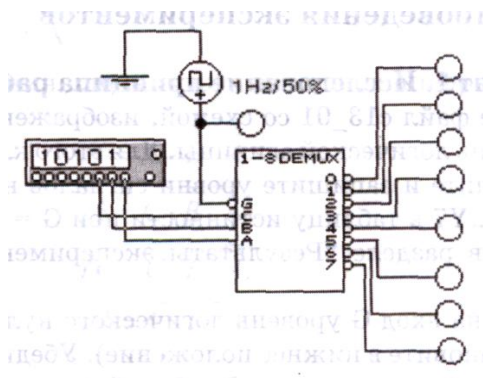


Рис. 2.5. Дешифратор для исследования

Эксперимент 4. Исследование дешифратора 3x8 с логической схемой на выходе.

Откройте файл `s13_03` со схемой, изображенной на рис. 2.6. Включите схему. Установите генератор слов в пошаговый режим. Последовательно подавая слова от генератора на вход схемы и наблюдая уровень логического сигнала на

выходе схемы с помощью логического пробника, составьте таблицу истинности функции F , реализуемой схемой на выходе (табл.2.6 в разделе "Результаты экспериментов"). По таблице запишите аналитическое выражение функции и занесите полученное выражение в раздел "Результаты экспериментов".

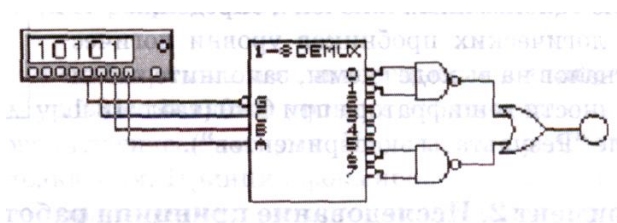


Рис. 2.6. Дешифратор для исследования

Эксперимент 5. Исследование микросхемы 74138.

а) Откройте файл s13_04 (рис. 2.7). Установите генератор слов в пошаговый режим. Включите схему. С помощью соответствующих ключей установите состояние управляющих входов $G1=0$,

$G2A=G2B=1$. Подавая на входы A, B, C слова от генератора слов и наблюдая состояние выходов с помощью логических пробников, заполните таблицу функционирования дешифратора 74138 (табл. 2.7 в разделе "Результаты экспериментов").

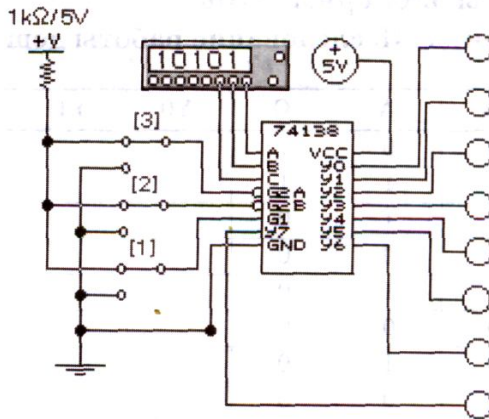


Рис. 2.7. Схема для исследования

б) Повторите операции пункта а) при $O1=O2A=1$, $O2B=0$. Заполните таблицу функционирования дешифратора 74138 (табл. 2.8 в разделе "Результаты экспериментов").

в) Повторите операции пункта а) при $O1=1$, $O2A=O2B=0$. Заполните таблицу функционирования дешифратора 74138 (табл. 2.9 в разделе "Результаты экспериментов").

Эксперимент 6. Исследование микросхемы 74138 с помощью логического анализатора.

Откройте файл s13_05 (рис. 2.8). Установите генератор слов в пошаговый режим. Включите схему. С помощью соответствующих ключей установите состояние управляющих входов $G1=1$, $G2A=G2B=0$. Подавая слова от генератора слов, получите временные диаграммы работы дешифратора на экране логического анализатора и зарисуйте их в разделе "Результаты экспериментов". Сопоставьте временные диаграммы с таблицей 2.9.

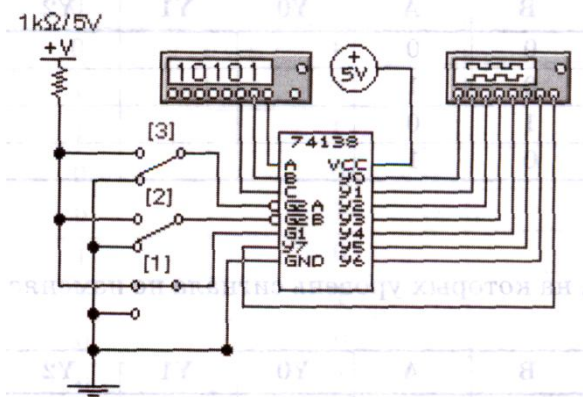


Рис. 2.8. Схема для исследования

3. Результаты экспериментов

Таблица.2.1

Результаты эксперимента 1. Исследование работы дешифратора 3x8 в основном режиме

C	B	A	G	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0	1								
0	1	1	1								
0	0	1	0								
0	1	0	0								
0	1	1	0								
1	0	0	0								
1	0	1	0								
1	1	0	0								
1	1	1	0								

Для простоты заполнения таблицы истинности в ней можно отмечать только выводы с <5 низким уровнем сигнала.

Таблица 2.2

Результаты эксперимента 2. Исследование дешифратора 3x8 в режиме 2x4

C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0								
0	0	1								
0	1	0								
0	0	1								

Таблица 2.3

Результаты эксперимента 2. Исследование дешифратора

C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
1	0	0								
1	0	1								
1	1	0								
1	0	1								

Таблица 2.4

Результаты эксперимента 3. Исследование дешифратора

C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0								
0	0	1								
1	0	0								
1	0	1								

Таблица 2.5

Результаты эксперимента 3. Исследование работы дешифратора
в качестве демультимплексора

C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0								
0	0	1								
0	1	0								
0	0	1								
1	0	1								
1	0	1								
1	0	1								
1	0	1								

Таблица 2.6

Результаты эксперимента 4. Исследование дешифратора 3x8 с
логической схемой на выходе

G	C	B	A	F
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

Таблица 2.7

Результаты эксперимента 5. Исследование микросхемы 74138

(a)

C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0								
0	0	1								
0	1	0								
0	1	1								
1	0	0								
1	0	1								
1	1	1								
1	1	1								

Таблица 2.8

Результаты эксперимента 5. Исследование микросхемы 74138

(б)

C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0								
0	0	1								
0	1	0								
0	1	1								
1	0	0								
1	0	1								
1	1	1								
1	1	1								

Таблица 2.9

Результаты эксперимента 5. Исследование микросхемы 74138

(с)

C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0								
0	0	1								
0	1	0								
0	1	1								
1	0	0								
1	0	1								
1	1	1								
1	1	1								

Результаты эксперимента 6. Исследование микросхемы 741.58 с помощью логического анализатора

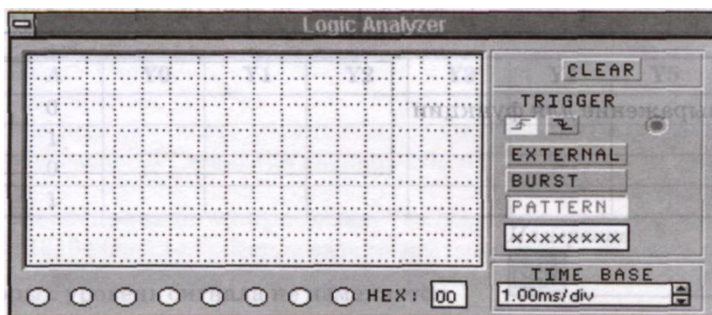


Рис. 2.9. Диаграммы на экране логического анализатора

4. Контрольные вопросы

1. Какие логические функции выполняет дешифратор?
2. Каково назначение входов управления в дешифраторе, как влияет сигнал управления на выходные функции дешифратора?

3. Какие дополнительные логические элементы необходимы для реализации логических функции по аргументам на основе дешифратора с прямыми выходами? А с инверсными?

4. Как выглядит схема дешифратора 2×4 , выполненная в базе И, ИЛИ, НЕ? Входы дешифратора А, В, выходы УО, У1, У2, У3. Сколько элементов каждого типа для этого требуется?

5. Как надо видоизменить схему дешифратора 2×4 в предыдущем случае, чтобы оснастить её прямым управляющим входом? Инверсным? Обозначьте входы дешифратора А, В, управляющий вход О или \bar{O} , выходы УО, У1, У2, У3.

6. Как из двух дешифраторов 2×4 сделать один дешифратор 3×8 ?

7. Как на основе нескольких дешифраторов 2×4 с управляющим входом сделать дешифратор 4×16 ? Сколько дешифраторов 2×4 потребуется для решения этой задачи, если не использовать другие элементы?

8. Как на основе дешифратора 2×4 сделать схему, фиксирующую совпадение двух бит ($A=B=1$, $A=B=0$) и реализующую функцию $\Gamma = ABVAB$?

9. Как на основе дешифратора сделать логическую схему, реализующую функцию $\Gamma = ABVAB$?

Лабораторная работа № 3

ИССЛЕДОВАНИЕ МУЛЬТИПЛЕКСОРОВ

Цель работы:

- ознакомление с принципом работы мультиплексора.
- реализация и исследование функциональных модулей на основе мультиплексоров.

Приборы и элементы

Генератор слов

Генератор тактовых импульсов
Двухпозиционные переключатели
Источник напряжения + 5 В
Источник сигнала "логическая единица"
Логические пробники
Мультиплексор
Микросхема 74138 - дешифратор 3x8

1. Теоретическая часть

1.1. Мультиплексоры.

Мультиплексор - комбинационная логическая схема, представляющая собой управляемый переключатель, который подключает к выходу один из информационных входов данных. Номер подключаемого входа равен числу (адресу), определяемому комбинацией логических уровней на входах управления. Кроме информационных и управляющих входов, схемы мультиплексоров содержат вход разрешения, при подаче на который активного уровня мультиплексор переходит в активное состояние. При подаче на вход разрешения пассивного уровня мультиплексор перейдет в пассивное состояние, для которого сигнал на выходе сохраняет постоянное значение независимо от значений информационных и управляющих сигналов. Число информационных входов у мультиплексоров обычно 2, 4, 8 или 16. На рис. 3.1 представлен мультиплексор 8x1 с инверсным входом разрешения О, прямым У и инверсным выходами ($Y = \bar{Y}$).

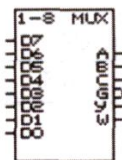


Рис. 3.1. Мультиплексор 8x1 с инверсным входом разрешения

1.2. Уравнение мультиплексора.

Функционирование мультиплексора, представленного на рис. 3.1, описывается характеристическим уравнением, связывающим сигнал на выходе (Y с разрешающим (G), входными информационными (B0...B7) и управляющими (A, B, C) сигналами:

$$Y = \left(\overline{C} \cdot \overline{B} \cdot \overline{A} \cdot D0 \vee \overline{C} \cdot \overline{B} \cdot A \cdot D1 \vee \overline{C} \cdot B \cdot \overline{A} \cdot D2 \vee \overline{C} \cdot B \cdot A \cdot D3 \vee \right. \\ \left. \vee C \cdot \overline{B} \cdot \overline{A} \cdot D4 \vee C \cdot \overline{B} \cdot A \cdot D5 \vee C \cdot B \cdot \overline{A} \cdot D6 \vee C \cdot B \cdot A \cdot D7 \right) \cdot \overline{G}.$$

Как видно из уравнения, на мультиплексоре можно реализовать логические функции, для чего нужно определить, какие сигналы и логические константы следует подавать на входы мультиплексора.

Реализация заданной функции с помощью мультиплексора.

Логическая функция n переменных определена для n комбинаций значений переменных. Это позволяет реализовать функцию n-переменных на мультиплексоре, имеющем n-управляющих и n информационных входов. В этом случае каждой комбинации значений аргументов соответствует единственный информационный вход мультиплексора, на который подается значение функции.

Например, требуется реализовать функцию $F_1 = c \cdot b \cdot a \vee c^* b^* a \vee c^* b^* a \vee c \cdot b^* a$.

Эта функция определена только для 8 комбинаций значений переменных, поэтому для её реализации можно использовать мультиплексор 8x1 с тремя управляющими входами. Составим таблицу истинности функции.

Таблица 3.1

Таблицу истинности функции

N	C	B	A	F1
0	0	0	0	1
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	0
6	1	1	0	1
7	1	1	1	1

Из таблицы видно, что для реализации функции на мультиплексоре необходимо подать на информационный вход мультиплексора с номером N сигнал, значение которого равно соответствующему значению функции F1, т. е. на входы с номерами 1, 2, 4, 5 следует подать уровень логического нуля, а на остальные - уровень логической единицы. Таким образом, при подаче комбинации логических уровней на управляющие входы мультиплексора, к его выходу подключится вход, значение сигнала на котором равно соответствующему значению функции. Схемная реализация приведена на рис. 3.2.

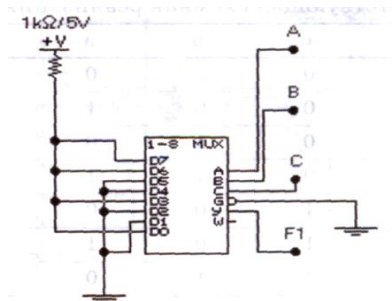


Рис. 3.2. Схема мультиплексора

При реализации логических функций на информационные входы можно подавать не только константы, но и изменяющиеся входные сигналы. Так, например, рассмотрим другой способ реализации функции F1, рассмотренной выше. Для этого минимизируем выражение функции: $F1 = \bar{c} \cdot \bar{b} \cdot \bar{a} \vee \bar{b} \cdot a \vee c \cdot b$. Составим таблицу истинности функции в зависимости от значений переменных a и b.

Таблица 3.2

Таблицу истинности функции

N	B	A	F1
0	0	0	c
1	0	1	0
2	1	0	c
3	1	1	1

Заданную такой таблицей функцию реализуют, как и в предыдущем случае, подав на вход с номером N сигнал, значение которого соответствует значению функции F. В данном случае сигналы, соответствующие переменной c, подаются на информационные входы, как указано в таблице истинности. При этом сокращается число управляющих входов.

Схемная реализация такого способа задания функции представлена на рис. 3.3. Так как используются только два адресных входа, управляющий вход С можно заземлить. При этом состояние информационных входов В4...В7 безразлично. Уровень сигнала на выходе схемы определяется комбинацией уровней сигналов в точках А, В, С, соответствующих переменным a, b, c.

Схема рис. 3.3. по существу представляет собой мультиплексор 4х1 с двумя управляющими и четырьмя информационными входами.

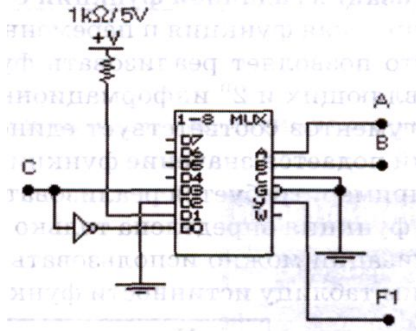


Рис. 3.3. Схема мультиплексора

Если функцию можно представить в виде произведения одночлена на многочлен, то её также можно реализовать при помощи мультиплексора. Как следует из уравнения мультиплексора, сигнал, соответствующий одночлену, нужно подать на вход разрешения. Например, требуется реализовать функцию $F2$, описываемую следующим выражением:

$$F2 = x(d \cdot c \cdot \bar{b} \cdot \bar{a} \vee d \cdot \bar{b} \cdot a \vee e \cdot \bar{c} \cdot b \cdot a \vee c \cdot b \cdot a).$$

Таблица 3.3

Таблица истинности функции

N	C	B	A	f
0	0	0	0	0
1	0	0	1	d
2	0	1	0	0
3	0	1	1	e
4	1	0	0	0
5	1	0	1	d
6	1	1	0	0
7	1	1	1	1

При реализации данной функции на мультиплексоре сигнал, соответствующий переменной x , следует подать на его разрешающий вход. Рассмотрим, какие сигналы необходимо подать на управляющие входы мультиплексора. Выражение в скобках можно рассматривать как некоторую функцию / пяти переменных: a, b, c, i, e , из которых наиболее часто используются переменные a, b и c . Поэтому сигналы, соответствующие этим переменным, нужно подать на управляющие входы мультиплексора.

Определим, какие сигналы следует подать на информационные входы, чтобы реализовать функцию. Для этого составим таблицу истинности функции в зависимости от значений переменных a, b и c .

Из таблицы видно, что на информационные входы с номерами $N = 0, 2, 4, 6$ нужно подать уровень логического нуля. Сигнал, соответствующий переменной d , нужно подать на входы с номерами $N=1,5$, сигнал, соответствующий переменной e , - на вход с номером 3. Соответствующая схемная реализация представлена на рис.3.4.

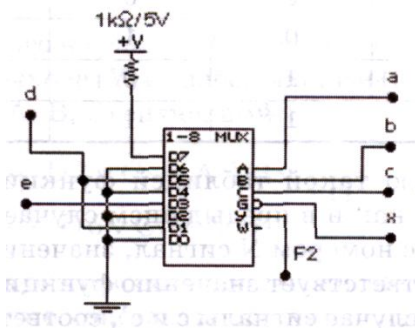


Рис. 3.4. Комбинационные схемы средней степени интеграции

2. Порядок выполнения работы

Эксперимент 1. Исследование мультиплексора.

а) Откройте файл `s13_06` со схемой, изображенной на

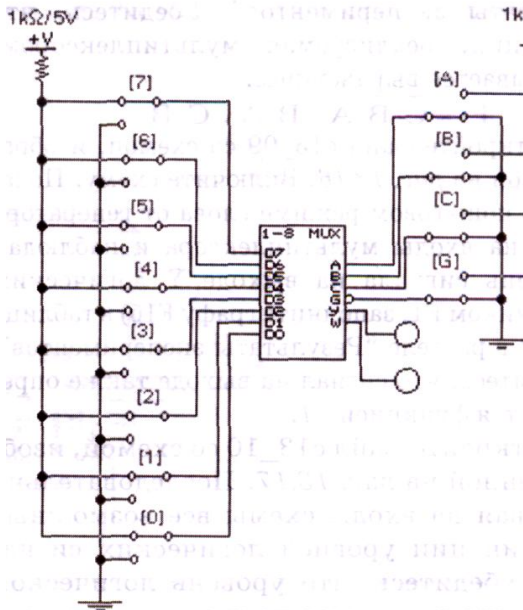


Рис. 3.5. Схема для исследования

рис. 3.5. Включите схему. С помощью ключа G установите на входе G мультиплексора уровень логического нуля. Поочередно подавая все возможные комбинации логических уровней при помощи ключей A, B, C на соответствующие входы мультиплексора, для каждой комбинации с помощью логических пробников определите, переключение какого из ключей в левой части схемы изменяет состояние выходов мультиплексора. Обозначение соответствующего входа мультиплексора запишите в таблицу 3.4 в разделе "Результаты экспериментов", указав при этом, как передается входной сигнал на выходы мультиплексора (напрямую или с инверсией). Например, если переключение ключа 4 изменяет состояние выходов мультиплексора, в таблице в строке с соответствующей комбинацией уровней сигналов на входах A, B, C следует записать для выхода Y- D4, для выхода W- D4.

б) Установите при помощи ключа G уровень логической единицы на входе С микросхемы. В раздел "Результаты экспериментов" запишите обозначения выводов, которые при переключении соответствующих ключей в левой части схемы не влияют на состояние выходов микросхемы.

Эксперимент 2. Исследование мультиплексора с помощью генератора слов.

Откройте файл c13_07 со схемой, изображенной на рис. 3.6. Включите схему. Подавая в пошаговом режиме слова от генератора слов на входы мультиплексора и наблюдая уровни сигналов на выходах Y и W при помощи логических пробников, заполните таблицу 3.5 в разделе "Результаты экспериментов".

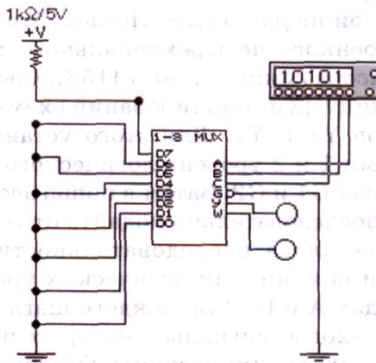


Рис. 3.6. Схема для исследования

Эксперимент 3. Реализация заданной функции с помощью мультиплексора.

а) Определите значение функции F1 для каждой комбинации значений аргументов и заполните графу F1 расч в разделе "Результаты экспериментов".

Откройте файл c13_08 со схемой, изображенной на рис. 3.7. Включите схему. Подайте при помощи ключей A, B, C все возможные комбинации логических сигналов на входы мультиплексора и, определяя уровень сигнала на выходе Y логическим пробником F1, заполните графу F1а) в табл.3.6 в разделе "Результаты экспериментов". Убедитесь, что функция, реализуе-

мая мультиплексором, описывается выражением:

$$F1 = C \bar{B} x \bar{B} A C \bar{v} B.$$

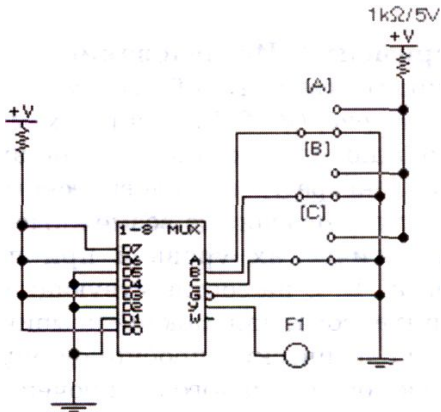


Рис. 3.7. Схема для исследования

б) Откройте файл с3_09 со схемой, изображенной на рис. 3.8. Включите схему. Подавая в пошаговом режиме слова от генератора слов на входы мультиплексора и наблюдая уровень сигнала на выходе Y логическим пробником F1, заполните графу F1б) в табл. 3.6 в разделе "Результаты экспериментов". Убедитесь, что сигнал на выходе также определяется функцией F1.

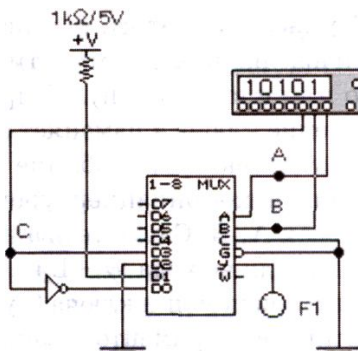


Рис. 3.8. Схема для исследования

в). Откройте файл c13_10 со схемой, изображенной на рис. 3.9. Последовательно подавая на входы схемы все возможные комбинации уровней логических сигналов, убедитесь, что уровень логической единицы на выходе появляется только в случаях, когда на входах схемы действуют комбинации, описываемые шестнадцатеричными эквивалентами 07Н, 09Н, 0СН, 0ОН, 0ГН, 13Ь, 17Н, 19Н, 1ВН, 1СН, 1ВН, 1ГН, при которых функция F2 принимает значение

Эксперимент 4. Исследование мультиплексора 74153.

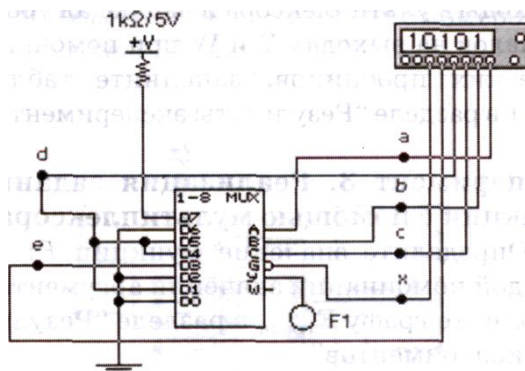


Рис. 3.9. Схема для исследования

а) Откройте файл c13_11 со схемой, изображенной на рис. 3.10. Исследуйте работу сдвоенного четырехканального мультиплексора (микросхема 74153). Составьте таблицу функционирования схемы для выходов Y1 и Y2. Для этого установите ключами 1 и 2 уровень логического нуля на входах G1 и G2. Затем в пошаговом режиме последовательно подайте от генератора все слова последовательности для каждой комбинации логических уровней на входах A и B.

Для каждого шага определите входы, сигналы с которых проходят на выходы микросхемы. Обозначения входов занесите в таблицу 3.7 в разделе "Результаты экспериментов".

б) При помощи ключа 1 установите уровень логической единицы на входе 1G микросхемы. Подавая на входы микросхемы слова от генератора, определите, какой из выходов микросхемы перестал реагировать на изменение состояния входов. Запишите обозначение этого вывода в раздел "Результаты экспериментов".

в) Повторите действия пункта б), установив на входе 2G уровень логической единицы, а на входе 1G — уровень логического нуля.

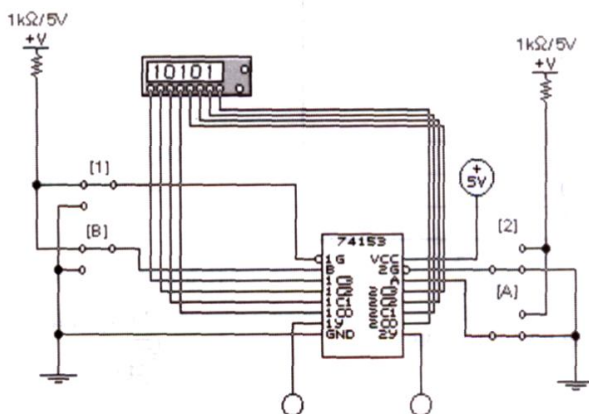


Рис. 3.10. Схема для исследования

3. Результаты экспериментов

Таблица 3.4

Результаты эксперимента 1. Исследование мультиплексора

A	B	C	Y	W
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

Таблица 3.5

Результаты эксперимента 2. Исследование мультиплексора с помощью генератора слов

A	B	C	Y	W
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

Таблица 3.6

Результаты эксперимента 3. Реализация заданной функции с помощью мультиплексора

A	B	C	F1расч	F1а)	F1а)
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

Таблица 3.7

Результаты эксперимента 4. Исследование мультиплексора 74153

A	B	1Y	2Y

4. Контрольные вопросы

1. Функцию какого электрического устройства выполняет мультиплексор для логических сигналов?

2. Каким аналитическим уравнением описывается работа мультиплексора 2x1 с управляющим входом? В уравнении используйте следующие обозначения: входы - A, B, выход - Y, разрешающий вход G.

Какие и в каком количестве логические элементы требуются для реализации этого уравнения?

3. Как реализовать схему мультиплексора 2x1 с управляющим входом на элементах И-НЕ?

4. Как можно на основе двух мультиплексов 2×1 сделать один мультиплексор 4×1 ? Какие дополнительные элементы понадобятся для этого?

5. Функции скольких переменных можно реализовать без дополнительных элементов (за исключением инверторов) на одном мультиплексоре 4×1 ? На мультиплексоре 8×1 ? На мультиплексоре 16×1 ?

6. При какой форме аналитического представления логической функции, предназначенной для реализации на мультиплексоре, управляющий вход G может быть использован для подачи одного из входных сигналов?

7. Какими логическими уравнениями описывается работа микросхемы сдвоенного мультиплексора 74153?

5. Применение дешифраторов. Задачи для самостоятельного решения

Задача 1

Соберите схему, изображенную на рис. 3.11, микросхема 74139 - сдвоенный четырехканальный мультиплексор. Составьте таблицу функционирования схемы. К какому типу относится схема?

Задача 2

Разработайте и соберите при помощи Electronic Workbench схему дешифратора 4×16 на основе двух базовых дешифраторов 3×8 . Убедитесь в правильности его функционирования. Рассмотрите варианты использования оставшихся входов разрешения для организации режима разрешения.

Задача 3

Разработайте и соберите по аналогии с предыдущим заданием при помощи Electronic Workbench схему дешифратора 5×32 на основе четырех дешифраторов 3×8 . Убедитесь в правильности его функционирования.

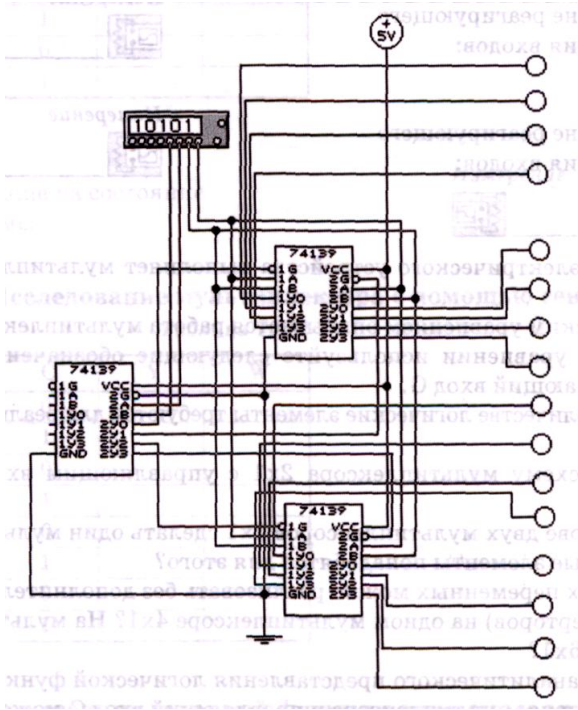


Рис. 3.11. Схема для исследования

(Указание: старшие разряды входного пятиразрядного кода e и d подключите к входам разрешения так, чтобы функции разрешения для соответствующих входов определялись следующими выражениями: $e \cdot d$, $e \cdot \bar{d}$, $e * d$, $e \cdot d$ (для формирования последнего произведения необходим элемент НЕ)).

Задача 4

Разработайте, соберите и испытайте схемы на основе базового дешифратора и элементов 2И-НЕ или 2И, реализующие заданную функцию F. На входе разрешения установить активный уровень. Варианты задач приведены ниже.

- 1) $F = \bar{C} \cdot \bar{B} \cdot \bar{A} \vee C \cdot B \cdot A \vee \bar{B} \cdot \bar{A}$;
- 2) $F = \bar{B} \cdot \bar{A} \vee C \cdot \bar{B} \vee \bar{C} \cdot B \cdot A$;
- 3) $F = \bar{C} \cdot A \vee C \cdot \bar{B}$;
- 4) $F = \bar{C} \cdot \bar{A} \vee B$;
- 5) $F = \bar{C} \cdot \bar{B} \cdot A \vee C \cdot \bar{B} \cdot \bar{A} \vee \bar{C} \cdot B \cdot \bar{A}$
- 6) $F = \bar{C} \cdot \bar{B} \cdot A \vee C \cdot \bar{B} \cdot A \vee C \cdot \bar{B} \cdot \bar{A}$
- 7) $F = \bar{C} \cdot \bar{B} \cdot \bar{A} \vee B \cdot A \vee C \cdot B$;
- 8) $F = C \cdot \bar{A} \vee \bar{B} \cdot A \vee \bar{C} \cdot A$.

Задача 5

Разработайте, соберите и испытайте схемы на основе дешифратора 3x8 и элемента И-НЕ, реализующие заданную функцию F. Один из входов разрешения использовать для подачи аргумента одного из сигналов. Варианты задач приведены ниже.

Задача 6

- 1) $F = D \cdot \bar{C} \cdot \bar{A} \vee D \cdot C \cdot B \cdot A \vee D \cdot \bar{B} \cdot \bar{A}$;
- 2) $F = \bar{D} \cdot \bar{B} \cdot \bar{A} \vee \bar{D} \cdot C \cdot B \vee \bar{D} \cdot \bar{C} \cdot B \cdot A$;
- 3) $F = D \cdot \bar{C} \cdot A \vee C \cdot \bar{B} \cdot A$;
- 4) $F = \bar{D} \cdot \bar{C} \cdot B \cdot A \vee \bar{D} \cdot C \cdot B \cdot \bar{A} \vee D \cdot \bar{C} \cdot B \cdot \bar{A}$;
- 5) $F = \bar{D} \cdot C \cdot \bar{B} \cdot A \vee D \cdot C \cdot \bar{B} \cdot A \vee D \cdot C \cdot \bar{B} \cdot \bar{A}$;
- 6) $F = \bar{D} \cdot \bar{C} \cdot \bar{B} \cdot A \vee \bar{D} \cdot B \cdot A \vee \bar{D} \cdot C \cdot B$.

Разработайте, соберите и испытайте схемы на основе дешифратора, формирующие нули на указанных выходах при следующих комбинациях логических уровней на входах, заданных шестнадцатеричными числами:

Исходные данные

№ вар.	Выходы							
	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
1	0...7	8...F	10...17	18...1F	20...27	28...2F	30...37	38...3F
2	0,2,4,6	1,3,5,7	8,A,C,E	9,B,D,F	10,12, 14,16	11,13, 15,17	18,1A, 1C,1E	19,1B, 1D,1F
3	0,4,8,C	1,5,9,D	2,6,A,E	3,7,B,F	10,14, 18,1C	11,15, 19,1D	12,16, 1A,1E	13,17, 1B,1F
4	0,8, 10,18	1,9, 11,19	2,A, 12,1A	3,B, 13,1B	4,C, 14,1C	5,D, 15,1D	6,E, 16,1E	7,F, 17,1F

Задача 7

Разработать, собрать и проверить работу схемы на основе мультиплексора 8x1, реализующую заданную логическую функцию Y. Варианты задач:

- 1) $Y = C - B \vee C - A;$
- 2) $Y = B - A \vee C - B \vee C - A;$
- 3) $Y = C - B - A \vee C - B - A \vee C - B - A \vee C - B - A;$
- 4) $Y = C - A \vee B - A \vee C - A;$
- 5) $Y = D - B - A \vee C - B \vee D - B - A;$
- 6) $Y = D - B - C - A \vee C - B - A \vee D - C - B;$
- 7) $Y = D - C \vee B - A;$
- 8) $Y = D - C - A \vee D - B - A \vee C - B - A \vee D - C - B;$
- 9) $Y = D - (E \sim B - A \vee C - B - A \vee E - C - B);$
- 10) $Y = B - (E - D - C - A \vee E - D - C \vee D - C - A);$
- 11) $Y = E - (D - C - B - A \vee C - B - A \vee D - B - A);$
- 12) $Y = A - (I - C - B \vee E - D - C \vee D - C - B).$

Задача 8

Выполнить задачи 1)...5) предыдущего задания на мультиплексоре 4x1. Выполнить задачи 6)... 12) предыдущего задания на мультиплексоре 4x1 и логических элементах 2И-НЕ.

Лабораторная работа № 4 ТРИГГЕРЫ

Цель работы:

- изучение структуры и алгоритмов работы асинхронных и синхронных триггеров.
- исследование функций переходов и возбуждения основных типов триггеров.
- изучение взаимозаменяемости триггеров различных типов.

Приборы и элементы

Генератор слов

Вольтметр

Логические пробники

Источник напряжения + 5 В

Источник сигнала «логическая единица»

Двухпозиционные переключатели

Двухходовые элементы И, И-НЕ, ИЛИ, ИЛИ-НЕ

RS и RS –триггеры

JK-триггер

D-триггер

1. Теоретическая часть

1.1. Триггер – простейшая цифровая схема последовательностного типа. В обычных комбинационных схемах состояние выхода Y в любой момент времени определяется только текущим состоянием входа X :

$$Y = F(X). \quad (4.1)$$

В отличие от них, состояние выхода последовательностной схемы (цифрового автомата) зависит еще и от внутреннего состояния схемы Q :

$$Y = F(X, Q) \quad (4.2)$$

Другими словами, цифровой автомат является не только преобразователем, но и хранителем предшествующей и источником текущей информации (состояния). Это свойство обеспечивается наличием в схемах обратных связей.

Основой последовательностных схем являются триггеры. Триггер имеет два устойчивых состояния: $Q=1$ и $Q=0$, поэтому его иногда называют бистабильной схемой. В каком из этих состояний окажется триггер, зависит от сигналов на входах триггера и от его предыдущего состояния, т. е. он имеет память. Можно сказать, что триггер является элементарной ячейкой памяти.

Тип триггера определяется алгоритмом его работы. В зависимости от алгоритма работы, триггер может иметь установочные, информационные и управляющие входы. Установочные входы устанавливают состояние триггера независимо от состояния других входов. Входы управления разрешают запись данных, подающихся на информационные входы. Наиболее распространенными являются триггеры RS, JK, D и T-типов.

1.2. Триггер типа RS

RS-триггер – простейший автомат с памятью, который может находиться в двух состояниях. Триггер имеет два установочных входа: установки S (set – установка) и сброса R (reset — сброс), на которые подаются входные сигналы от внешних источников. При подаче на вход установки активного логического уровня триггер устанавливается в 1 ($Q = 1, \bar{Q} = 0$), при подаче активного уровня на вход сброса триггер устанавливается в 0 ($Q = 0, \bar{Q} = 1$). Если подать на оба входа установки (возбуждения) пассивный уровень, то триггер будет сохранять предыдущее состояние выходов: $Q=0$ ($\bar{Q} = 1$)

либо $Q=1$ ($\bar{Q} = 0$). Каждое состояние устойчиво и поддерживается за счет действия обратных связей.

Для триггеров этого типа является недопустимой одновременная подача активного уровня на оба входа установки, т. к. триггер по определению не может одновременно быть установлен в ноль и единицу. На практике подача активного уровня на установочные входы приводит к тому, что это состояние не может быть сохранено и невозможно определить, в каком состоянии будет находиться триггер при последующей подаче на установочные входы сигналов пассивного уровня.

На рис. 4.1 и 4.2 показаны два вида RS-триггеров, выполненных на элементах ИЛИ-НЕ и И-НЕ.

Для схемы на рис. 4.1 активным уровнем является уровень логической единицы, для схемы на рис. 4.2 – уровень логического нуля. Схема на рис. 4.2 получила название RS-триггера с инверсными входами – RS-триггер.

RS-триггер является основным узлом для построения последовательностных схем. Название схем такого типа «последовательностные» означает, что состояние выхода зависит от того, в какой последовательности на входы подаются входные наборы и каково было предшествующее внутреннее состояние. Так, если в RS-триггере (рис. 4.1) вначале установить комбинацию $R=0, S=1$ (сокращенная запись – 01), а потом перейти к $R=0, S=0$ (00), то состояние выхода $Q=1$. Если же вначале установить комбинацию 10, а потом перейти к 00, то состояние выхода будет другим – $Q=0$, несмотря на одинаковые комбинации сигналов на входах. Таким образом, при одном и том же входном наборе 00 выход триггера может находиться в разных состояниях.

Условия переходов триггеров из одного состояния в другое (алгоритм работы) можно описать табличным, аналитическим или графическим способами. Табличное описание работы RS-триггера (рис. 4.1) представлено в таблице 4.1 (таблица переходов) и таблице 4.2 (таблица функций возбуж-

дения).

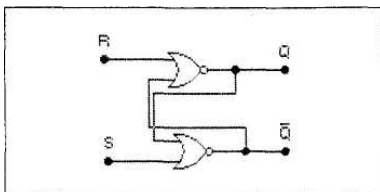


Рис. 4.1.RS-триггеров

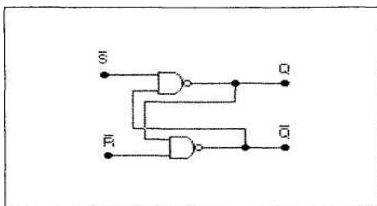


Рис. 4.2. RS-триггер с инверсными входами

Таблица 4.1

Таблица переходов

R	S	Q_{t+1}
0	0	Q_t
0	1	1
1	0	0
1	1	-

Таблица 4.2

Таблица функций возбуждения

Q_t	Q_{t+1}	R	S
0	0	X	0
0	1	0	1
1	0	1	0
1	1	0	X

В таблицах использованы следующие обозначения:

Q_t - предшествующее состояние выхода;

Q_{t+1} - новое состояние, устанавливающееся после перехода (возможно $Q_{t+1} = Q_t$);

x - безразличное значение сигнала: 0 или 1;

- - неопределенное состояние.

Аналитическое описание (характеристическое уравнение) можно получить из таблиц 4.1, 4.2 по правилам алгебры логики:

$$Q_{t+1} = \bar{R}S \vee \bar{R}Q_t = \bar{R}(S \vee Q_t). \quad (4.3)$$

Зависимость Q_{t+1} от Q_t характеризует свойство запоминания предшествующего состояния. Описание работы RS-триггера можно дополнить графом рис. 4.3(графический способ).

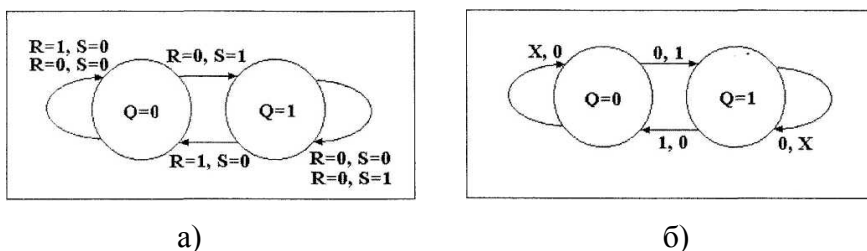


Рис. 4.3 а, б. Графический способ описания работы RS-триггера

График на рис. 4.3а показывает, что схема, которая находилась в состоянии $Q=0$, сохраняет это состояние как при воздействии входного набора $R=0, S=0$, так и при воздействии $R=1, S=0$. Если же на вход схемы, находящейся в состоянии $Q=0$, подействовать набором $R=0, S=1$, то она переходит в состояние $Q=1$ и сохраняет его при входных наборах $R=0, S=1$, либо $R=0, S=0$. На рис. 4.3б тот же граф триггера нарисован более компактно. Входные сигналы, которые могут при-

нимать любые значения (как 0, так и 1), обозначены как X, а позиция обозначения соответствует последовательности R, S.

1.3. JK-триггер

Триггер JK-типа имеет более сложную, по сравнению с RS-триггером, структуру и более широкие функциональные возможности. Помимо информационных входов J и K и прямого и инверсного выходов Q и \bar{Q} , JK-триггер имеет вход управления С (этот вход также называют тактирующим или счетным), а также асинхронные установочные R и S-входы. Обычно активными уровнями установочных сигналов являются нули, как в схеме на рис. 4.2. Установочные входы имеют приоритет над остальными. Активный уровень сигнала на входе S устанавливает триггер в состояние Q=1, а активный уровень сигнала на входе R – в состояние Q=0, независимо от сигналов на остальных входах.

Если на входы установки одновременно подать пассивный уровень сигнала, то состояние триггера будет изменяться по фронту импульса на счетном входе в зависимости от состояния входов J и K, как показано в таблицах переходов (табл. 4.3) и функций возбуждения (табл. 4.4).

Таблица 4.3

Таблица переходов

J	K	Q_{t+1}
0	0	Q_t
0	1	0
1	0	1
1	1	Q_t

Таблица 4.4

Таблица функций возбуждения

Q_t	Q_{t+1}	J	K
0	0	x	0
0	1	0	1
1	0	1	0
1	1	0	x

Работа JK-триггера описывается характеристическим уравнением:

$$Q_{t+1} = J_t \bar{Q}_t \vee Q_t K_t. \quad (4.4)$$

Один из вариантов функциональной схемы JK-триггера со входами установки логическим нулем и его условное графическое обозначение (УГО) приведены на рис. 4.4а, б.

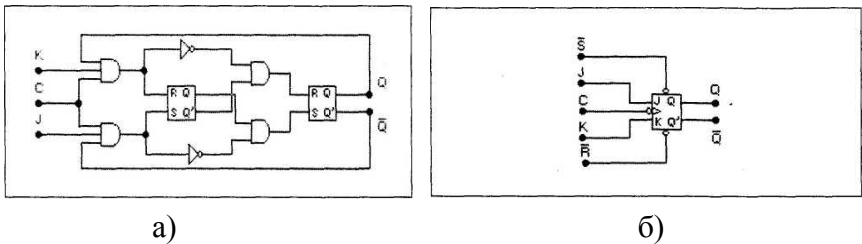


Рис. 4.4 а,б. Схема JK-триггера

Временные диаграммы его работы при $R=S=1$ приведены на рис. 4.5.

Подобно RS-триггеру, изменение состояний JK-триггера можно изобразить графом переходов (рис.4.6). Входные сигналы, которые могут принимать любые значения (как 0, так и 1), обозначены как X, а позиция обозначения соответствует последовательности J, K.

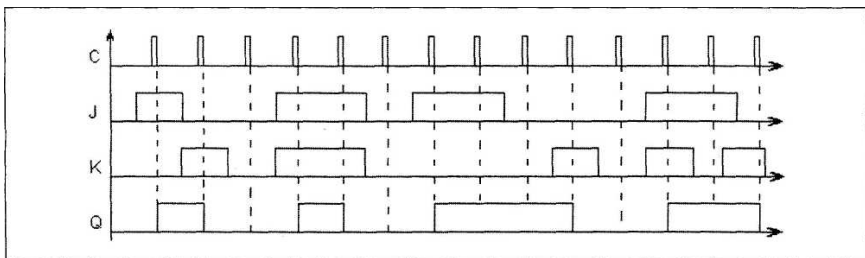


Рис. 4.5. Временные диаграммы работы триггера

Этот рисунок не должен вводить в заблуждение: если $X=1$, то при $JK=11$ схема будет переходить из состояния $Q=0$ в состояние $Q=1$. Но из этого состояния схема должна возвратиться в $Q=0$ и т. д. Этот граф описывает работу автогенератора.

В данном случае все изменения выхода происходят только в момент отрицательного перепада тактового сигнала C .

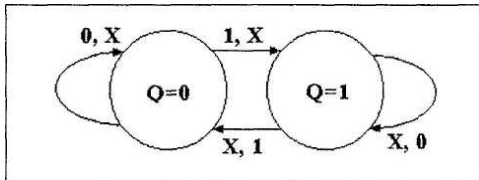


Рис. 4.6. Граф работы триггера

Действительно, если $J=K=1$, то с каждым новым тактовым импульсом выход будет изменять свое значение на противоположное и триггер будет выполнять функцию делителя частоты на 2, а не автогенератора.

1.4. D-триггер

D-триггер имеет один информационный вход D (data – данные). Информация со входа D заносится в триггер по положительному перепаду импульса на счетном входе C и со-

храняется до следующего положительного перепада на счетном входе триггера. Помимо счетного С и информационного D входов, триггер снабжен асинхронными установочными R и S входами. Установочные входы приоритетны. Они устанавливают триггер независимо от сигналов на входах С и D. Функционирование D-триггера описывается таблицей переходов (табл. 4.5), таблицей функций возбуждения (табл. 4.6) и диаграммами входных и выходных сигналов (рис. 4.7).

Таблица 4.5

Таблица переходов

D	Q_{t+1}
0	0
1	1

Таблица 4.6

Таблица функций возбуждения

Q_t	Q_{t+1}	D
0	0	0
0	1	1
1	0	0
1	1	1

Характеристическое уравнение D-триггера:

$$Q_{t+1} = D_t \quad (4.5)$$

Уравнение показывает, что состояние триггера на (t+1)-такте равно входному сигналу в момент, предшествующий тактовому перепаду сигнала С. Условное обозначение D-триггера представлено на рис. 4.8.

Функциональная схема D-триггера может быть получена из схемы JK-триггера (рис. 4.4а) путем подключения

входа К ко входу J через инвертор: $D=J=K$.

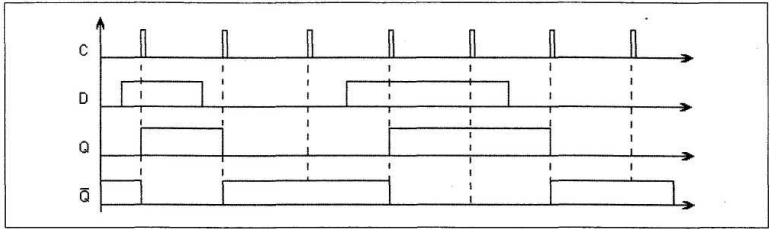


Рис. 4.7. Диаграмма входных и выходных сигналов

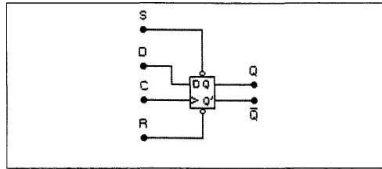


Рис. 4.8. Условное обозначение D-триггера

2. Т-триггер (счетный триггер)

На основе JK-триггеров и D-триггеров можно построить схемы, осуществляющие так называемый счетный режим. Такие схемы называют Т-триггерами или счетными триггерами, связывая с этим способ их функционирования. На рис.4.9 представлены схемы организации Т-триггера на основе JK и D-триггеров.

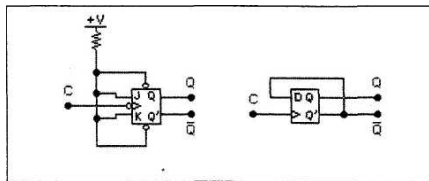


Рис. 4.9. Схемы организации Т-триггера на основе JK и D-триггеров

Счетный режим иллюстрируется временными диаграммами рис. 4.10.

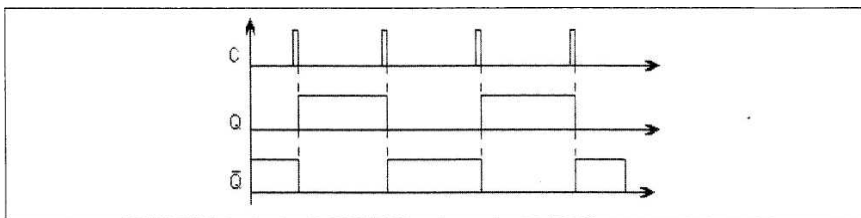


Рис. 4.10. Временная диаграмма

В JK-триггере со входами установки логическим нулем счетный режим реализуется путем подачи констант $J=K=1$ и $R=S=1$ и входного сигнала Т на вход С. В соответствии с таблицей функционирования (табл. 4.3 и 4.4) при каждом отрицательном перепаде входного сигнала Т состояние триггера изменяет свое значение на противоположное.

В D-триггере счетный режим реализуется при помощи обратной связи (на вход D подается сигнал с инверсного выхода). Таким образом, всегда существует неравенство сигнала на входе D и сигнала на выходе Q: если $Q=1$, $D=0$. Следовательно, при каждом положительном перепаде сигнала на счетном входе С, в соответствии с принципом действия D-триггера состояние выхода будет изменяться на противоположное.

Таким образом, на каждые два входных тактовых импульса Т-триггер формирует один период выходного сигнала Q. Следовательно, триггер осуществляет деление частоты f_T на его входе на 2:

$$f_Q = \frac{f_T}{2}. \quad (4.6)$$

где f_Q — частота следования импульсов на выходе триггера.

3. Порядок выполнения работы

Эксперимент 1. Исследование RS-триггера.

а). Откройте файл c14_01 со схемой, изображенной на рис. 4.11. Включите схему. Последовательно подайте на схему следующие сигналы: $S=0, R=1$; $S=0, R=0$; $S=1, R=0$; $S=0, R=0$.

Убедитесь в том, что:

- при $S=0, R=1$ триггер устанавливается в состояние $Q=0$;
- при переходе к $S=0, R=0$ триггер сохраняет прежнее состояние выхода $Q=0$;
- при $S=1, R=0$ триггер устанавливается в состояние $Q=1$;
- при переходе к $S=0, R=0$ триггер сохраняет прежнее состояние выхода $Q=1$.

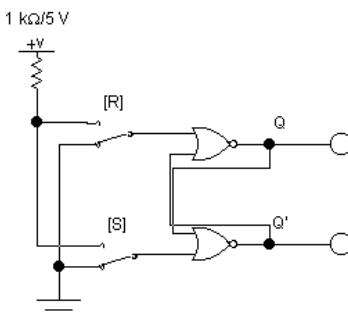


Рис. 4.11. Схема для исследования

б) По результатам эксперимента заполните таблицу функций возбуждения для схемы рис. 4.11, приведенную в разделе «Результаты экспериментов» (табл. 4.7).

в) Для каждого перехода (изменения состояния или сохранения предыдущего) нарисуйте в разделе «Результаты экспериментов» граф перехода.

Эксперимент 2. Исследование \overline{RS} -триггера.

а) Откройте файл c14_02 со схемой, изображенной на рис. 4.12. Включите схему. Последовательно подайте на схему следующие сигналы: S=1, R=0; S=0, R=0; S=0, R=1; S=0, R=0.

Убедитесь в том, что:

- при S=1, R=0 триггер устанавливается в состояние, при котором выход Q=0;
- при переходе к S=R=1 триггер сохраняет прежнее значение выхода Q=0;
- при S=0, R=1, триггер устанавливается в состояние, при котором Q=1;
- при переходе к S=1, R=1 прежнее значение выхода Q=1 сохраняется.

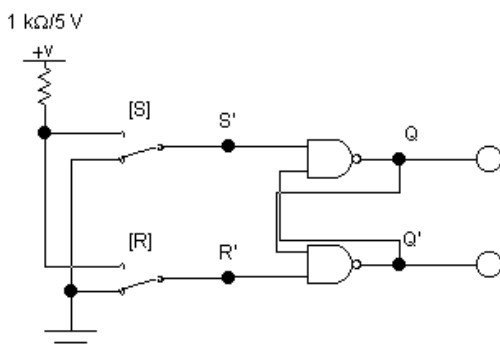


Рис. 4.12. Схема для исследования

б) По результатам эксперимента заполните таблицу функций возбуждения для схемы рис. 4.12, приведенную в разделе «Результаты экспериментов» (табл. 4.8).

в) Для каждого перехода (изменения состояния или сохранения предыдущего) нарисуйте в разделе «Результаты экспериментов» граф перехода по типу рис. 4.3.

Эксперимент 3. Исследование JK-триггера.

а) Откройте файл c14_03 со схемой, изображенной на

рис. 4.13. Включите схему. Убедитесь в том, что:

- при $R=1, S=0$ триггер устанавливается в 1 ($Q=1, Q'=0$) независимо от состояния остальных входов;
- при $R=0, S=1$ триггер устанавливается в 0 ($Q=0, Q'=1$) независимо от состояния остальных входов.

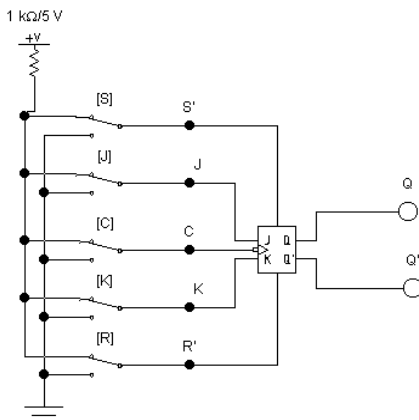


Рис. 4.13. Схема для исследования

б) Установите $S'=R'=1$, проверьте истинность таблицы функций возбуждения (табл. 4.4), по результатам эксперимента заполните таблицу 4.9 в разделе «Результаты экспериментов».

Указание: начальное состояние триггера устанавливать кратковременной подачей сигнала $S'=0$ для получения $Q_t = 1$ и сигнала $R'=0$ для получения $Q_t = 0$. Переход триггера в состояние Q_{t+1} происходит только по отрицательному фронту импульса на счетном входе С, сформированном соответствующим ключом.

в) Составьте временные диаграммы работы триггера для всех возможных комбинаций Q_t, J_t, K_t и зарисуйте их в раздел «Результаты экспериментов».

Эксперимент 4. Исследование JK-триггера в счетном режиме (Т-триггер).

Соберите схему, изображенную на рис. 4.14. Включите схему. Изменяя состояние входа С соответствующим ключом, зарисуйте в разделе «Результаты экспериментов» диаграммы работы триггера в счетном режиме.

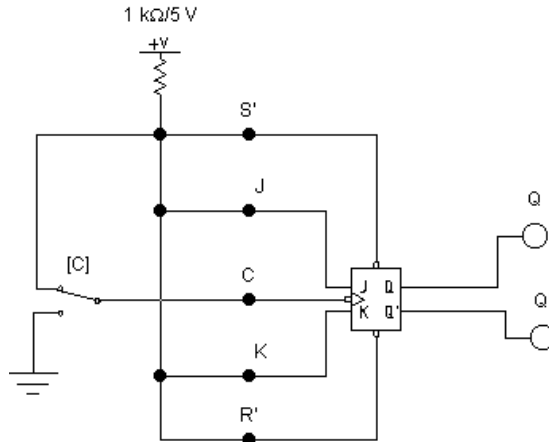


Рис. 4.14. Схема для исследования

Эксперимент 5. Исследование JK-триггера, построенного на базе логических элементов и RS-триггеров.

Откройте файл s14_04 со схемой, изображенной на рис. 4.15. Включите схему. Изменяя уровень сигнала на входе С, составьте временные диаграммы сигналов на выходах Q1 и Q2 обоих RS-триггеров и зарисуйте их в разделе «Результаты экспериментов». Укажите режим работы триггера. Определите моменты изменения сигналов Q1 и Q2 по отношению к моментам изменения сигнала С. Отражите различие во временах переключения RS-триггеров на диаграммах.

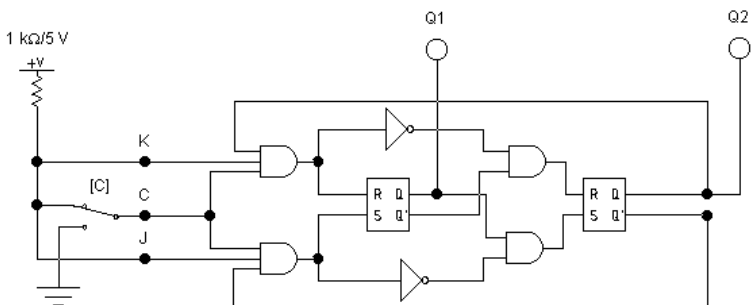


Рис. 4.15. Схема для исследования

Эксперимент 6. Исследование D-триггера.

а) Откройте файл s14_05 со схемой, изображенной на рис. 4.16. Включите схему.

Убедитесь в том, что:

- при $R=1, S=0$ триггер устанавливается в 1 ($Q=1, Q'=0$) независимо от состояния остальных входов;
- при $R=0, S=1$ триггер устанавливается в 0 ($Q=0, Q'=1$) независимо от состояния остальных входов.

б) Установите $S' = R' = 1$, проверьте истинность таблицы функций возбуждения (табл. 4.6), по результатам эксперимента заполните таблицу 4.10 в разделе «Результаты экспериментов».

в) Составьте временные диаграммы работы триггера для всех возможных комбинаций Q_t, D_t и зарисуйте их в раздел «Результаты экспериментов».

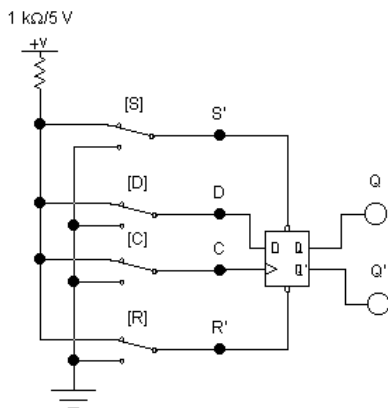


Рис. 4.16. Схема для исследования

Эксперимент 7. Исследование работы D-триггера в счетном режиме.

Соберите схему, изображенную на рис. 4.17. Подавая на счетный вход С тактовые импульсы с помощью ключа [С] и определяя состояние выходов триггера при помощи пробников, составьте временные диаграммы работы триггера в счетном режиме и занесите их в раздел «Результаты экспериментов».

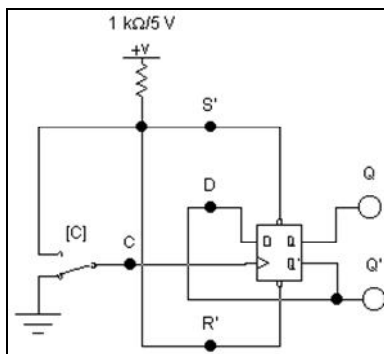


Рис. 4.17. Схема для исследования

4. Результаты экспериментов

Таблица 4.7

Результаты Эксперимента 1. Исследование RS-триггера

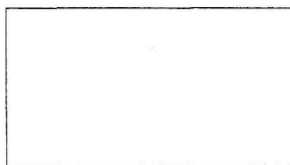
Q_t	Q_{t+1}	R	S
1		0	0
1		1	0
0		0	1
1		1	0
1		0	0
0		0	1

Графы переходов.

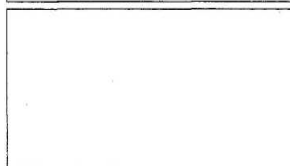
Состояние входов

Граф перехода

$S=0, R=1$



при переходе
к $S=R=0$



при $R=1, S=0$



при переходе
к $S=R=0$



Результаты эксперимента 2. Исследование \overline{RS} -триггера

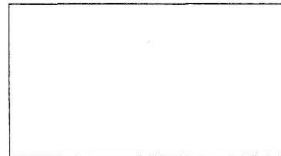
Q_t	Q_{t+1}	R	S
0		0	0
0		1	0
1		0	1
0		1	0
1		0	0
1		0	1

Графы переходов.

Состояние входов

Граф перехода

S=1, R=0

при переходе
к S=R=1

при R=0, S=1

при переходе
к S=R=1

Таблица 4.9

Результаты эксперимента 3. Исследование JK-триггера

Q_t	Q_{t+1}	J	K
0		0	0
0		0	1
0		1	0
0		1	1
1		0	0
1		0	1
1		1	0
1		1	1

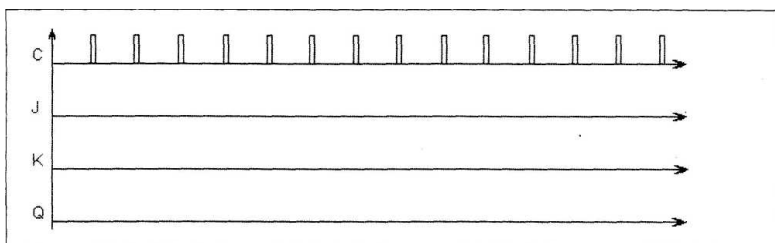


Рис. 4.18. Диаграмма работы триггера

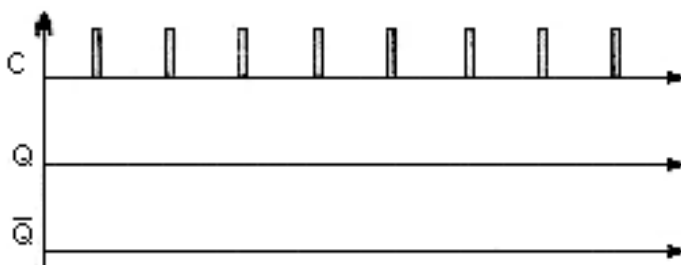


Рис. 4.19. Результаты эксперимента 4. Исследование JK-триггера в счетном режиме (Т-триггер). Диаграмма работы триггера

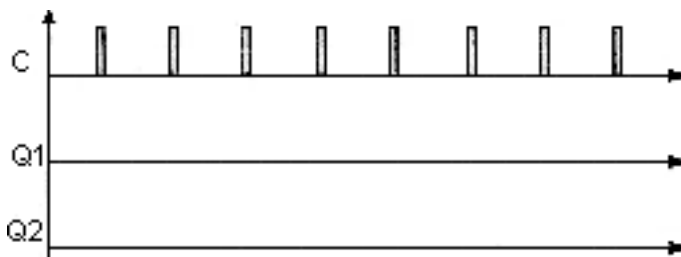


Рис. 4.20. Результаты эксперимента 5. Исследование JK-триггера, построенного на базе логических элементов и RS-триггеров

Таблица 4.10

Результаты эксперимента 6. Исследование D-триггера. Таблица функций возбуждения

Q_t	Q_{t+1}	J	K
0		0	0
0		0	1
0		1	0
0		1	1
1		0	0
1		0	1
1		1	0
1		1	1

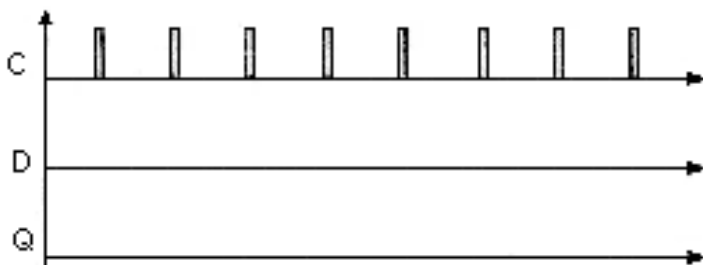


Рис. 4.21. Результаты эксперимента 6. Диаграмма работы триггера

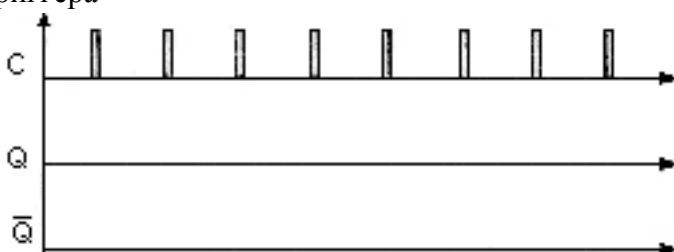


Рис. 4.22. Результаты эксперимента 7. Исследование работы D-триггера в счетном режиме. Диаграмма работы триггера.

5. Контрольные вопросы

1. Является ли элементом памяти выключатель настольной лампы?

2. Если продолжить предыдущий вопрос, то как можно охарактеризовать:

а) кнопочный выключатель (один раз нажал – лампа горит; второй раз нажал — лампа погасла);

б) клавишный переключатель-коромысло: нажал на одно плечо – лампа зажглась или продолжает оставаться горячей; нажал на другое плечо – погасла. Аналогия с какими видами триггеров напрашивается?

6. Чем отличается работа RS-триггера с прямыми

входами от работы RS-триггера с инверсными входами?

7. Почему комбинация сигналов 11 на входах RS-триггера называется «запрещенной»?

8. В чём отличие таблицы переходов триггера от таблицы функций возбуждения?

9. Как свойство запоминания отражается в характеристических уравнениях триггеров?

10. В чём принципиальное отличие работы синхронных триггеров от асинхронных?

11. Какова приоритетность информационных и установочных входов в синхронных триггерах?

12. Почему JK-триггер при $J=K=1$ не превращается в автогенератор?

13. Почему T-триггер получил название счетного? Какое число импульсов он может сосчитать?

14. Как работает D-триггер, если $D=Q$?

Лабораторная работа № 5 СЧЕТЧИКИ

Цель работы:

- изучение структуры и исследование работы суммирующих и вычитающих счетчиков.
- изучение способов изменения коэффициента пересчета счетчиков.
- исследование работы счетчиков с коэффициентом пересчета, отличным от 2^n .

Приборы и элементы:

- Генератор слов
- Логический анализатор
- Логические пробники
- Источник напряжения + 5 В

Генератор тактовых импульсов
Источник сигнала "логическая единица"
Двухпозиционные переключатели
Базовые двухвходовые логические элементы

1. Теоретическая часть

1.1. Счетчики

Счетчик - устройство для подсчета числа входных импульсов. Число, представляемое состоянием его выходов по фронту каждого входного импульса, изменяется на единицу. Счетчик можно реализовать на нескольких триггерах. В суммирующих счетчиках каждый входной импульс увеличивает число на его выходе на единицу, в вычитающих счетчиках каждый входной импульс уменьшает это число на единицу. Наиболее простые счетчики - двоичные. На рис. 5.1 представлен суммирующий двоичный счетчик и диаграммы его работы.

1.2. Изменение направления счета

Как уже говорилось ранее, счетчики можно реализовать на триггерах. При этом триггеры соединяют последовательно. Выход каждого триггера непосредственно действует на тактовый вход следующего. Для того чтобы реализовать суммирующий счетчик, необходимо счетный вход очередного триггера подключать к инверсному выходу предыдущего. Для того чтобы изменить направление счета (реализовать вычитающий счетчик), можно предложить следующие способы:

а). Считывать выходные сигналы счетчика не с прямых, а с инверсных выходов триггеров. Число, образуемое состоянием инверсных выходов триггеров счетчика, связано с числом, образованным состоянием прямых выходов триггеров следующим соотношением:

$$N_{\text{ПР}} = 2^n - N_{\text{ИНВ}} - 1, \quad (5.1)$$

где n — разрядность выхода счетчика.

В таблице 5.1 приведен пример связи числа на прямых выходах с числом на инверсных выходах триггеров счетчика.

б). Изменить структуру связей в счетчике: подавать на счетный вход следующего триггера сигнал не с инверсного, а с прямого выхода предыдущего, как показано на рис. 5.1. В этом случае изменяется последовательность переключения триггеров.

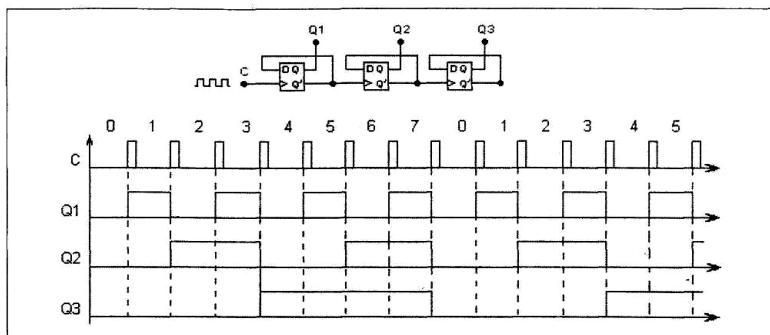


Рис. 5.1. Суммирующий двоичный счетчик и диаграммы его работы

Таблица 5.1

Пример связи числа на прямых выходах с числом на инверсных выходах триггеров счетчика

Состояния прямых			Число	Состояния инверсных			Число
Q3	Q2	Q1	N	Q3'	Q2'	Q1'	N
0	0	0	0	1	1	1	7
0	0	1	1	1	1	0	6
0	1	0	2	1	0	1	5

Изменение коэффициента пересчета.

Счетчики характеризуются числом состояний в течение одного периода (цикла). Для схем на рис. 5.2 и 5.3 цикл

содержит $N = 2^3 = 8$ состояний (от 000 до 111). Часто число состояний называют коэффициентом пересчета $K_{сч}$, который равен отношению числа импульсов N_c на входе к числу импульсов $N_{Q_{ст}}$ на выходе старшего разряда за период:

$$K_{сч} = \frac{N_c}{N_{Q_{ст}}} \quad (5.2)$$

Если на вход счетчика подавать периодическую последовательность импульсов с частотой f_c , то частота f_Q на выходе старшего разряда счетчика будет меньше в $K_{сч}$ раз: $K_{сч} = f_c / f_Q$. Поэтому счетчики также называют делителями частоты, а величину $K_{сч}$ - коэффициентом деления. Для увеличения величины $K_{сч}$ приходится увеличивать число триггеров в цепочке. Каждый дополнительный триггер удваивает число состояний счетчика и число $K_{сч}$. Для уменьшения коэффициента $K_{сч}$ можно в качестве выхода счетчика рассматривать выходы триггеров промежуточных каскадов. Например, для счетчика на трех триггерах $K_{сч} = 8$, если взять выход 2-го триггера, то $K_{сч} = 4$. При этом $K_{сч}$ является целой степенью числа 2: 2, 4, 8, 16 и т. д.

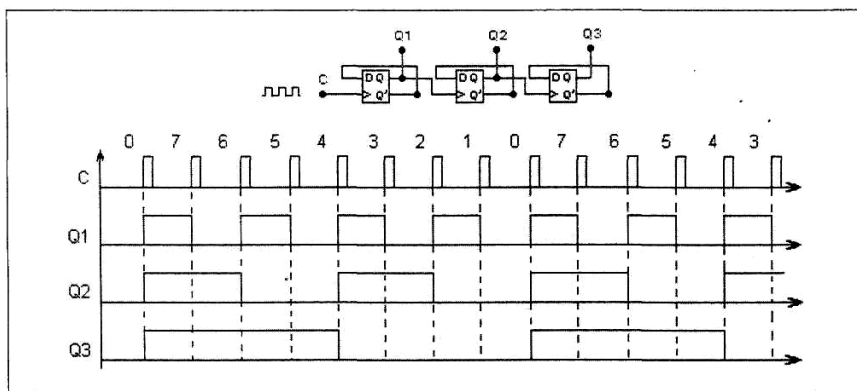


Рис. 5.2. Счетчик и диаграммы его работы

Можно реализовать счетчик, для которого $K_{Сч}$ - любое целое число. Например, для счетчика на трех триггерах можно сделать $K_{Сч}$ от 2 до 7, но при этом один или два триггера могут быть лишними. При использовании всех трех триггеров можно получить $K_{Сч} = 5 \dots 7$: $2^2 < K_{Сч} < 2^3$. Счетчик с $K_{Сч} = 5$ должен иметь 5 состояний, которые в простейшем случае образуют последовательность: {0, 1, 2, 3, 4}. Циклическое повторение этой последовательности означает, что коэффициент деления счетчика равен 5.

Для построения суммирующего счетчика с $K_{Сч} = 5$ надо, чтобы после формирования последнего числа из последовательности {0, 1, 2, 3, 4} счетчик переходил не к числу 5, а к числу 0. В двоичном коде это означает, что от числа 100 нужно перейти к числу 000, а не 101. Изменение естественного порядка счета возможно при введении дополнительных связей между триггерами счетчика. Можно воспользоваться следующим способом: как только счетчик попадает в нерабочее состояние (в данном случае 101), этот факт должен быть опознан и повлечь последующую выработку сигнала, который перевел бы счетчик в состояние 000. Рассмотрим этот способ более детально.

Факт попадания счетчика в нерабочее состояние описывается логическим уравнением:

$$\begin{aligned}
 F &= (101) \vee (110) \vee (111) = \\
 &= Q_3 \cdot \overline{Q_2} \cdot Q_1 \vee Q_3 \cdot Q_2 \cdot \overline{Q_1} \vee Q_3 \cdot Q_2 \cdot Q_1 = \\
 &= Q_3 \cdot Q_1 \vee Q_3 \cdot Q_2.
 \end{aligned}$$

Состояния 110 и 111 также являются нерабочими и поэтому учтены при составлении уравнения. Если на выходе эквивалентной логической схемы $F = 0$, значит, счетчик находится в одном из рабочих состояний: $0 \vee 1 \vee 2 \vee 3 \vee 4$. Как только он попадает в одно из нерабочих состояний $5 \vee 6 \vee 7$, формируется сигнал $F = 1$. Появление сигнала $F = 1$ должно переводить счетчик в начальное состояние 000, следовательно, этот сигнал нужно использовать для воздействия на уста-

новочные входы триггеров счетчика, которые осуществляли бы сброс счетчика в состояние $Q_1 = Q_2 = Q_3 = 0$. При реализации счетчика на триггерах со входами установки логическим нулем для сброса триггеров требуется подать на входы сброса сигнал $R=0$. Для обнаружения факта попадания в нерабочее состояние используем схему, реализующую функцию F и выполненную на элементах И-НЕ. Для этого преобразуем выражение для функции:

$$F = \overline{Q_3 \cdot Q_1} \vee \overline{Q_3 \cdot Q_2} = \overline{Q_3 \cdot (Q_2 \cdot Q_1)}$$

Соответствующая схемная реализация приведена на рис. 5.3.

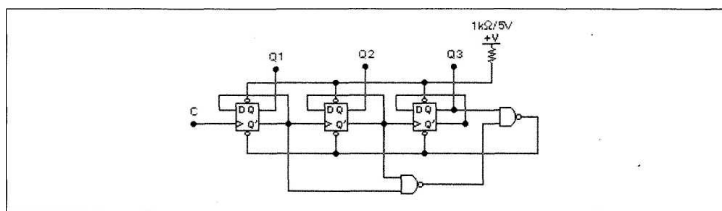


Рис. 5.3. Счетчик

Счетчик будет работать следующим образом: при счете от 0 до 4 все происходит как в обычном суммирующем счетчике с $K_{сч} = 8$. Установочные сигналы равны 1 и естественному порядку счета не препятствуют. Счет происходит по положительному фронту импульса на счетном входе С. В тот момент, когда счетчик находится в состоянии 4 (100), следующий тактовый импульс сначала переводит счетчик в состояние 5 (101), что немедленно (задолго до прихода следующего тактового импульса) приводит к формированию сигнала сброса, который поступает на установочные входы сброса триггеров. В результате счетчик сбрасывается в 0 и ждет прихода следующего тактового импульса на счетный вход. Один цикл счета закончился, счетчик готов к началу следующего цикла.

Применяя такие схемы с обратной связью для сброса счетчика, нужно иметь в виду, что операция сброса занимает конечное время, поэтому непосредственно перед сбросом счетчика в 0 на выходе первого триггера появляются кратковременные импульсы, или "иголки". Это не имеет значения при подключении счетчика напрямую к индикатору, но при использовании этого выхода счетчика в качестве источника тактовых импульсов могут возникнуть определенные проблемы. Схема, в которой это явление устранено, приведена на рис. 5.4. Важным отличием является то, что схема обнаруживает не факт попадания в нерабочее состояние 101, а факт попадания в состояние 100 и в следующем такте вырабатывает сигнал сброса.

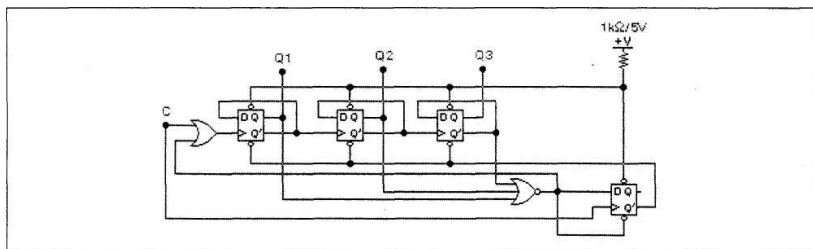


Рис. 5.4. Счетчик

2. Порядок выполнения работы

Эксперимент 1. Исследование суммирующего счетчика.

Откройте файл s14_06 со схемой, изображенной на рис.5.5. Включите схему. Подавая на вход схемы тактовые импульсы при помощи ключа С и наблюдая состояние выходов счетчика при помощи логических пробников, составьте временные диаграммы работы суммирующего счетчика. Определите коэффициент пересчета счетчика. Результаты занесите в раздел "Результаты экспериментов". Обратите внимание на числа, формируемые состояниями инверсных выхо-

дов счетчика.

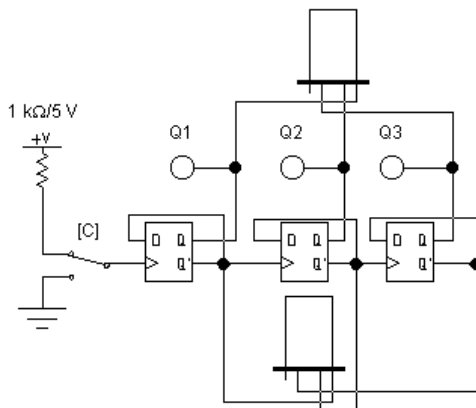


Рис. 5.5. Схема для исследования

Эксперимент 2. Исследование вычитающего счетчика.

а) Откройте файл s14_07 со схемой, изображенной на рис. 5.6. Включите схему. Зарисуйте временные диаграммы работы вычитающего счетчика в раздел "Результаты экспериментов".

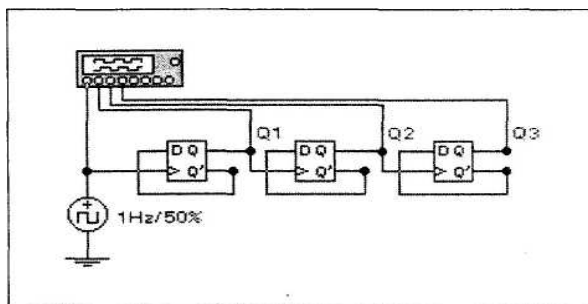


Рис. 5.6. Схема для исследования

б) В схеме на рис. 5.6 входы логического анализатора подключите к инверсным входам триггеров. Включите схему.

Зарисуйте полученные временные диаграммы в раздел "Результаты экспериментов" и сравните их с диаграммами, полученными в эксперименте 1.

Эксперимент 3. Исследование счетчика с измененным коэффициентом пересчета.

а) Откройте файл c14_08 со схемой, изображенной на рис. 5.7. Включите схему. Подавая на вход схемы тактовые импульсы при помощи ключа С и наблюдая состояние выходов счетчика при помощи логических пробников, составьте временные диаграммы работы счетчика и определите коэффициент пересчета. Результаты занесите в раздел "Результаты экспериментов".

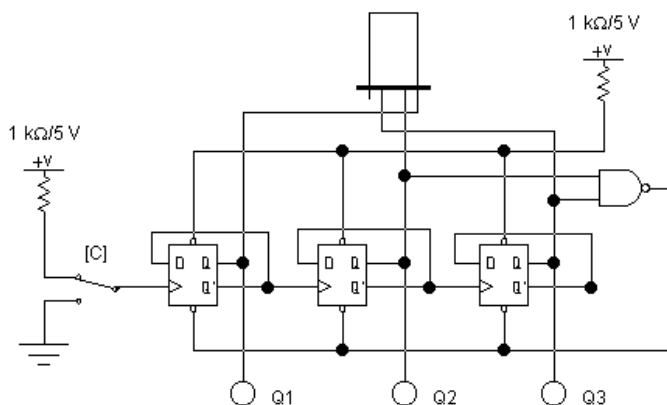


Рис. 5.7. Схема для исследования

б) Измените структуру комбинационной части счетчика в соответствии со схемой на рис. 5.3. Подавая на вход схемы тактовые импульсы при помощи ключа С и наблюдая состояние выходов счетчика при помощи логических пробников, составьте временные диаграммы работы счетчика на 5. Результаты занесите в раздел "Результаты экспериментов".

Эксперимент 4. Исследование регистра Джонсона.

Откройте файл s14_09 со схемой, изображенной на рис. 5.8. Счетное устройство, приведенное на рисунке, получило название регистра Джонсона или регистра с перекрестными связями. Включите схему. Постройте временные диаграммы сигналов на выходах триггеров. Определите коэффициент пересчета регистра Джонсона. Результаты занесите в раздел "Результаты экспериментов".

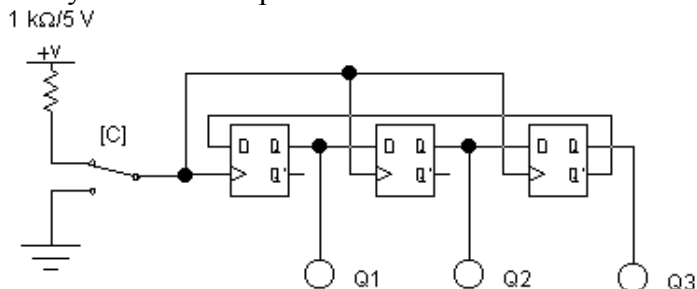


Рис. 5.8. Схема для исследования

Эксперимент 5. Исследование регистра Джонсона, реализованного на JK-триггерах.

а) Откройте файл s14_10 со схемой, изображенной на рис. 5.9. Установите ключ S в верхнее положение (на вход S второго триггера подается сигнал логической единицы). Включите схему. Постройте временные диаграммы работы схемы и занесите их в раздел "Результаты экспериментов". Сравните полученные диаграммы с результатами эксперимента 4.

б) Установите схему в состояние 000. Подайте при помощи ключа S кратковременный импульс на вход S второго триггера. При этом схема должна установиться в состояние 010. Подавая на вход С схемы тактовые импульсы при помощи соответствующего ключа и наблюдая состояние выходов

схемы при помощи логических пробников, составьте временные диаграммы работы устройства. Определите коэффициент пересчета схемы. Результаты занесите в раздел "Результаты экспериментов".

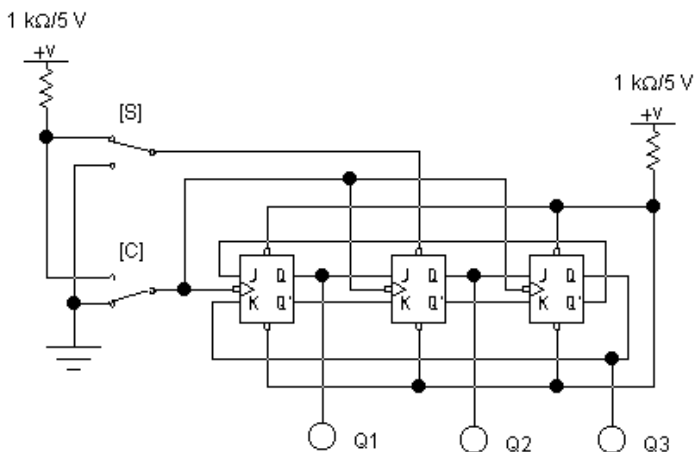


Рис. 5.9. Схема для исследования

Указание. Вернуть схему в прежнее состояние можно подачей кратковременного импульса на вход S второго триггера в момент, когда схема находится в состоянии 101.

3. Результаты экспериментов

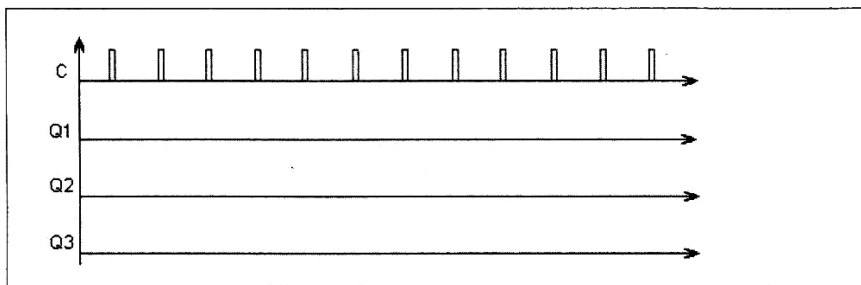


Рис. 5.10. Результаты эксперимента 1. Исследование суммирующего счетчика. Временные диаграммы

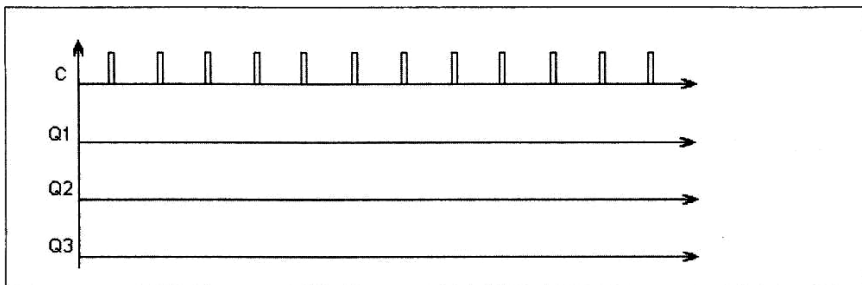


Рис. 5.11. Результаты эксперимента 2. Исследование вычитающего счетчика. Временные диаграммы

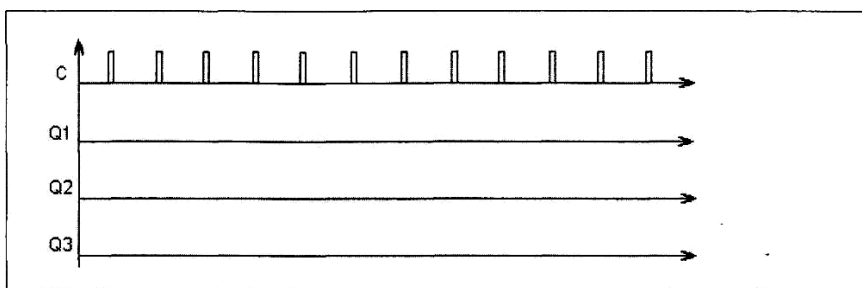


Рис. 5.12. Результаты эксперимента 3. Исследование счетчика с измененным коэффициентом пересчета. Временные диаграммы

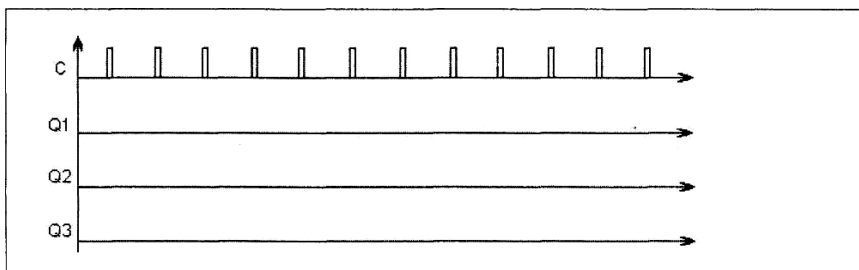


Рис. 5.13. Результаты эксперимента 4. Исследование регистра Джонсона. Временные диаграммы

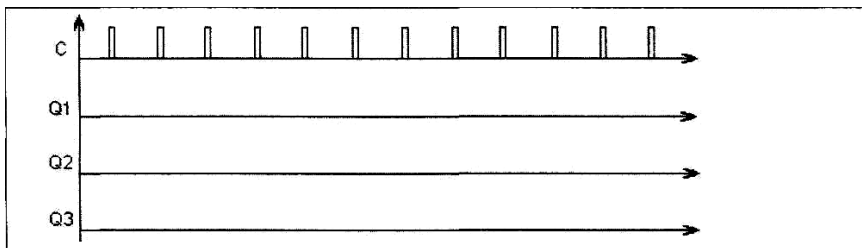


Рис. 5.14. Результаты эксперимента 5. Исследование регистра Джонсона, реализованного на JK-триггерах. Временные диаграммы

4. Контрольные вопросы

1. Почему при подключении счетных входов триггеров к инверсным выходам предыдущих каскадов счетчик на D-триггерах работает как суммирующий, а при подключении к прямым - как вычитающий?

2. В каком режиме будет работать счетчик на JK-триггерах при подключении счетных входов триггеров к прямым выходам предыдущих каскадов? Как изменится режим работы счетчика при подключении счетных входов триггеров к инверсным выходам?

3. Какой коэффициент пересчета имеет регистр Джонсона?

4. Какими способами можно изменить коэффициент пересчета счетчика?

5. Сколько триггеров должен содержать счетчик с коэффициентом пересчета $K_{сч} = \{3, 5, 7, 9, 10, 12, 14, 15, 24, 30\}$?

6. В двоичном счетчике коэффициент пересчета равен 8, число триггеров - 3. При поступлении тактовых импульсов на счетный вход счетчик изменяет своё состояние в следующей последовательности: 000-001-010-011-100-101-110-111-000. Сколько триггеров в счетчике изменяют свое состояние

одновременно на каждом из переходов? Действительно ли триггеры изменяют своё состояние одновременно? Как происходит переход счетчика из состояния 111 в состояние 000? Какой из триггеров первым изменит своё состояние? Что послужит причиной переключения второго триггера? Как развивается процесс изменения состояния триггеров при переходе счетчика из состояния 011 в состояние 100?

7. Цифровые часы в метро реализованы на основе счетчиков. Иногда можно заметить, что четное число секунд на табло часов сохраняется заметно дольше, чем нечетное (возможна и обратная закономерность). Почему это происходит?

8. Какую разрядность должен иметь счетчик, отсчитывающий секунды и десятки секунд при наличии генератора импульсов частотой 10 кГц?

Лабораторная работа №6 АНАЛОГО-ЦИФРОВЫЕ ПРЕОБРАЗОВАТЕЛИ

Цель работы: ознакомиться с устройством и функциональными возможностями АЦП, научиться определять основные характеристики АЦП.

1. Теоретическая часть

Система электрических параметров АЦП и ЦАП, отражающая особенности их выполнения и функционирования, содержит несколько десятков параметров. Ниже приведены важнейшие из них, рекомендованные для включения в нормативно-техническую документацию и наиболее полно описывающие работу преобразователей в статическом и динамическом режимах (международные буквенные обозначения электрических параметров указаны в скобках).

Число разрядов (B) — количество разрядов кода, кото-

рое может воспринимать ЦАП или вырабатывать АЦП. Для двоичных АЦП и ЦАП под числом разрядов понимается двоичный логарифм максимального числа кодовых комбинаций на входе ЦАП или выходе АЦП.

Коэффициент преобразования (G) — отношение приращения выходного сигнала к приращению входного сигнала для линейной характеристики преобразования. Унифицированный ряд входных и выходных сигналов для АЦП и ЦАП соответствует принятым для измерительных преобразователей в соответствии с требованиями ГСП.

Абсолютная погрешность преобразования в конечной точке шкалы (δ_{FS}) — отклонение значения входного для АЦП и выходного для ЦАП напряжения (тока) от номинального значения, соответствующего конечной точке характеристики преобразования. Для АЦП и ЦАП, работающих с опорным напряжением от внешнего источника, δ_{FS} определяется без учета вносимой ИОН погрешности; измеряется в единицах младшего разряда преобразования (МР).

Напряжение смещения нуля на входе (U_{I0}) — приведенное к входу напряжение, характеризующее отклонение начала характеристики АЦП от заданного значения; измеряется в единицах МР.

Напряжение смещения нуля на выходе (U_{∞}) — напряжение постоянного тока на выходе ЦАП при входном коде, соответствующем нулевому значению выходного напряжения; измеряется в единицах МР. Значение напряжения смещения нуля на входе/выходе преобразователей определяет параллельный сдвиг действительной характеристики преобразования и не вносит нелинейности.

Нелинейность ЦАП (δ_L) — отклонение действительной характеристики преобразования от оговоренной прямой линии, *Нелинейность АЦП* — отклонение от оговоренной прямой линии точек характеристики преобразования, делящих пополам расстояние между средними значениями уровней квантования. Нелинейность измеряется в процентах от значе-

ния диапазона входного (выходного) сигнала или в единицах МР. Под оговоренной прямой линией понимают идеализированную линейную характеристику преобразования, относительно которой действительная характеристика имеет минимальную нелинейность. Распространен вариант ее проведения через начальную (нулевую) и конечную точки шкалы преобразования.

Дифференциальная нелинейность (δ_{LD}) — отклонение разности двух аналоговых сигналов, соответствующих соседним кодам, от значения единицы МР; измеряется в процентах от значения диапазона входного (выходного) сигнала или в единицах МР. Превышение ее значения ± 1 МР приводит к немонотонности характеристики преобразования.

Монотонность характеристики преобразования — идентичность знака приращения мгновенных значений входного и выходного сигналов преобразователя.

Коэффициент разделения каналов (K_c) — уровень подавления прохождения сигналов между каналами преобразователя, параметр характерен для многоканальных АЦП и ЦАП.

Время преобразования (t_e) — интервал времени от момента заданного изменения сигнала на входе АЦП (аналоговом или цифровом) до появления на его выходе соответствующего устойчивого кода.

Максимальная частота преобразования (f_{cmax}) — наибольшая частота дискретизации, при которой заданные параметры соответствуют установленным нормам.

Время установления выходного напряжения или тока (t_{su} , t_{sl}) — интервал времени от момента изменения кода на входе ЦАП до момента, при котором выходное аналоговое напряжение или ток окончательно войдут в зону шириной 1 МР или другой оговоренной величины, симметрично расположенной относительно установившегося значения.

2. Порядок выполнения работы

Эксперимент 1. Собрать схему АЦП прямого преобразования по рис.6.1.

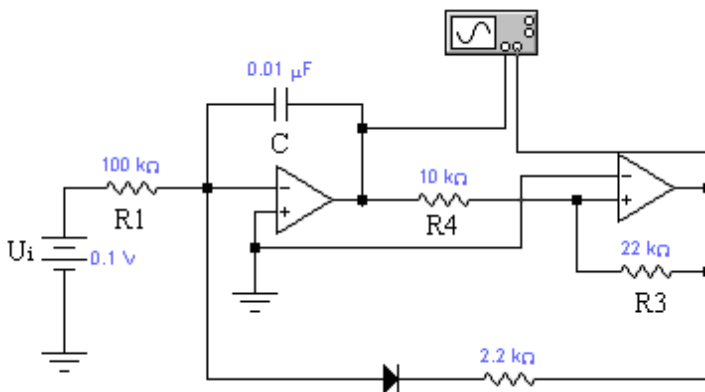


Рис. 6.1 АЦП прямого преобразования

а) Проверить работоспособность АЦП и исследовать зависимость частоты выходного сигнала от входного напряжения в диапазоне 20 мВ...10 В. Проверить справедливость формулы:

$$F=U_i \cdot R_3/[R_1 \cdot C \cdot R_4(U_1-U_2)]$$

Где U_1 - максимальное положительное напряжение на выходе компаратора,

U_2 - максимальное отрицательное напряжение на выходе компаратора,

U_i - напряжение питания батареи.

б) Определить и объяснить различия частот полученных практически и теоретически.

в) Определить линейность преобразования в заданном интервале входного напряжения.

б) Эксперимент 2. Собрать схему по рис.6.2.

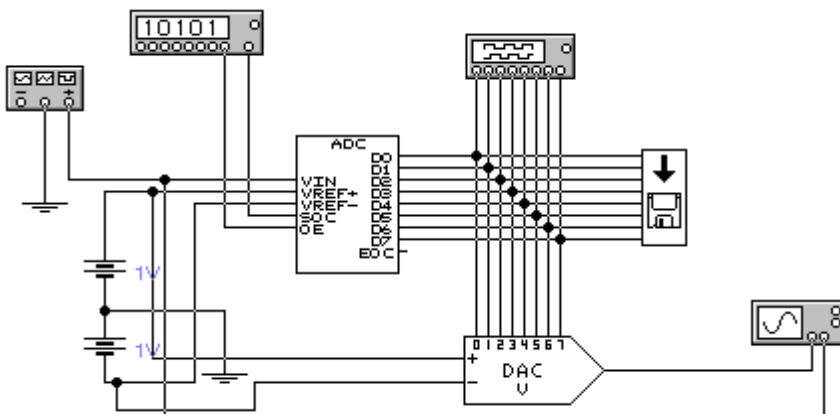


Рис. 6.2. Библиотечный АЦП

а). Снять осциллограммы выходного сигнала АЦП с помощью логического анализатора.

б) Снять осциллограммы выходного сигнала ЦАП и входного АЦП и сравнить их.

в) Сравнить данные логического анализатора и данные, зарегистрированные в текстовом файле.

Эксперимент 3. Собрать схему АЦП с ГПН по рис.6.3 и снять его осциллограммы.

а) Определить основные характеристики АЦП по его осциллограммам и схеме.

б) Сделать выводы по проделанным экспериментам.

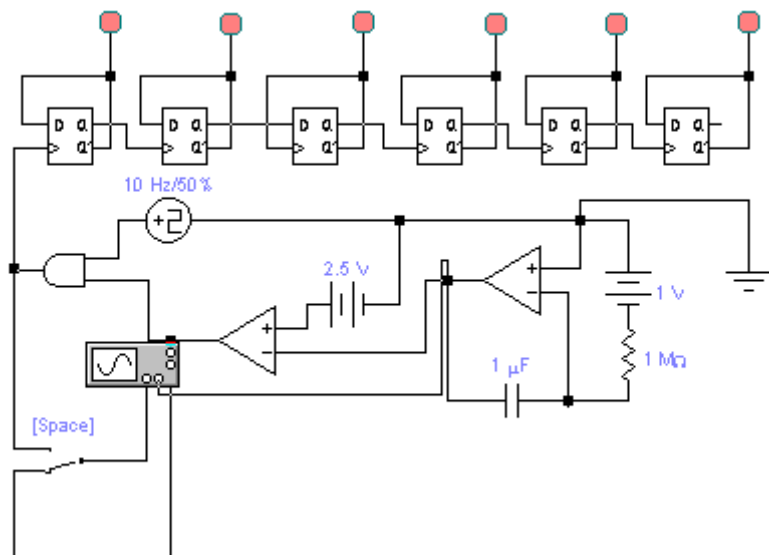


Рис. 6.3. АЦП с ГПН

ЗАКЛЮЧЕНИЕ

Учебное пособие «Схемотехника: лабораторный практикум» обеспечивает методически грамотное выполнение лабораторных работ, обработку и анализ результатов измерений и является необходимой составляющей учебно-методического комплекса по учебной дисциплине «Схемотехника», призванного обеспечить получение профессиональной компетенции – готовности выполнять расчет и проектирование электронных приборов, схем и устройств различного функционального назначения в соответствии с техническим заданием с использованием средств автоматизации проектирования.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Миловзоров О.В. Электроника [Текст] / О.В. Миловзоров, И.Г. Панков. - М.: Высш. шк., 2006. –287 с.
2. Новожилов О.П. Основы цифровой техники [Текст] / О.П. Новожилов. – М.: Высш. шк., 2005. – 430 с.
3. Потехин В.А. Схемотехника цифровых устройств: учеб. пособие для вузов [Текст] / В.А. Потехин. – Томск: В-Спектр, 2012 . – 250 с.
4. Титце У. Полупроводниковая схемотехника [Текст] / У. Титце, К. Шенк. - М.: Мир, 1984. - 256 с.
5. Угрюмов Е.П. Цифровая схемотехника [Текст] / / Е.П. Угрюмов. – М.: Мир, 2001. – 524с.

ОГЛАВЛЕНИЕ

ВВЕДЕНИЕ.....	1
Лабораторная работа № 1.....	4
ЛОГИЧЕСКИЕ СХЕМЫ И ФУНКЦИИ.....	4
Лабораторная работа № 2.....	17
ИССЛЕДОВАНИЕ ДЕШИФРАТОРОВ.....	17
Лабораторная работа № 3.....	31
ИССЛЕДОВАНИЕ МУЛЬТИПЛЕКСОРОВ.....	31
Лабораторная работа № 4.....	49
ТРИГГЕРЫ.....	49
Лабораторная работа № 5.....	71
СЧЕТЧИКИ.....	71
Лабораторная работа №6.....	84
АНАЛОГО-ЦИФРОВЫЕ ПРЕОБРАЗОВАТЕЛИ.....	84
ЗАКЛЮЧЕНИЕ.....	90
БИБЛИОГРАФИЧЕСКИЙ СПИСОК.....	91

Учебное издание

Акулинин Станислав Алексеевич

**СХЕМОТЕХНИКА:
ЛАБОРАТОРНЫЙ ПРАКТИКУМ**

В авторской редакции

Компьютерный набор С.А. Акулинина

Подписано к изданию 20.04.2017.

Объем данных 2,3 Мб.

ФГБОУ ВО «Воронежский государственный технический
университет»
394026 Воронеж, Московский просп., 14