

**МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ  
РОССИЙСКОЙ ФЕДЕРАЦИИ**

Федеральное государственное бюджетное образовательное учреждение  
высшего образования  
«Воронежский государственный технический университет»

УТВЕРЖДАЮ

Декан факультета

радиотехники и электроники

Небольсин В.А.

«31» августа 2020 г.



**РАБОЧАЯ ПРОГРАММА**

дисциплины

«Цифровая обработка сигналов в базе ПЛИС»

**Направление подготовки** 11.04.04 Электроника и наноэлектроника

**Профиль** Интегральные системы и устройства в микро- и наноэлектронике

**Квалификация выпускника** магистр

**Нормативный период обучения** 2 года/2 года 3 месяца

**Форма обучения** очная/заочная

**Год начала подготовки** 2020

Автор программы

  
Строгонов А.В.

Заведующий кафедрой  
полупроводниковой электроники  
и наноэлектроники

  
Рембеза С.И.

Руководитель ОПОП

  
Рембеза С.И.

Воронеж 2020

## **1. ЦЕЛИ И ЗАДАЧИ ДИСЦИПЛИНЫ**

**1.1. Цели дисциплины** – обеспечение основ проектирования устройств цифровой обработки сигналов в базе БИС программируемой логики (ПЛИС) с привлечением высокоуровневого языка описания аппаратных средств VHDL в САПР Altera Quartus II и в САПР ПЛИС Xilinx ISE Design Suite с привлечением системы визуально-имитационного моделирования Matlab/Simulink.

### **1.2. Задачи освоения дисциплины:**

– изучение основ проектирования цифровых устройств обработки сигналов, представленных схемным описанием на уровне вентилях, кодом языка VHDL, мегафункциями САПР Altera Quartus II и генераторами параметризованных ядер Xilinx ISE для реализации в базе ПЛИС;

– углубленное освоение языка VHDL для написания кода моделей цифровых устройств обработки сигналов;

– получение практических навыков работы с системой визуально-имитационного моделирования Matlab/Simulink для разработки сложно-функциональных моделей цифровых устройств обработки сигналов с использованием графического представления последовательностных устройств приложения StateFlow и языка М-файлов системы Matlab/Simulink;

– освоение методики извлечения кода языка VHDL в автоматическом режиме с помощью приложения Simulink HDL coder с последующим созданием функциональных моделей цифровых устройств обработки сигналов в базе ПЛИС в САПР Quartus II;

– освоение методики проведения верификация цифровых устройств обработки сигналов с использованием системы цифрового моделирования ModelSim.

– получение практических навыков работы с САПР ПЛИС Altera Quartus II для разработки функциональных моделей цифровых устройств обработки сигналов с использованием мегафункций и с помощью учебного лабораторного стенда LESO2.1 (Лаборатории электронных средств обучения, ЛЭСО ГОУ ВПО «СибГУТИ»);

– получение практических навыков работы с САПР ПЛИС Xilinx ISE для разработки функциональных моделей цифровых КИХ-фильтров.

## **2. МЕСТО ДИСЦИПЛИНЫ В СТРУКТУРЕ ОПОП**

Дисциплина Б1.В.ДВ.02.01 «Цифровая обработка сигналов в базе ПЛИС» относится к дисциплинам части блока Б1 учебного плана, формируемой участниками образовательных отношений.

## **3. ПЕРЕЧЕНЬ ПЛАНИРУЕМЫХ РЕЗУЛЬТАТОВ ОБУЧЕНИЯ ПО ДИСЦИПЛИНЕ**

Процесс изучения дисциплины «Цифровая обработка сигналов в базе ПЛИС» направлен на формирование следующих компетенций:

**ПК-5:** способность разрабатывать эффективные алгоритмы решения сформулированных задач с использованием современных языков программирования и обеспечивать их программную реализацию;

**ПК-7:** способность к восприятию, разработке и критической оценке новых способов проектирования твердотельных приборов и устройств.

Компетенция	Результаты обучения, характеризующие сформированность компетенции
ПК-5	<p><b>знать</b> основные узлы вычислительных устройств цифровой обработки сигналов; основы высокоуровневого языка описания аппаратных средств (VHDL);</p> <p><b>уметь</b> строить имитационные модели сложно-функциональных цифровых устройств обработки сигналов в системе Matlab/Simulink с использованием языка М-файла, fi-объектов и графического представления цифровых автоматов (StateFlow); функциональные модели цифровых устройств обработки сигналов с применением языка VHDL и мегафункций в САПР ПЛИС Altera Quartus II и Xilinx ISE;</p> <p><b>владеть</b> навыками работы с САПР ПЛИС Altera Quartus II или Xilinx ISE (Vivado).</p>
ПК-7	<p><b>знать</b> теорию цифровых кодов; форматы представления чисел с фиксированной и плавающей запятой; методы обработки цифровых сигналов; методы расчета аналоговых и дискретных фильтров; основные структуры цифровых фильтров;</p> <p><b>уметь</b> работать с пакетом Signal Processing среды FDA Tool системы Matlab для расчета параметров цифровых фильтров;</p> <p><b>владеть</b> навыками работы с системой визуально-имитационного моделирования Matlab/Simulink и приложением по извлечению кода языка VHDL из моделей устройств цифровой обработки сигналов; проектирования цифровых фильтров в базе ПЛИС.</p>

#### 4. ОБЪЕМ ДИСЦИПЛИНЫ

Общая трудоемкость дисциплины «Цифровая обработка сигналов в базе ПЛИС» составляет 6 зачетных единиц.

Распределение трудоемкости дисциплины по видам занятий

#### очная форма обучения

Виды учебной работы	Всего часов	Семестры
		3
<b>Аудиторные занятия (всего)</b>	66	66
В том числе:		
Лекции	16	16
Практические занятия (ПЗ)	16	16
Лабораторные работы (ЛР)	34	34
<b>Самостоятельная работа</b>	123	123
Курсовая работа	+	+

Часы на контроль	27	27
Виды промежуточной аттестации - экзамен	+	+
Общая трудоемкость академические часы з.е.	216 6	216 6

### заочная форма обучения

Виды учебной работы	Всего часов	Семестры
		4
<b>Аудиторные занятия (всего)</b>	16	16
В том числе:		
Лекции	4	4
Практические занятия (ПЗ)	4	4
Лабораторные работы (ЛР)	8	8
<b>Самостоятельная работа</b>	191	191
<b>Курсовая работа</b>	+	+
Часы на контроль	9	9
Виды промежуточной аттестации - экзамен	+	+
Общая трудоемкость академические часы з.е.	216 6	216 6

## 5. СОДЕРЖАНИЕ ДИСЦИПЛИНЫ (МОДУЛЯ)

### 5.1 Содержание разделов дисциплины и распределение трудоемкости по видам занятий

#### очная форма обучения

№ п/п	Наименование темы	Содержание раздела	Лекц	Прак зан.	Лаб. зан.	СРС	Всего, час
1	Процесс преобразования аналогового сигнала в цифровой код	Ключевые операции ЦОС. Дискретизация сигналов. Квантование, кодирование. Выборка с запасом по частоте. Дискретные преобразования. Z-преобразования. Корреляция и свертка.	2	-	4	11	17
2	Универсальные и специализированные процессоры ЦОС	Вычислительные архитектуры обработки сигналов. Универсальные процессоры ЦОС. Процессоры ЦОС с фиксированной запятой. Процессоры ЦОС с плавающей запятой. Реализация алгоритмов ЦОС на универсальных процессорах. Специализируемая аппаратура ЦОС.	2	-	4	11	17
3	Методы проектирования цифровых фильтров	Метод взвешивания, оптимизационные методы, метод частотной выборки	2	2	4	11	19
4	Структуры цифровых фильтров в базе ПЛИС	Прямая структура, прямая каноническая структура 1, каноническая структура 2, каноническая структура 3, каскадная структура, параллельная структура	2	2	4	13	21
5	Проектирование систолических КИХ-фильтров в базе ПЛИС	Генератор параметризованных ядер XLogiCORE IP и функции FIR Compiler v6.3 САПР ПЛИС Xilinx ISE для проектирования систолических КИХ-фильтров	2	2	4	13	21
6	Проектирование КИХ-фильтров на последовательной распределенной	Особенности использования последовательной распределенной арифметики для реализации в базе ПЛИС	2	2	4	13	21

	арифметике в базе ПЛИС						
7	Проектирование КИХ-фильтров на параллельной распределенной арифметике в базе ПЛИС	Особенности использования параллельной распределенной арифметики для реализации в базе ПЛИС	2	2	4	13	21
8	Расчет параметров фильтров с использованием среды FDATA Tool системы визуально-имитационного моделирования Matlab/Simulink	Совместное использование библиотеки DSP Xilinx blockset и графической среды для синтеза и анализа фильтров FDATA Tool	2	2	2	13	19
9	Использование системы визуально-имитационного моделирования MATLAB/SIMULINK для проектирования цифровых фильтров в САПР ISE DESIGN SUITE с применением среды System Generator	Система Xilinx System Generator САПР ISE Design Suite. Создание проектов КИХ-фильтров.	-	2	2	13	17
10	Использование системы визуально-имитационного моделирования MATLAB/SIMULINK для проектирования цифровых фильтров в САПР QUARTUS II с применением среды Altera DSP Builder	Система визуально-имитационного моделирования Matlab/Simulink с использованием Altera DSP Builder. Создание проектов КИХ-фильтров	-	2	2	12	16
<b>Всего</b>			<b>16</b>	<b>16</b>	<b>34</b>	<b>123</b>	<b>189</b>
<b>Контроль</b>							<b>27</b>
<b>Итого</b>							<b>216</b>

### заочная форма обучения

№ п/п	Наименование темы	Содержание раздела	Лекц	Прак зан.	Лаб. зан.	СРС	Всего, час
1	Процесс преобразования аналогового сигнала в цифровой код	Ключевые операции ЦОС. Дискретизация сигналов. Квантование, кодирование. Выборка с запасом по частоте. Дискретные преобразования. Z-преобразование. Корреляция и свертка.	2	-	2	18	22
2	Методы проектирования цифровых фильтров	Метод взвешивания, оптимизационные методы, метод частотной выборки. Проектирование фильтров в среде Matlab	2	-	2	18	22
3	Универсальные и специализированные процессоры ЦОС	Вычислительные архитектуры обработки сигналов. Универсальные процессоры ЦОС. Процессоры ЦОС с фиксированной запятой. Процессоры ЦОС с плавающей запятой. Реализация алгоритмов ЦОС на универсальных процессорах. Специализируемая аппаратура ЦОС	-	-	2	18	20
4	Структуры цифровых фильтров в базе ПЛИС	Прямая структура, прямая каноническая структура 1, каноническая структура 2, каноническая структура 3, каскадная структура, параллельная структура	-	-	2	18	20
5	Проектирование систолических КИХ-фильтров в базе ПЛИС	Генератор параметризованных ядер XLogiCORE IP и функции FIR Compiler v6.3 САПР ПЛИС Xilinx ISE для проектирования систолических КИХ-фильтров	-	-	-	20	20
6	Проектирование КИХ-фильтров на последовательной распределенной арифметике в базе ПЛИС	Особенности использования последовательной распределенной арифметики для реализации в базе ПЛИС	-	-	-	20	20
7	Проектирование КИХ-	Особенности использования параллельной	-	-	-	20	20

	фильтров на параллельной распределенной арифметике в базе ПЛИС	распределенной арифметики для реализации в базе ПЛИС					
8	Расчет параметров фильтров с использованием среды FDATATool системы визуально-имитационного моделирования Matlab/Simulink	Совместное использование библиотеки DSP Xilinx blockset и графической среды для синтеза и анализа фильтров FDATATool	-	-	-	20	20
9	Использование системы визуально-имитационного моделирования MATLAB/SIMULINK для проектирования цифровых фильтров в САПР ISE DESIGN SUITE с применением среды System Generator	Система Xilinx System Generator САПР ISE Design Suite. Создание проектов КИХ-фильтров.	-	2	-	20	22
10	Использование системы визуально-имитационного моделирования MATLAB/SIMULINK для проектирования цифровых фильтров в САПР QUARTUS II с применением среды Altera DSP Builder	Система визуально-имитационного моделирования Matlab/Simulink с использованием Altera DSP Builder. Создание проектов КИХ-фильтров	-	2	-	19	21
<b>Всего</b>			<b>4</b>	<b>4</b>	<b>8</b>	<b>191</b>	<b>207</b>
<b>Контроль</b>							<b>9</b>
<b>Итого</b>							<b>216</b>

## 5.2 Перечень лабораторных работ

1. Проектирование КИХ-фильтров с использованием программы Паркса-Макклиллана (Parks-McClellan).
2. Структуры ВЧ, полосовых, режекторных фильтров на основе НЧ-фильтров. Структуры БИХ-фильтры. Реализация фильтров в среде Matlab.
3. Разработка Си-кода КИХ-фильтра для реализации в базе сигнальных процессоров
4. Разработка ассемблерного кода КИХ-фильтра для реализации в базе сигнальных процессоров
5. Параллельная реализация КИХ-фильтра на четыре отвода с использованием четырех перемножителей в блоке (мегафункция ALTMULT\_ACCUM, линия задержки построена на внутренних регистрах перемножителей MULT0-MULT3) в САПР Altera Quartus II
6. Параллельная реализация КИХ-фильтра на четыре отвода с использованием четырех умножителей (мегафункция ALTMEMMULT, линия задержки построена на четырех регистрах, коэффициенты фильтра загружаются из внешнего порта) в САПР Altera Quartus II
7. Проект последовательного КИХ-фильтра на четыре отвода (1 MAC FIR Filter) в САПР Altera Quartus II

8. Проект последовательного КИХ-фильтра на четыре отвода с использованием умножителя и аккумулятора на мегафункции ALTMULT\_ACCUM в САПР Altera Quartus II
9. Проектирование систолических КИХ-фильтров в базе ПЛИС с использованием системы цифрового моделирования ModelSim-Altera
10. Пример проектирования систолических КИХ-фильтров в базе ПЛИС с применением генератора параметризованных ядер XLogiCORE IP и функции FIR Compiler v6.3
11. Пример разработки имитационной модели КИХ-фильтра на последовательной распределенной арифметике в системе Matlab/Simulink с применением Altera DSP Builder
12. Пример проектирования КИХ-фильтров на распределенной арифметике в базе ПЛИС с применением генератора параметризованных ядер XLogiCORE IP и функции FIR Compiler v5.0 САПР Xilinx
13. Пример разработки имитационной модели КИХ-фильтра на параллельной распределенной арифметике в системе Matlab/Simulink с применением Altera DSP Builder
14. Реализация функциональной модели КИХ-фильтра на параллельной распределенной арифметике в САПР Quartus II
15. Проектирование параллельных КИХ-фильтров с учетом эффектов квантования
16. Проектирование последовательных КИХ-фильтров со структурой МАС-блоков в системе Xilinx System Generator САПР ISE Design Suite
17. Проектирование последовательных КИХ-фильтров в системе визуально-имитационного моделирования Matlab/Simulink с использованием Altera DSP Builder

## **6. ПРИМЕРНАЯ ТЕМАТИКА КУРСОВЫХ ПРОЕКТОВ (РАБОТ) И КОНТРОЛЬНЫХ РАБОТ**

В соответствии с учебным планом освоение дисциплины «Цифровая обработка сигналов в базе ПЛИС» предусматривает выполнение курсовой работы в 3 семестре для очной формы обучения, в 4 семестре для заочной формы обучения.

Примерная тематика курсовых работ:

1. Разработка модели КИХ-фильтра Добеши в системе визуально-имитационного моделирования Matlab/Simulink с использованием Altera DSP Builder
2. Разработка модели последовательного КИХ-фильтра на 4 отвода в системе визуально-имитационного моделирования Matlab/Simulink с применением Altera DSP Builder с использованием линии задержки на регистрах
3. Разработка имитационной модели последовательного КИХ-фильтра на 4 отвода в системе Xilinx System Generator с применением библиотеки Reference BlockSet/DSP
4. Разработка имитационной модели последовательного КИХ-фильтра

на 32 отвода в системе Xilinx System Generator САПР ISE Design Suite

5. Разработка имитационной модели параллельного КИХ-фильтра на 8 отводов в системе Xilinx System Generator САПР ISE Design Suite

6. Разработка функциональной модели систолического КИХ-фильтра в базе ПЛИС Xilinx с применением генератора параметризованных ядер XLogiCORE IP и функции FIR Compiler v6.3

7. Разработка функциональной модели и испытательного стенда на языке VHDL систолического КИХ-фильтра в базе ПЛИС с использованием системы цифрового моделирования ModelSim-Altera

8. Разработка функциональной модели систолического КИХ-фильтра в базе ПЛИС Altera с использованием САПР Quartus II

9. Разработка функциональной модели КИХ-фильтра на распределенной арифметике в базе ПЛИС с применением генератора параметризованных ядер XLogiCORE IP и функции FIR Compiler v5.0 САПР Xilinx ISE Design Suite

10. Разработка функциональной модели КИХ-фильтра на параллельной распределенной арифметике в базе ПЛИС Altera. Линия задержки на мегафункции ALTSHIFT\_TAPS, дерево многоразрядных сумматоров на мегафункциях LPM\_ADD\_SUB, частичные произведения реализовать в LUT на языке VHDL

11. Разработка функциональной модели КИХ-фильтра на последовательной распределенной арифметике в базе ПЛИС Altera

12. Разработка модели последовательного КИХ-фильтра на 4 отвода в системе визуально-имитационного моделирования Matlab/Simulink с применением Altera DSP Builder с использованием линии задержки на двухпортовой памяти

13. Разработка модели последовательного КИХ-фильтра на 32 отвода в системе визуально-имитационного моделирования Matlab/Simulink с применением Altera DSP Builder. Коэффициенты фильтра рассчитать в среде FDA-Tool.

14. Разработка модели параллельного КИХ-фильтра на 4 отвода в системе визуально-имитационного моделирования Matlab/Simulink с применением Altera DSP Builder.

15. Разработка функциональной модели КИХ-фильтра на параллельной распределенной арифметике в базе ПЛИС Altera с использованием мегаядра FIR Compiler САПР Quartus II

16. Разработка функциональной модели КИХ-фильтра на последовательной распределенной арифметике в базе ПЛИС Altera с использованием мегаядра FIR Compiler САПР Quartus II

Задачи, решаемые при выполнении курсовой работы:

– изучить структуры цифровых фильтров для реализации как в базе сигнальных процессоров так и ПЛИС;

– получить навыки работы с системой визуально-имитационного моделирования Matlab/Simulink с пакетами расширения Altera DSP Builder и

Xilinx System Generator;

– получить навыки работы с САПР ПЛИС Altera и Xilinx для разработки функциональных моделей цифровых устройств обработки сигналов.

Курсовая работа включает в себя графическую часть и расчетно-пояснительную записку.

Учебным планом по дисциплине «Цифровая обработка сигналов в базе ПЛИС» не предусмотрено выполнение контрольной работы.

## 7. ОЦЕНОЧНЫЕ МАТЕРИАЛЫ ДЛЯ ПРОВЕДЕНИЯ ПРОМЕЖУТОЧНОЙ АТТЕСТАЦИИ ОБУЧАЮЩИХСЯ ПО ДИСЦИПЛИНЕ

### 7.1. Описание показателей и критериев оценивания компетенций на различных этапах их формирования, описание шкал оценивания

#### 7.1.1 Этап текущего контроля

Результаты текущего контроля знаний и межсессионной аттестации оцениваются по следующей системе:

«аттестован»;

«не аттестован».

Компетенция	Результаты обучения, характеризующие сформированность компетенции	Критерии оценивания	Аттестован	Не аттестован
ПК-5	знать основные узлы вычислительных устройств цифровой обработки сигналов; основы высокоуровневого языка описания аппаратных средств (VHDL);	Способность описать цифровой узел HDL-кодом	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
	уметь строить имитационные модели сложно-функциональных цифровых устройств обработки сигналов в системе Matlab/Simulink с использованием языка М-файла, fi-объектов и графического представления цифровых автоматов (State-Flow); функциональные модели	Демонстрация навыков расчета коэффициентов цифровых фильтров с помощью М-скриптов и построение моделей с использованием последовательной и параллельной распределенной арифметике с учетом архитектурных особенностей ПЛИС	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах

	цифровых устройств обработки сигналов с применением языка VHDL и мегафункций в САПР ПЛИС Altera Quartus II и Xilinx ISE			
	<b>владеть</b> навыками работы с САПР ПЛИС Altera Quartus II или Xilinx ISE (Vivado).	Демонстрация навыков реализации устройств ЦОС в САПР ПЛИС Altera Quartus II или Xilinx ISE (Vivado)	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
ПК-7	<b>знать</b> теорию цифровых кодов; форматы представления чисел с фиксированной и плавающей запятой; методы обработки цифровых сигналов; методы расчета аналоговых и дискретных фильтров; основные структуры цифровых фильтров;	Способность использования функций Matlab для расчета частотных характеристик линейных цепей, для расчета аналоговых фильтров-прототипов	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
	<b>уметь</b> работать с пакетом Signal Processing среды FDATATool системы Matlab для расчета параметров цифровых фильтров;	Демонстрация навыков работы со спецификациями фильтров и их синтез в FDATATool	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
	<b>владеть</b> навыками работы с системой визуального моделирования Matlab/Simulink и приложением по извлечению кода языка VHDL из моделей устройств цифровой обработки сигналов; проектирования цифровых фильтров в базисе ПЛИС.	Способность реализовать проект в САПР ПЛИС Quartus II по HDL-коду имитационной модели, извлеченному с помощью HDL Coder системы Matlab/Simulink и по HDL- коду извлеченному с помощью пакета расширения Altera DSP Builder	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах

### 7.1.2 Этап промежуточного контроля знаний

Результаты промежуточного контроля знаний оцениваются в 3 семестре для очной формы обучения, 4 семестре для заочной формы обучения по четырехбалльной системе:

«отлично»;  
«хорошо»;  
«удовлетворительно»;  
«неудовлетворительно».

Компетенция	Результаты обучения, характеризующие сформированность компетенции	Критерии оценивания	Отлично	Хорошо	Удовл	Неудовл
ПК-5	знать основные узлы вычислительных устройств цифровой обработки сигналов; основы высокоуровневого языка описания аппаратных средств (VHDL);	Тест	Выполнение теста на 90 – 100 %	Выполнение теста на 80 – 90 %	Выполнение теста на 70 – 80 %	В тесте менее 70 % правильных ответов
	уметь строить имитационные модели сложно-функциональных цифровых устройств обработки сигналов в системе Matlab/Simulink с использованием языка М-файла, fi-объектов и графического представления цифровых автоматов (StateFlow); функциональные модели цифровых устройств обработки сигналов с применением языка VHDL и мегафункций в САПР ПЛИС Altera Quartus II и Xilinx ISE;	Решение стандартных практических задач	Задачи решены в полном объеме и получены верные ответы	Продemonстрирован верный ход решения всех, но не получен верный ответ во всех задачах	Продemonстрирован верный ход решения в большинстве задач	Задачи не решены
	владеть навыками работы с САПР ПЛИС Altera Quartus II или Xilinx ISE (Vivado).	Решение прикладных задач в конкретной предметной области	Задачи решены в полном объеме и получены верные ответы	Продemonстрирован верный ход решения всех, но не получен верный ответ во всех задачах	Продemonстрирован верный ход решения в большинстве задач	Задачи не решены
ПК-7	знать теорию цифровых кодов; форматы представления чисел с фиксированной и плавающей запятой; методы обработки цифровых сигналов; методы расчета аналоговых и дискретных фильтров; основные структуры цифровых фильтров;	Тест	Выполнение теста на 90 – 100 %	Выполнение теста на 80 – 90 %	Выполнение теста на 70 – 80 %	В тесте менее 70 % правильных ответов
	уметь работать с пакетом Signal Processing среды	Решение стандартных прак-	Задачи решены в полном	Продemonстрирован верный ход решения всех, но	Продemonстрирован верный ход решения в больш-	Задачи не решены

FDATool системы Matlab для расчета параметров цифровых фильтров;	тических задач	объеме и получены верные ответы	не получен верный ответ во всех задачах	шинстве задач	
<b>владеть</b> навыками работы с системой визуально-имитационного моделирования Matlab/Simulink и приложением по извлечению кода языка VHDL из моделей устройств цифровой обработки сигналов; проектирования цифровых фильтров в базисе ПЛИС.	Решение прикладных задач в конкретной предметной области	Задачи решены в полном объеме и получены верные ответы	Продемонстрирован верный ход решения всех, но не получен верный ответ во всех задачах	Продемонстрирован верный ход решения в большинстве задач	Задачи не решены

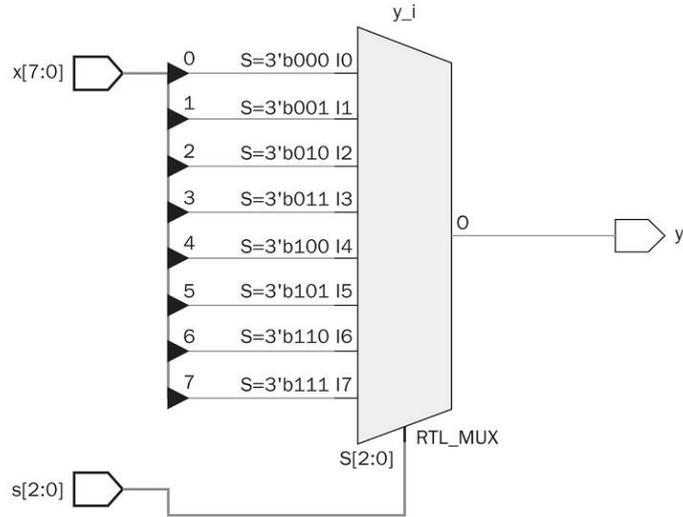
## 7.2 Примерный перечень оценочных средств (типовые контрольные задания или иные материалы, необходимые для оценки знаний, умений, навыков и (или) опыта деятельности)

### 7.2.1 Примерный перечень заданий для подготовки к тестированию

1	<p>Руководствуясь таблицей истинности, определите функциональное назначение схемы.</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th colspan="2">Select pins</th> <th>Output</th> </tr> <tr> <th>s1</th> <th>s0</th> <th>y</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td><b>x0</b></td> </tr> <tr> <td>0</td> <td>1</td> <td><b>x1</b></td> </tr> <tr> <td>1</td> <td>0</td> <td><b>x2</b></td> </tr> <tr> <td>1</td> <td>1</td> <td><b>x3</b></td> </tr> </tbody> </table> <table border="1" style="margin-left: auto; margin-right: auto; margin-top: 20px;"> <thead> <tr> <th>1</th> <th>2</th> <th>3</th> <th>4</th> </tr> </thead> <tbody> <tr> <td>Приоритетный шифратор 2 в 4</td> <td>Мультиплексор 4 в 1</td> <td>Дешифратор 2 в 4</td> <td>Демультимплексор 2 в 4</td> </tr> </tbody> </table>	Select pins		Output	s1	s0	y	0	0	<b>x0</b>	0	1	<b>x1</b>	1	0	<b>x2</b>	1	1	<b>x3</b>	1	2	3	4	Приоритетный шифратор 2 в 4	Мультиплексор 4 в 1	Дешифратор 2 в 4	Демультимплексор 2 в 4
Select pins		Output																									
s1	s0	y																									
0	0	<b>x0</b>																									
0	1	<b>x1</b>																									
1	0	<b>x2</b>																									
1	1	<b>x3</b>																									
1	2	3	4																								
Приоритетный шифратор 2 в 4	Мультиплексор 4 в 1	Дешифратор 2 в 4	Демультимплексор 2 в 4																								
2	<p>Руководствуясь таблицей истинности, определите функциональное назначение последовательного устройства.</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>Input</th> <th>Output</th> </tr> <tr> <th>t</th> <th>q[n+1]</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>q[n]</td> </tr> <tr> <td>1</td> <td><math>\bar{q}[n]</math></td> </tr> </tbody> </table>	Input	Output	t	q[n+1]	0	q[n]	1	$\bar{q}[n]$																		
Input	Output																										
t	q[n+1]																										
0	q[n]																										
1	$\bar{q}[n]$																										

1	2	3	4
RS-защелка	RS-защелка со входом управления	JK-триггер	T-триггер

3 По RTL-представлению определите, что за комбинационное устройство представлено на схеме.



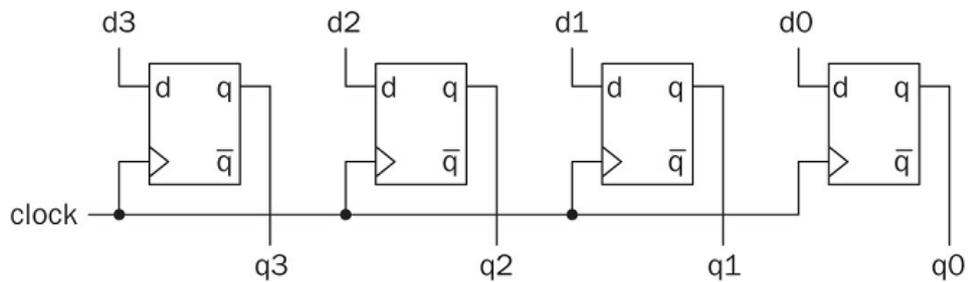
1	2	3	4
Приоритетный шифратор 8 в 1	Мультиплексор 8 в 1	Дешифратор 1 в 8	Демультимплексор 8 в 1

4 Руководствуясь таблицей истинности, определите функциональное назначение последовательного устройства.

Inputs		Output
j	k	q[n+1]
0	0	q[n]
0	1	0
1	0	1
1	1	$\bar{q}[n]$

1	2	3	4
RS-защелка	RS-защелка со входом управления	JK-триггер	D-триггер

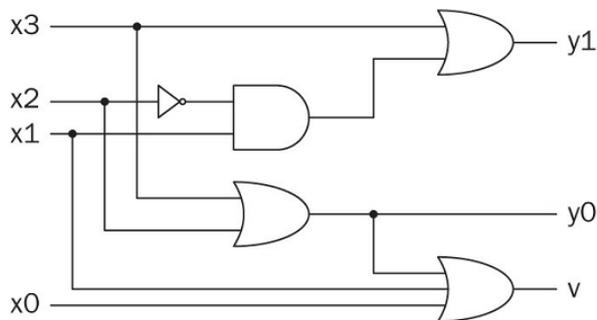
5 Руководствуясь электрической схемой, определите ее функциональное назначение.



1	2	3	4
Регистр	Дешифратор	Счетчик	Шифратор

6

Руководствуясь электрической схемой, определите ее функциональное назначение.



1	2	3	4
Приоритетный шифратор 4 в 2	Сумматор	Дешифратор 2 в 4	Демультимплексор 2 в 4

7

Руководствуясь таблицей истинности, определите функциональное назначение схемы.

Inputs				Outputs		
x0	x1	x2	x3	y0	y1	v
0	0	0	0	-	-	0
1	0	0	0	0	0	1
-	1	0	0	0	1	1
-	-	1	0	1	0	1
-	-	-	1	1	1	1

1	2	3	4
Приоритетный шифратор 4 в 2	Сумматор	Дешифратор 2 в 4	Демультимплексор 2 в 4

8

Руководствуясь булевыми уравнениями, определите функциональное назначение схемы.

$$y_0 = x_2 + x_3$$

$$y_1 = x_3 + x_1 \cdot \overline{x_2}$$

$$v = x_0 + x_1 + x_2 + x_3$$

1	2	3	4
Приоритетный шифратор 4 в 2	Сумматор	Дешифратор 2 в 4	Демультимплексор 2 в 4

9

По коду языка VHDL определите функциональное назначение схемы.

```
entity SR_latch is
port(s : in std_logic;
      r : in std_logic;
      q : inout std_logic;
      qn : inout std_logic);
end SR_latch;

architecture dataflow of SR_latch is
begin
q <= r nor qn;
qn <= s nor q;
end dataflow;
```

1	2	3	4
RS-защелка	RS-защелка со входом управления	D-триггер, тактируемый уровнем синхросигнала	D-триггер, тактируемый фронтом синхросигнала

10

По фрагменту кода языка VHDL определите функциональное назначение схемы.

```
architecture behavioral of SR_latch is
begin
process(s,r)
begin
if ((s='0') and (r='1')) then q<='0'; qn<='1';
elsif ((s='1') and (r='0')) then q<='1'; qn<='0';
elsif ((s='1') and (r='1')) then q<='-'; qn<='-';
end if;
end process;
end behavioral;
```

1	2	3	4
RS-защелка	RS-защелка со входом управления	D-триггер, тактируемый уровнем синхросигнала	D-триггер, тактируемый фронтом синхросигнала

## 7.2.2 Примерный перечень заданий для решения стандартных задач

1. Нарисуйте структурную схему линии задержки на восемь отводов и иерархическое дерево сумматоров.

2. Как формируется операция взятия дополнительного кода?

3. Нарисуйте структурную схему параллельного и последовательного КИХ-фильтра на четыре отвода.

4. Нарисуйте структурную схему параллельного векторного умножителя четырех 2-разрядных сигналов на четыре 2-разрядные константы.

5. Нарисуйте структурную схему КИХ-фильтра на четыре отвода с использованием последовательной распределенной арифметики.

6. Постройте графики частотных характеристик дискретного фильтра для вектора коэффициентов нерекурсивной части  $b = [-2 \ -1 \ 7 \ 6]$  и вектора коэффициентов рекурсивной части  $a = [1]$  с помощью функции `freqz(b,a)`.

7. Сформируйте сигнал в виде радиоимпульса с треугольной огибающей с частотой дискретизации  $F_s = 1000$  Гц и несущей частотой  $F_c = 5$  Гц:

$F_s = 1000;$

$t = -1:1/F_s:1.5;$

$F_c = 5;$

$A = (1 - \text{abs}(t)) .* (\text{abs}(t) \leq 1);$

$s = A .* \cos(2 * \pi * F_c * t);$

8. Пропустите сигнал в виде радиоимпульса с треугольной огибающей с частотой дискретизации  $F_s = 1000$  Гц и несущей частотой сигнала  $F_c = 5$  Гц через ФНЧ Баттерворта с нормированной частотой среза равной несущей частоте сигнала:

`[b,a] = butter(5,Fc*2/Fs);`

`s1 = filter(b,a,s);`

`plot(t,s)`

`figure`

`plot(t,s1)`

9. Постройте частотную характеристику ФНЧ Баттерворта с нормированной частотой среза равной несущей частоте сигнала,  $F_s = 1000$  Гц,  $F_c = 5$  Гц:

`[b,a] = butter(5,Fc*2/Fs);`

`f = 0.01:0.01:10;`

`h = freqz(b,a,f,Fs);`

`freqz(b,a, Fc*2/Fs);`

10. Пусть частота дискретизации равна  $F_s = 1000$  Гц. Синтезируйте ФНЧ Баттерворта с полосой пропускания от 0 до 40 Гц, пульсациями АЧХ в полосе пропускания, не превосходящими 3 дБ, и с подавлением сигнала как минимум 60 дБ в полосе задерживания, простирающейся от 150 Гц до частоты Найквиста, равной 500 Гц. Постройте график АЧХ и ФЧХ полученного фильтра.

$W_p = 40/500; W_s = 150/500;$

```
[n,Wn] = buttord(Wp,Ws,3,60)
[b,a] = butter(n,Wn);
freqz(b,a,512,1000); title('n = 5 Butterworth Lowpass Filter')
```

### 7.2.3 Примерный перечень заданий для решения прикладных задач

1. Сконструируйте ЛЧМ сигнал в системе Matlab со следующими параметрами:  $f_s = 1e3$ ; (частота дискретизации 1 кГц);  $t = 0:1/f_s:1$ ; (вектор дискретных значений);  $f_0 = 1+[t*300]$ ; (частота импульса).

2. Перечислите основные этапы разработки цифровых фильтров. Приведите пример спецификации фильтра?

3. Вычислите с помощью функции  $\text{conv}(x, h)$  свертку числовых последовательностей  $x = [1 \ 3 \ 2]$  и  $h = [1 \ 2 \ 3 \ 4]$ .

4. С помощью функции дискретной фильтрации  $\text{filter}(h,1,x)$ , где  $h = [1 \ 2 \ 3 \ 4]$  вектор коэффициентов нерекурсивной части, 1 – вектор коэффициентов рекурсивной части, определите значения профильтрованного сигнала  $x = [1 \ 3 \ 2 \ 0 \ 0 \ 0]$ , подаваемого на вход КИХ-фильтра.

5. С помощью функции  $\text{filter}(h,1,[1 \ 0 \ 0 \ 0])$  рассчитайте импульсную характеристику дискретного фильтра с вектором коэффициентов нерекурсивной части  $h = [1 \ 2 \ 3 \ 4]$ .

6. Постройте график импульсной характеристики фильтра Баттерворта 5-го порядка с частотой среза, равной 0,2 частоты дискретизации  $[b,a] = \text{butter}(5,0.2)$  с помощью функции  $\text{impz}(b,a)$ .

7. Синтезируйте КИХ-фильтр на 32 отвода с помощью функции (метод рядов Фурье со взвешиванием)  $\text{fir1}$  с частотой среза нормированной к частоте Найквиста  $F_c = 3/8$ ;  $b = \text{fir1}(31,3/8)$ ;  $\text{freqz}(b)$ .

8. Опишите условия, необходимые для того, чтобы реальный цифровой фильтр имел линейную фазовую характеристику.

9. Синтезируйте нерекурсивный дискретный КИХ-фильтр на 32 отвода фильтра с линейной ФЧХ с помощью функции  $\text{firls}$  в системе Matlab. Порядок КИХ-фильтра 32, значения частот, нормированные к частоте Найквиста  $f = [0 \ 0.2 \ 0.25 \ 1]$ , вектор, содержащий значения амплитуд АЧХ  $a = [1 \ 1 \ 0 \ 0]$

```
b = firls(32,f,a);
```

```
[h,w] = freqz(b);
```

```
plot(w/pi, abs(h))
```

10. Для передаточной функции найдите и постройте график частотной характеристики. Частота дискретизации 500 Гц:

$$H(z) = \frac{1 - 1,6180z^{-1} + z^{-2}}{1 - 1,5161z^{-1} + 0,878z^{-2}}$$

```
b = [1 -1,6180 1]; a = [1 -1,5161 0,878]; freqz(b,a,256,500).
```

### 7.2.4 Примерный перечень вопросов для подготовки к зачету

Не предусмотрено учебным планом

### **7.2.5 Примерный перечень вопросов для подготовки к экзамену**

1. Ключевые операции ЦОС.
2. Дискретизация сигналов.
3. Квантование, кодирование. Выборка с запасом по частоте.
4. Дискретные преобразования. Z-преобразования. Корреляция и свертка.
5. Вычислительные архитектуры обработки сигналов.
6. Универсальные процессоры ЦОС.
7. Процессоры ЦОС с фиксированной запятой.
8. Процессоры ЦОС с плавающей запятой.
9. Реализация алгоритмов ЦОС на универсальных процессорах.
10. Специализируемая аппаратура ЦОС.
11. Метод взвешивания, оптимизационные методы, метод частотной выборки
12. Прямая структура, прямая каноническая структура 1.
13. Каноническая структура 2, каноническая структура 3.
14. Каскадная структура, параллельная структура.
15. Генератор параметризованных ядер XLogiCORE IP и функции FIR Compiler v6.3 САПР ПЛИС Xilinx ISE для проектирования систолических КИХ-фильтров.
16. Особенности использования последовательной распределенной арифметики для реализации в базисе ПЛИС
17. Особенности использования параллельной распределенной арифметики для реализации в базисе ПЛИС
18. Совместное использование библиотеки DSP Xilinx blockset и графической среды для синтеза и анализа фильтров FDATA Tool
19. Система Xilinx System Generator САПР ISE Design Suite. Создание проектов КИХ-фильтров.
20. Система визуально-имитационного моделирования Matlab/Simulink с использованием Altera DSP Builder. Создание проектов КИХ-фильтров

### **7.2.6. Методика выставления оценки при проведении промежуточной аттестации**

Промежуточная аттестация проводится по билетам, каждый из которых содержит 3 вопроса и задачу. Каждый правильный ответ на вопрос оценивается 2 баллами, задача оценивается в 4 балла. Максимальное количество набранных баллов – 10.

1. Оценка «Отлично» ставится, если студент набрал от 9 до 10 баллов.
2. Оценка «Хорошо» ставится в случае, если студент набрал от 6 до 8 баллов.
3. Оценка «Удовлетворительно» ставится в случае, если студент

набрал от 3 до 5 баллов.

4. Оценка «Неудовлетворительно» ставится в случае, если студент набрал менее 3 баллов.

При получении оценок «отлично», «хорошо» и «удовлетворительно» требуемые в рабочей программе знания, умения, владения по соответствующим компетенциям на промежуточном этапе считаются достигнутыми.

### 7.2.7 Паспорт оценочных материалов

№ п/п	Контролируемые разделы (темы) дисциплины	Код контролируемой компетенции (или ее части)	Наименование оценочного средства
1	Процесс преобразования аналогового сигнала в цифровой код	ПК-5, ПК-7	Тест, требования к курсовой работе
2	Универсальные и специализированные процессоры ЦОС	ПК-5, ПК-7	Тест, требования к курсовой работе
3	Методы проектирования цифровых фильтров	ПК-5, ПК-7	Тест, требования к курсовой работе
4	Структуры цифровых фильтров в базисе ПЛИС	ПК-5, ПК-7	Тест, требования к курсовой работе
5	Проектирование систолических КИХ-фильтров в базисе ПЛИС	ПК-5, ПК-7	Тест, требования к курсовой работе
6	Проектирование КИХ-фильтров на последовательной распределенной арифметике в базисе ПЛИС	ПК-5, ПК-7	Тест, требования к курсовой работе
7	Проектирование КИХ-фильтров на параллельной распределенной арифметике в базисе ПЛИС	ПК-5, ПК-7	Тест, требования к курсовой работе
8	Расчет параметров фильтров с использованием среды FDA Tool системы визуально-имитационного моделирования Matlab/Simulink	ПК-5, ПК-7	Тест, требования к курсовой работе
9	Использование системы визуально-имитационного моделирования MATLAB/SIMULINK для проектирования цифровых фильтров в САПР ISE DESIGN SUITE с применением среды System Generator	ПК-5, ПК-7	Тест, требования к курсовой работе
10	Использование системы визуально-имитационного моделирования MATLAB/SIMULINK для проектирования цифровых фильтров в САПР QUARTUS II с приме-	ПК-5, ПК-7	Тест, требования к курсовой работе

	нением среды Altera DSP Builder		
--	---------------------------------	--	--

### **7.3. Методические материалы, определяющие процедуры оценивания знаний, умений, навыков и (или) опыта деятельности**

Тестирование осуществляется, либо при помощи компьютерной системы тестирования, либо с использованием выданных тест-заданий на бумажном носителе. Время тестирования 30 мин. Затем осуществляется проверка теста экзаменатором и выставляется оценка согласно методики выставления оценки при проведении промежуточной аттестации.

Решение стандартных задач осуществляется, либо при помощи компьютерной системы тестирования, либо с использованием выданных задач на бумажном носителе. Время решения задач 30 мин. Затем осуществляется проверка решения задач экзаменатором и выставляется оценка, согласно методики выставления оценки при проведении промежуточной аттестации.

Решение прикладных задач осуществляется, либо при помощи компьютерной системы тестирования, либо с использованием выданных задач на бумажном носителе. Время решения задач 30 мин. Затем осуществляется проверка решения задач экзаменатором и выставляется оценка, согласно методики выставления оценки при проведении промежуточной аттестации.

Защита курсовой работы осуществляется согласно требованиям, предъявляемым к работе, описанным в методических материалах. Примерное время защиты на одного студента составляет 20 мин.

## **8 УЧЕБНО МЕТОДИЧЕСКОЕ И ИНФОРМАЦИОННОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ)**

### **8.1 Перечень учебной литературы, необходимой для освоения дисциплины**

1. Мартюшев Ю.Ю. Практика функционального цифрового моделирования в радиотехнике: учеб. пособие / Ю.Ю. Мартюшев. – М.: Горячая линия-Телеком, 2014. –186 с.

2. Солонина А.И. Основы цифровой обработки сигналов : учеб. пособие / А.И. Солонина, Д.А. Улахович, С.М. Арбузов и др. – СПб. : БХВ-Петербург 2005. –753 с.

3. Соловьев В.В. Проектирование цифровых систем на основе ПЛИС / В.В. Соловьев. – 2-е изд., стереотип. – М.: Горячая линия – Телеком, 2007 – 636 с.

4. Грушвицкий Р.И. Проектирование систем на микросхемах с программируемой структурой: учеб. пособие / Р.И. Грушвицкий, А.Х. Мурсаев, Е.П. Угрюмов. – 2-е изд., перераб. и доп. – СПб.: БХВ-Петербург, 2006 – 736.

5. Проектирование систем цифровой и смешанной обработки сигналов

/ под ред.; У. Кестера; пер. с англ. под ред. А.А. Власенко. – М.: Техносфера, 2010. – 326 с.,

6. Амосов В.В. Схемотехника и средства проектирования цифровых устройств: учеб. пособие / В.В. Амосов. – СПб.: БХВ-Петербург, 2007. – 542 с.

7. Тарасов И.Е. Разработка систем цифровой обработки сигналов на базе ПЛИС / И.Е. Тарасов, И.Е. Потехин. – М.: Горячая линия – Телеком, 2007. – 248 с.

8. Тарасов И.Е. Разработка цифровых устройств на основе ПЛИС фирмы Xilinx с применением языка VHDL / И.Е. Тарасов. – М.: Горячая линия – Телеком, 2005. – 252 с.

9. Угрюмов Е.П. Цифровая схемотехника: учеб. пособие / Е.П. Угрюмов. – 2-е изд., перераб. и доп. – СПб.: БХВ-Петербург, 2004. – 528 с.

10. Строгонов А.В. Цифровая обработка сигналов в базисе программируемых логических интегральных: учеб. пособие / А.В. Строгонов. – 2-е изд., испр. и доп. – СПб.: Лань, 2015. – 310 с. [Электронный ресурс].

11. Строгонов А.В. Основы цифровой обработки сигналов: учеб. пособие / А.В. Строгонов. – Воронеж: ФГБОУ ВПО «ВГТУ», 2014. [Электронный ресурс].

12. Строгонов А.В. Проектирование устройств цифровой обработки сигналов для реализации в базисе программируемых логических интегральных схем: учеб. пособие / А.В. Строгонов. Воронеж: ФГБОУ ВПО «ВГТУ», 2013. – 323 с. [Электронный ресурс].

13. Строгонов А.В. Системное проектирование программируемых логических интегральных схем: учеб. пособие / А.В. Строгонов. – Воронеж: ФГБОУ ВПО «ВГТУ», 2012. – 322 с. [Электронный ресурс].

14. Строгонов А.В. Методические указания к выполнению лабораторных работ № 1, 2 по дисциплине «Проектирование цифровых устройств в базисе ПЛИС» / А.В. Строгонов. – Воронеж: ФГБОУ ВПО «ВГТУ», 2014 [Электронный ресурс].

15. ГОСТ 2.105-2019. ЕСКД. Общие требования к текстовым документам. – М.: ФГУП «Стандартинформ», 2019. – 35 с.

## **8.2 Перечень информационных технологий, используемых при осуществлении образовательного процесса по дисциплине, включая перечень лицензионного программного обеспечения, ресурсов информационно-телекоммуникационной сети «Интернет», современных профессиональных баз данных и информационных справочных систем:**

Методические указания к выполнению лабораторных работ представлены на сайте: <http://cchgeu.ru/>.

Образовательный портал ВГТУ: <https://old.education.cchgeu.ru>

САПР БИС Tanner

САПР ПЛИС Altera Quartus II+ Altera DSP Builder

САПР ПЛИС Xilinx ISE+ Xilinx System Generator

Системы цифрового моделирования ModelSim-Altera

Система визуально-имитационного моделирования Matlab/Simulink  
www.labfor.ru Лаборатории электронных средств обучения, ЛЭСО ГОУ ВПО «СибГУТИ»  
www.asic.ru НПК «Технологический центр»  
www.tcen.ru НПК «Технологический центр»  
www.e-kir.ru Электронные версии журнала «Компоненты и технология»

## **9 МАТЕРИАЛЬНО-ТЕХНИЧЕСКАЯ БАЗА, НЕОБХОДИМАЯ ДЛЯ ОСУЩЕСТВЛЕНИЯ ОБРАЗОВАТЕЛЬНОГО ПРОЦЕССА**

1. Специализированная лекционная аудитория, оснащенная оборудованием для лекционных демонстраций и проекционной аппаратурой.
2. Дисплейный класс, оснащенный компьютерными программами для выполнения расчетов, и рабочими местами для самостоятельной подготовки обучающихся с выходом в «Интернет».
3. Учебный лабораторный стенд на ПЛИС структуры FPGA - LESO2.

## **10. МЕТОДИЧЕСКИЕ УКАЗАНИЯ ДЛЯ ОБУЧАЮЩИХСЯ ПО ОСВОЕНИЮ ДИСЦИПЛИНЫ (МОДУЛЯ)**

По дисциплине «Цифровая обработка сигналов в базисе ПЛИС» читаются лекции, проводятся лабораторные и практические занятия, выполняется курсовая работа.

Основой изучения дисциплины являются лекции, на которых излагаются наиболее существенные и трудные вопросы, а также вопросы, не нашедшие отражения в учебной литературе.

Практические занятия проводятся путем решения стандартных и прикладных задач в аудитории.

Лабораторные работы выполняются на лабораторном оборудовании в соответствии с методиками, приведенными в указаниях к выполнению работ.

Большое значение по закреплению и совершенствованию знаний имеет самостоятельная работа студентов. Информацию о всех видах самостоятельной работы студенты получают на занятиях.

Методика выполнения курсовой работы изложена в учебно-методическом пособии. Выполнять этапы курсовой работы студенты должны своевременно и в установленные сроки.

Контроль усвоения материала дисциплины осуществляется тестированием, проверкой курсовой работы, защитой курсовой работы. Освоение дисциплины оценивается на экзамене.

Вид учебных занятий	Деятельность студента
Лекция	Написание конспекта лекций: кратко, схематично, последовательно фиксировать основные положения, выводы, формулировки, обобщения; помечать важные мысли, выделять ключевые слова, термины. Проверка терминов, понятий с помощью энциклопедий, словарей.

	справочников с выписыванием толкований в тетрадь. Обозначение вопросов, терминов, материала, которые вызывают трудности, поиск ответов в рекомендуемой литературе. Если самостоятельно не удастся разобраться в материале, необходимо сформулировать вопрос и задать преподавателю на лекции или на практическом занятии.
Практическое занятие	Конспектирование рекомендуемых источников. Работа с конспектом лекций, подготовка ответов к контрольным вопросам, просмотр рекомендуемой литературы. Прослушивание аудио- и видеозаписей по заданной теме, выполнение расчетно-графических заданий, решение задач по алгоритму.
Лабораторная работа	Лабораторные работы позволяют научиться применять теоретические знания, полученные на лекции при решении конкретных задач. Чтобы наиболее рационально и полно использовать все возможности лабораторных для подготовки к ним необходимо: разобрать лекцию по соответствующей теме, ознакомиться с соответствующим разделом учебника, проработать дополнительную литературу и источники, решить задачи и выполнить другие письменные задания.
Самостоятельная работа	Самостоятельная работа студентов способствует глубокому усвоению учебного материала и развитию навыков самообразования. Самостоятельная работа предполагает следующие составляющие: <ul style="list-style-type: none"> <li>- работа с текстами: учебниками, справочниками, дополнительной литературой, а также проработка конспектов лекций;</li> <li>- работа над темами для самостоятельного изучения;</li> <li>- участие в работе студенческих научных конференций, олимпиад;</li> <li>- подготовка к промежуточной аттестации.</li> </ul>
Подготовка к промежуточной аттестации	Готовиться к промежуточной аттестации следует систематически, в течение всего семестра. Интенсивная подготовка должна начаться не позднее, чем за месяц-полтора до промежуточной аттестации. Данные перед экзаменом три дня эффективнее всего использовать для повторения и систематизации материала.

## ЛИСТ РЕГИСТРАЦИИ ИЗМЕНЕНИЙ

№ п/п	Перечень вносимых изменений	Дата вне- сения из- менений	Подпись заведую- щего кафедрой, от- ветственной за реа- лизацию ОПОП
1			
2			
3			
4			
5			