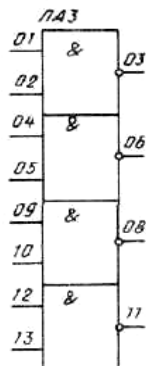
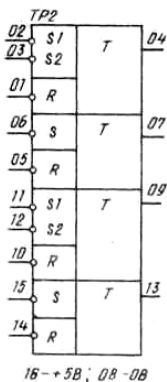


Ю.С. Акинина С.В. Тюрин

РЕАЛИЗАЦИЯ СИНХРОННОГО АВТОМАТА НА ИНТЕГРАЛЬНЫХ МИКРОСХЕМАХ

Учебное пособие



Воронеж 2016

ФГБОУ ВО «Воронежский государственный
технический университет»

Ю.С. Акинина С.В. Тюрин

РЕАЛИЗАЦИЯ СИНХРОННОГО
АВТОМАТА НА ИНТЕГРАЛЬНЫХ
МИКРОСХЕМАХ

Утверждено Редакционно-издательским советом
университета в качестве учебного пособия

Воронеж 2016

УДК 681.3.06

Акинина Ю.С. Реализация синхронного автомата на интегральных микросхемах: учеб. пособие / С.В. Тюрин, Ю.С. Акинина Воронеж: ФГБОУ ВО «Воронежский государственный технический университет», 2016. 88 с.

Учебное пособие предназначено для самостоятельной подготовки студентов заочной формы обучения к выполнению курсового проекта. Пособие содержит задания на курсовое проектирование, рекомендации к последовательности выполнения курсового проекта, требования к объёму и оформлению материалов курсового проекта.

Издание соответствует требованиям федерального государственного образовательного стандарта высшего образования по направлению 09.03.01 «Информатика и вычислительная техника» (профиль "Вычислительные машины, комплексы, системы и сети") дисциплине «Схемотехника».

Табл. 14. Ил. 137. Библиогр.: 8 назв.

Научный редактор д-р техн. наук, проф. С.Л. Подвальный

Рецензенты: кафедра вычислительной математики и прикладных информационных технологий Воронежского государственного университета (зав. кафедрой д-р техн. наук, проф. Т.М. Леденева);
д-р техн. наук, проф. В.М. Питолин

© Акинина Ю.С., Тюрин С.В., 2016

© Оформление. ФГБОУ ВО «Воронежский государственный технический университет», 2016

ВВЕДЕНИЕ

Учебным планом, разработанным в соответствии с федеральным государственным образовательным стандартом (ФГОС) [1] высшего образования по направлению «Информатика и вычислительная техника», предусмотрено выполнение курсового проекта в рамках дисциплины «Схемотехника».

В результате изучения дисциплины "Схемотехника" студенты должны:

- знать номенклатуру, характеристики и функциональное назначение интегральных микросхем, выпускаемых отечественной и зарубежной промышленностью для ЭВМ;
- знать и практически овладеть основными методами проектирования узлов ЭВМ на основе интегральных микросхем различной степени интеграции;
- знать принципы построения интегральных микросхем памяти и способы построения на их основе устройств памяти большой емкости;
- уметь выбирать схемотехническую базу при проектировании различных устройств ЭВМ;
- иметь навыки экспериментального исследования работоспособности спроектированных схем.

Целью курсового проектирования является закрепление у студентов основных теоретических положений дисциплины "Схемотехника", приобретение практических навыков по решению задач логического синтеза узлов и блоков цифровых ЭВМ, а так же практической их реализации на интегральных микросхемах малой и средней степени интеграции.

Каждому студенту для выполнения курсового проектирования выдается техническое задание (ТЗ), содержащее требования к проектируемому цифровому узлу или блоку.

На основании заданных исходных данных необходимо, в конечном счёте, разработать схему электрическую принципиальную заданного цифрового устройства, разработать его

модель и проверить правильность функционирования модели средствами пакета схемотехнического моделирования Electronics Workbench (EWB) [2].

Разработке схемы электрической принципиальной цифрового узла должна предшествовать разработка схем электрических структурных и функциональных, постепенная детализация которых подготавливает законченное техническое решение поставленной задачи.

Текстовые и графические материалы курсового проекта оформляются в соответствии с требованиями ЕСКД. Для реализации заданного цифрового узла разрешается использовать только те микросхемы и электро-радио элементы, модели которых имеются в демоверсии пакета схемотехнического моделирования Electronics Workbench 5.X. Пакет схемотехнического моделирования EWB подробно описан в главе 5 данного пособия.

1. ЗАДАНИЯ ДЛЯ КУРСОВОГО ПРОЕКТИРОВАНИЯ

1.1. Характеристика объекта и цели курсового проектирования

Тема курсового проектирования формулируется единообразно для всех студентов: «Реализация синхронного автомата на интегральных микросхемах».

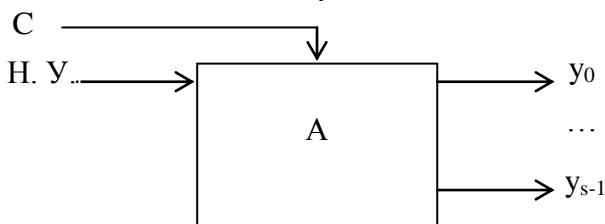
Объектом курсового проектирования является синхронный автомат, который под действием входных управляющих сигналов циклически переходит из текущего в следующее своё состояние, при этом, находясь в каждом своём состоянии, автомат должен формировать несколько выходных сигналов, комбинации которых однозначно определяются текущим состоянием автомата.

На рисунке объект проектирования представлен на уровне «черного ящика», где:

$Y_0 \dots Y_{r-1}$ - выходные сигналы, комбинации которых соответствуют текущему состоянию автомата.

C – сигнал синхронизации;

$H. U.$ – сигнал начальной установки.



Представление объекта проектирования на уровне "черного ящика"

Совокупность выходных сигналов $y_0 \dots y_{s-1}$ может быть представлена в виде двоичного числа Y_j , для чего y_0 принимается за младший разряд двоичного числа, а y_{s-1} – за старший разряд этого двоичного числа.

Каждое индивидуальное задание на курсовое проектирование отличается конкретными техническими требованиями: начальным состоянием автомата; количеством состояний автомата; количеством выходных сигналов; комбинациями выходных сигналов для каждого состояния автомата.

На основании индивидуальных исходных данных, в конечном счёте, необходимо разработать схему электрическую принципиальную заданного синхронного автомата, разработать его модель и проверить правильность её функционирования средствами пакета схемотехнического моделирования Electronics Workbench [2].

1.2. Варианты заданий на курсовое проектирование

Работу заданного синхронного автомата можно описать следующим образом. По фронту сигнала синхронизации, автомат безусловно переходит из одного состояния в другое, то есть осуществляет переход из текущего состояния автомата a_i в следующее состояние a_{i+1} , где $i = 0, \dots, 8$. Эти переходы циклически повторяются в одном и том же порядке, при этом в каждом состоянии a_i автомат формирует неповторяющиеся выходные двоичные числа Y_j , где j является десятичным эквивалентом этого двоичного числа.

Типовое задание на курсовое проектирование содержит следующие исходные данные:

- граф автомата, задающий последовательность формирования выходных двоичных чисел Y_j , представленный в прил. 1;
- в качестве элементов памяти для синтеза автомата в курсовом проекте должны быть использованы комбинированные синхронные двухтактные D-триггеры;
- в качестве элементной базы для реализации синхронного автомата использовать отечественные микросхемы 155 серии (зарубежный аналог SN74), модели которых пред-

ставлены в демо-версии пакета схемотехнического моделирования ElectronicsWorkbench 5.x.

Подробный перечень и описание разрешенных для применения в курсовом проекте микросхем 155 серии представлен в главах 6,7 данного пособия.

Для определения номера варианта задания на курсовое проектирование рассмотрим таблицу. В таблице по столбцам записана предпоследняя цифра зачетной книжки студента, а по строкам – последняя. На пересечении строк и столбцов в ячейке таблицы записан номер варианта задания на курсовое проектирование. Данный номер варианта определяет граф синтезируемого автомата, представленный в прил. 1.

Например: номер зачетной книжки студента 567398. Для определения номера варианта для курсового проектирования по столбцам таблицы ищем цифру 9, а по строкам – 8. В ячейке таблицы на пересечении соответствующих строки и столбца записана цифра 7. Следовательно, номер варианта задания для курсового проектирования – 7.

Варианты задания на курсовое проектирование

Послед. цифра	Предпоследняя цифра зачетной книжки									
	0	1	2	3	4	5	6	7	8	9
0	1	11	21	5	16	24	1	0	22	0
1	2	12	22	4	14	22	2	3	21	4
2	3	13	23	3	15	23	3	12	0	8
3	4	14	24	2	13	24	4	13	8	16
4	5	15	0	1	12	0	5	8	13	20
5	6	16	10	0	11	10	6	9	17	24
6	7	17	9	20	10	9	7	5	18	12
7	8	18	8	19	21	8	8	4	19	5
8	9	19	7	18	22	7	9	3	4	7
9	10	20	6	17	23	6	10	2	6	2

2. СОСТАВ И ОБЪЕМ КУРСОВОГО ПРОЕКТА

Курсовой проект должен включать расчетно – пояснительную записку (РПЗ), схему электрическую принципиальную (СЭП) и перечень элементов (ПЭ) разработанного синхронного автомата.

В расчетно – пояснительной записке, объемом 20...30 страниц формата А4, приводятся поясняющие текстовые, графические, расчетные, иллюстративные и т.п. материалы, размещенные по разделам проекта. Представляемая схема электрическая принципиальная оформляется как приложение к РПЗ. Перечень элементов может располагаться на схеме электрической принципиальной или выполняться как самостоятельный конструкторский документ.

Расчетно – пояснительная записка должна содержать:

- титульный лист;
- задание на курсовое проектирование;
- отдельный лист "ЗАМЕЧАНИЯ РУКОВОДИТЕЛЯ";
- СОДЕРЖАНИЕ;
- ВВЕДЕНИЕ;
- основной текст РПЗ;
- ЗАКЛЮЧЕНИЕ;
- СПИСОК ЛИТЕРАТУРЫ;
- ПРИЛОЖЕНИЯ.

Введение должно содержать краткую характеристику проблематики той дисциплины, в рамках которой выполняется курсовое проектирование, а также основные цели и задачи курсового проектирования.

Основной текст РПЗ может иметь следующую структуру:

- 1 Выбор способа решения задачи курсового проектирования
 - 1.1 Структурная детализация автомата

- 1.2 Составление структурной таблицы кодирования состояний автомата
- 1.3 Построение временной диаграммы функционирования синхронного автомата
- 1.4 Детализация блока памяти автомата
- 2 Структурный синтез логического преобразователя
 - 2.1 Составление расширенной структурной таблицы переходов
 - 2.2 Составление логических уравнений для выходных сигналов
 - 2.3 Минимизация логических уравнений с помощью карт Карно
 - 2.4 Выбор элементной базы для синтеза логического преобразователя
- 3 Разработка схемы синтезируемого устройства
 - 3.1 Синтез (или разработка) схемы электрической функциональной в пакете Electronics Workbench
 - 3.2 Синтез (или разработка) схемы электрической принципиальной в пакете Electronics Workbench
- 4 Результаты моделирования и оценка качества проектных решений

Курсовой проект оформляется в соответствии со стандартом предприятия СТП ВГТУ 62-2007. Настоящий стандарт распространяется на курсовые работы (проекты), рефераты, контрольные работы, отчеты о лабораторных работах, выполняемые студентами всех кафедр ВГТУ. Требования настоящего стандарта являются обязательными при их оформлении.

Правила выполнения и оформления схем регламентируют следующие стандарты ЕСКД [3-6]:

- ГОСТ 2.708-81 “ЕСКД. Правила выполнения электрических схем цифровой вычислительной техники”;
- ГОСТ 2.701-84 “ЕСКД. Схемы. Виды и типы. Общие требования к выполнению”;

– ГОСТ 2.743-91 “ЕСКД. Обозначения условные графические в схемах. Элементы цифровой техники”.

3. ЭТАПЫ ВЫПОЛНЕНИЯ КУРСОВОГО ПРОЕКТА

Сопоставляя темы курсовых проектов по дисциплине «Схемотехника»: «Реализация синхронного автомата на интегральных микросхемах» и по дисциплине «Теория автоматов»: «Синтез синхронного управляющего автомата» нетрудно догадаться, что часть курсового проекта по дисциплине «Схемотехника» может выполняться по той же методике [7], что и для курсового проекта по «Теории автоматов».

Рассмотрим этапы выполнения курсового проекта на примере графа автомата, представленного на рис. 3.1, где $a_i \in A$, $i = 0, \dots, 8$ – состояния автомата; a_0 – начальное состояние автомата; Y_j , $j = 0, \dots, 8$ – двоичные числа, равные десятичному индексу j и формируемые на выходах автомата.

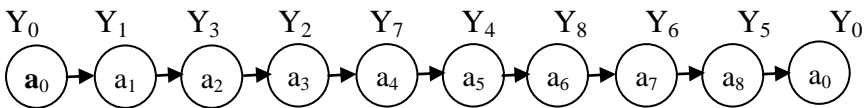


Рис. 3.1. Граф синтезируемого автомата

3.1. Структурная детализация автомата

Объектом курсового проектирования является синхронный автомат, реализующий некоторый алгоритм, который формально может задаваться таким автоматным языком описания как граф автомата (прил. 1).

Математические модели Мили и Мура позволяют провести следующий шаг детализации структуры проектируемого автомата, представленного на рисунке главы 1. Синтезируе-

мый автомат представляется состоящим из двух взаимосвязанных функциональных частей – логического преобразователя (ЛП) и блока памяти (БП), так, как это показано на рис. 3.2.

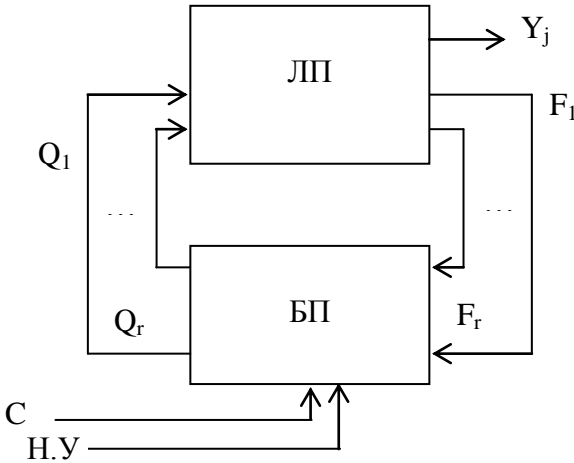


Рис. 3.2. Первый уровень структурной детализации синтезируемого автомата

ЛП представляет собой комбинационную схему (или комбинационный автомат). БП содержит r комбинированных D-триггеров. Количество триггеров, необходимое для реализации БП, определяется по формуле:

$$r = 1 + \text{int} (\log_2 (\alpha - 1)) \tag{3.1}$$

где α - мощность множества A состояний автомата;
 $\text{int} (w)$ – целая часть (w).

Блок памяти на выходах Q_1, \dots, Q_r формирует структурный код, соответствующий номеру шага алгоритма работы автомата. Предварительно все возможные внутренние состояния автомата обозначаются некоторыми абстрактными символами

(чаще всего какой-либо буквой с соответствующим индексом), которым затем ставятся в однозначное соответствие двоичные структурные коды. На входы блока памяти должны воздействовать сигналы F_1, \dots, F_r , которые формируются ЛП и в совокупности образуют двоичный код, соответствующий структурному коду следующего внутреннего состояния автомата. Совокупность одновременно формируемых сигналов F_1, \dots, F_r принято называть функцией возбуждения блока памяти, а каждый отдельный сигнал F_1, \dots, F_r - функциями возбуждения элементов памяти. Логический преобразователь в каждом состоянии автомата формирует также совокупность выходных сигналов в виде двоичного числа Y_j .

3.2. Составление структурной таблицы кодирования состояний автомата

В настоящее время самым распространенным способом структурного кодирования состояний автомата является двоичное кодирование. Структурное кодирование проводится в два этапа: определяется количество (β) двоичных разрядов, необходимое и достаточное для двоичного представления некоторого множества абстрактных символов; осуществляется сопоставление каждому отдельному абстрактному символу β - разрядного двоичного кода.

В самом простейшем случае величина β находится на основе следующего соотношения:

$$\beta = 1 + \text{int} (\log_2 (\alpha - 1)) \quad (3.2)$$

где α - мощность множества состояний автомата;

$\text{int} (w)$ - целая часть (w).

Определим величину β для синтезируемого автомата, граф которого представлен на рис. 3.1. Так как $\alpha = |A| = 9$, то по формуле (3.2) получим:

$$\beta = 1 + \text{int} (\log_2 (\alpha - 1)) = 1 + \text{int}(\log_2 (9 - 1)) = 1 + 3 = 4$$

Следовательно, для структурного кодирования внутренних состояний автомата необходимо использовать 4 - разряда, то есть четыре триггера в блоке памяти. Сопоставим каждому отдельному абстрактному символу $a_i \in A$, $i = 0, \dots, 84$ - разрядный двоичный код таким образом, чтобы он соответствовал значению десятичного индекса i каждого состояния автомата. Результаты такого структурного кодирования занесем в табл. 3.1.

Таблица 3.1
Структурное кодирование состояний автомата a_i

		Структурный код			
		Q_4	Q_3	Q_2	Q_1
Состояния автомата a_i	a_i				
	a_0	0	0	0	0
	a_1	0	0	0	1
	a_2	0	0	1	0
	a_3	0	0	1	1
	a_4	0	1	0	0
	a_5	0	1	0	1
	a_6	0	1	1	0
	a_7	0	1	1	1
	a_8	1	0	0	0

Если состояния автомата закодировать в соответствии с табл. 3.1, то для формирования выходных сигналов Y_j потребуется усложнение логического преобразователя, так как он должен будет дополнительно преобразовывать двоичные коды $Q_4 \dots Q_1$ в соответствующие коды $y_{s-1} \dots y_0$. Если же коды $y_{s-1} \dots y_0$ для всех состояний $a_i \in A$ являются отличающимися друг от друга, то их можно непосредственно использовать для структурного кодирования, при этом необходимо и достаточно, чтобы количество триггеров в блоке памяти было равно количеству s выходных сигналов. Для рассматриваемого на

рис. 3.1 случая, максимальное десятичное значение индекса j у выходных двоичных чисел Y_j равно 8. Подставив это значение в соотношение (3.1) вместо параметра α , получим количество выходных сигналов $y_0 \dots y_{s-1}$ для данного автомата, то есть $s=4$. В таком случае количество выходных сигналов автомата равно количеству триггеров в блоке памяти, что позволяет существенно упростить логический преобразователь за счёт того, что если изменить структурное кодирование состояний автомата, то выходами автомата будут являться выходы соответствующих триггеров. Тогда структурная схема, представленная на рис. 3.2, модифицируется в структурную схему, представленную на рис. 3.3.

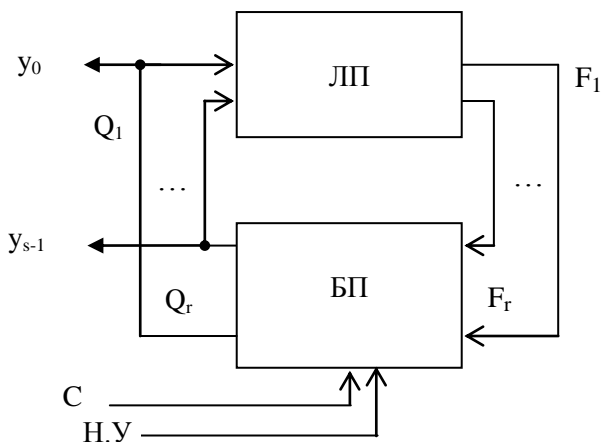


Рис. 3.3. Модифицированная структурная схема синтезируемого автомата

Для реализации структурной схемы, представленной на рис. 3.3 необходимо осуществить структурное кодирование состояний автомата, которое представлено в табл. 3.2 в соответствии со следующим графом автомата (рис. 3.4)

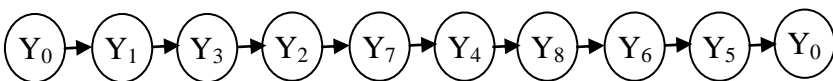


Рис. 3.4. Модифицированный граф синтезируемого автомата

Таблица 3.2

Модифицированное структурное кодирование состояний автомата Y_j

		Структурные коды			
		Q_4	Q_3	Q_2	Q_1
Индексы состояний автомата Y_j	j				
	0	0	0	0	0
	1	0	0	0	1
	3	0	0	1	1
	2	0	0	1	0
	7	0	1	1	1
	4	0	1	0	0
	8	1	0	0	0
	6	0	1	1	0
	5	0	1	0	1

Следует заметить, что модифицированное структурное кодирование возможно и в том случае, если среди выходных двоичных кодов Y_j , формируемых на выходе автомата будут иметься повторяющиеся коды. Для их различения потребуется увеличить разрядность блока памяти.

3.3. Построение временной диаграммы функционирования синхронного автомата

Для проверки правильности модельных реализаций схем электрических функциональной и принципиальной в пакете

схемотехнического моделирования Electronics Workbench предоставлены различные возможности.

Первая возможность заключается в использовании электромеханических ключей и светодиодных индикаторов. Электромеханические ключи используются для моделирования входных сигналов, а светодиодные индикаторы – для индикации значений входных и выходных сигналов. Такую проверку устройств в вычислительной технике принято называть статической проверкой. Это обусловлено тем, что быстродействие реальных логических элементов в миллионы раз превосходит время ручной установки на переключателях требуемой комбинации входных сигналов. Для ускорения проверки правильности функционирования в пакете Electronics Workbench имеются такие виртуальные приборы, как генератор слов и логический анализатор.

Генератор слов позволяет якобы формировать на своих 16 выходах разнообразные двоичные последовательности на очень высоких частотах (десятки и сотни мегагерц). При этом логический анализатор должен работать не менее чем на порядок быстрее генератора слов. На рис. 3.5 представлен пример подключения генератора слов и логического анализатора для динамической проверки правильности функционирования некоторой функциональной схемы.

Для проверки правильности функционирования моделей реализуемого автомата с использованием генератора слов и логического анализатора необходимо располагать теоретической временной диаграммой корректной работы автомата.

Для построения теоретической временной диаграммы необходимо воспользоваться данными табл. 3.2 и учесть следующие заданные условия: по сигналу начальной установки (Н.У.) автомат предварительно должен быть установлен в заданное начальное состояние (в данном случае $Q_1=0$; $Q_2=0$; $Q_3=0$; $Q_4=0$); переходы из текущего состояния в следующее

состояния осуществлять по фронту (перепаду из 0 в 1) сигнала синхронизации S.

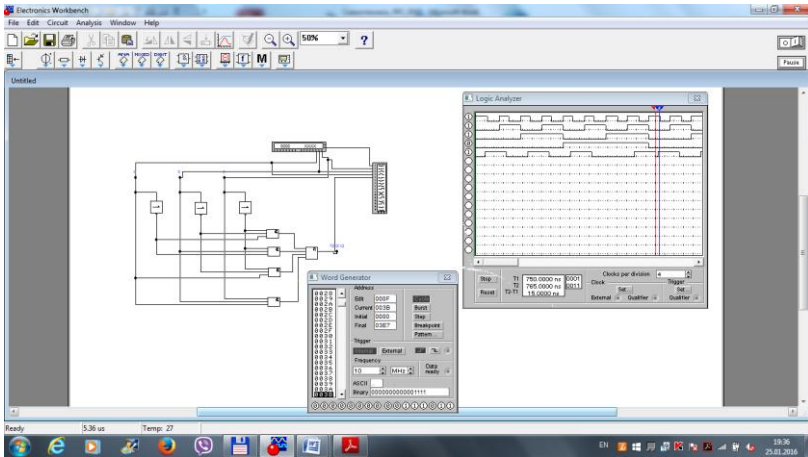


Рис. 3.5. Пример подключения генератора слов и логического анализатора

В соответствии с табл. 3.2 и перечисленными выше заданными условиями построим временную диаграмму синтезируемого синхронного автомата (рис. 3.6).

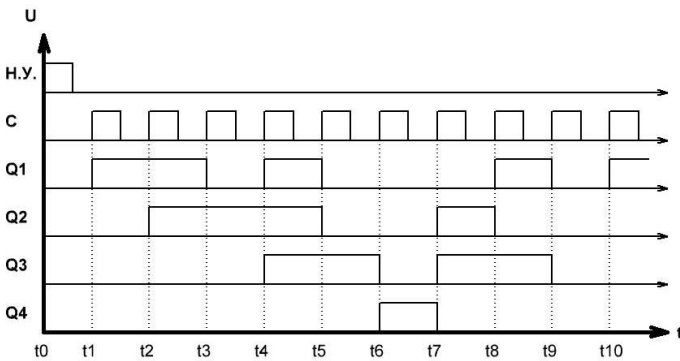


Рис. 3.6. Теоретическая временная диаграмма функционирования синхронного автомата

3.4. Детализация блока памяти автомата

Целью данного этапа курсового проектирования является разработка блока памяти синтезируемого автомата, который должен быть реализован на комбинированных синхронных двухтактных D-триггерах.

На рис. 3.7 представлено условно графическое обозначение (УГО) данного типа триггеров.

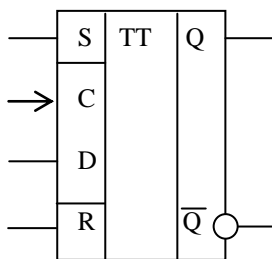


Рис. 3.7. Комбинированный синхронный двухтактный D - триггер

В табл. 3.3 представлена таблица истинности комбинированного синхронного двухтактного D – триггера.

В табл. 3.3 используемые символы обозначают следующее:

0/1 – нулевое или единичное состояния входов и выходов;

* – безразличное состояние входа или запрещенное состояние выхода;

↑ – фронт сигнала синхронизации;

Q – текущее состояние триггера;

Q⁺ – следующее состояние триггера.

Таблица 3.3

Таблица истинности комбинированного синхронного двух-
тактного D – триггера

R	S	C	D	Q	Q ⁺
0	0	0	*	0/1	0/1
0	0	↑	0	0/1	0
0	0	↑	1	0/1	1
0	1	*	*	0	1
0	1	*	*	1	1
1	0	*	*	0	0
1	0	*	*	1	0
1	1	*	*	0/1	*

По сути, блок памяти представляет собой 4 D-триггера электрически соединённых определенным образом, или, иначе говоря, представляет одну 4 – разрядную ячейку памяти, которая представлена на рис. 3.8.

На рис. 3.8 обозначено:

Q_1, \dots, Q_4 - двоичный код, который соответствует номеру текущего шага алгоритма работы автомата;

S – сигнал синхронизации;

Н.У. – начальная установка устройства;

F_1, \dots, F_4 - функции возбуждения элементов памяти.

В вычислительной технике такую организацию триггеров принято называть 4 – разрядным регистром.

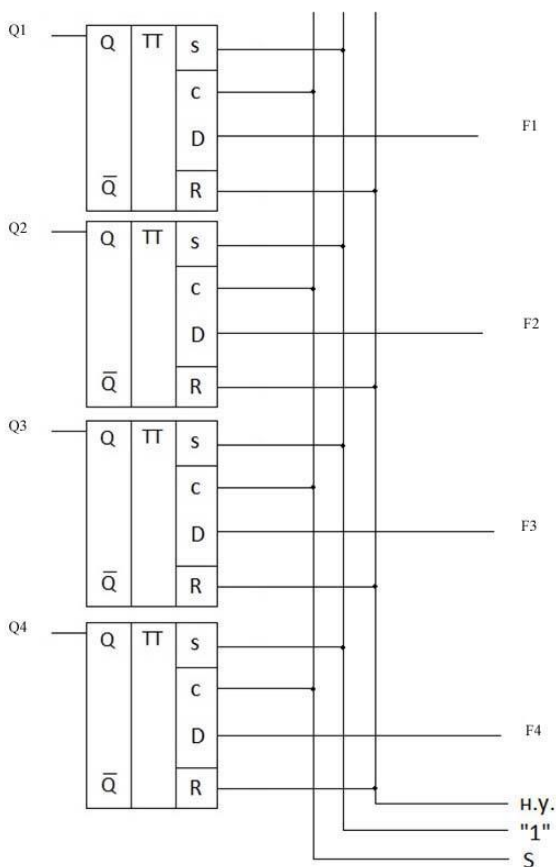


Рис. 3.8. Блок памяти синтезируемого автомата

Особенностью комбинированных триггерных схем является то, что наряду с наличием у них синхронно управляемых информационных входов, присутствуют также и входы асинхронной установки S и R триггеров в единичное "1" и нулевое "0" состояния. Входы асинхронной установки триггеров обозначены на УГО отдельными от синхронных входов зонами. Входы асинхронной установки необходимы для приведе-

ния триггеров в некоторые исходные (начальные) состояния, которые в совокупности соответствуют начальному состоянию синтезируемого синхронного управляющего автомата. Сигнал, подаваемый на входы асинхронной установки триггеров для приведения их в начальные состояния, принято называть сигналом сброса (Reset) или начальной установки (Н.У.). Сигнал начальной установки должен воздействовать только на один из асинхронных входов (S или R) каждого триггера. Не задействованные для начальной установки входы триггеров должны быть подключены к дополнительному сигналу, который является постоянным и пассивным для данного типа триггера. Для представленного на рис. 3.7 триггера асинхронные сигналы S и R являются активными, если имеют уровень логической «1», и пассивны - если имеют уровень логического «0». Следует отметить, что на практике часто используются такие D-триггеры, у которых сигналы на входах R и S активны, если они имеют уровень логического «0», и пассивны, если они имеют уровень логической «1».

Входы синхронизации для всех триггеров, образующих блок памяти, объединяются и соединяются с единым внешним сигналом синхронизации. Синхронно управляемые информационные входы триггеров и их выходы подключаются к логическому преобразователю так, как показано на рис.3.3.

3.5. Составление расширенной структурной таблицы переходов автомата

Исходными данными для составления расширенной структурной таблицы переходов автомата является табл. 3.2.

Так как для синтеза автомата необходимо использовать комбинированные D – триггеры, то функция возбуждения блока памяти находится на основании следующего соотношения:

$$F(a_m, a_s) = K(a_s), \quad (3.3)$$

где a_m – текущее состояние автомата;

a_s – следующее состояние автомата;

$K(a_s)$ – двоичный код следующего состояния автомата.

Из (3.3) следует следующая система уравнений:

$$\begin{aligned} F_1 &= Q_1(a_s) \\ F_2 &= Q_2(a_s) \\ F_3 &= Q_3(a_s) \\ F_4 &= Q_4(a_s) \end{aligned} \quad (3.4)$$

Расширенная структурная таблица переходов автомата представлена в виде табл. 3.4.

Таблица 3.4

Расширенная структурная таблица переходов автомата

a_m	$K(a_m)$				a_s	$K(a_s)$				$F(a_m, a_s)$			
	Q_4	Q_3	Q_2	Q_1		Q_4	Q_3	Q_2	Q_1	F_4	F_3	F_2	F_1
a_0	0	0	0	0	a_1	0	0	0	1	0	0	0	1
a_1	0	0	0	1	a_3	0	0	1	1	0	0	1	1
a_3	0	0	1	1	a_2	0	0	1	0	0	0	1	0
a_2	0	0	1	0	a_7	0	1	1	1	0	1	1	1
a_7	0	1	1	1	a_4	0	1	0	0	0	1	0	0
a_4	0	1	0	0	a_8	1	0	0	0	1	0	0	0
a_8	1	0	0	0	a_6	0	1	1	0	0	1	1	0
a_6	0	1	1	0	a_5	0	1	0	1	0	1	0	1
a_5	0	1	0	1	a_0	0	0	0	0	0	0	0	0

Табл. 3.4 содержит следующие переменные:

a_m – состояние автомата, из которого осуществляется переход за один такт автоматного времени;

- a_s – состояние автомата, в которое осуществляется переход за один такт автоматного времени;
- $F(a_m, a_s)$ – структурный код функции возбуждения блока памяти;
- $K(a_m)$ – структурный код состояния автомата в текущий момент времени;
- $K(a_s)$ – структурный код состояния автомата в последующий момент времени.

3. 6. Составление логических уравнений для функций возбуждения элементов памяти

Составление логических уравнений для функций возбуждения блока памяти F_1, \dots, F_4 сводится к получению кратчайших и/или минимальных тупиковых дизъюнктивных нормальных форм, обеспечивающих минимальную структурную сложность при реализации логической функции в элементных базисах И, ИЛИ, НЕ; И-НЕ; ИЛИ-НЕ.

Осуществим минимизацию логических функций F_1, \dots, F_4 , значения которых представлены в табл. 3.4, с помощью карт Карно [8]. Для этого построим карты Карно функций $F_i, i=1, \dots, 4$.

Таблица 3.5

Карта Карно функции F_1

$Q_1Q_2 \backslash Q_3Q_4$	00	01	11	10
00	1	1	0	1
01	0	-	-	-
11	-	-	-	-
10	0	1	0	0

Доопределим карту Карно, представленную в табл. 3.5.

Таблица 3.6

Доопределенная карта Карно функции F_1

Q_1Q_2 \ Q_3Q_4	00	01	11	10
00	1	1	0	1
01	0	1	0	1
11	0	1	0	0
10	0	1	0	0

Минимизируем функцию F_1 методом карт Карно. Получим:

$$F_1 = \overline{Q_1}Q_2 + Q_1\overline{Q_2}\overline{Q_3} + \overline{Q_1}\overline{Q_3}Q_4 \quad (3.5)$$

В табл. 3.7 представлена карта Карно функции F_2 .

Таблица 3.7

Карта Карно функции F_2

Q_1Q_2 \ Q_3Q_4	00	01	11	10
00	0	1	1	1
01	1	-	-	-
11	-	-	-	-
10	0	0	0	0

Доопределим карту Карно, представленную в табл. 3.7.

Таблица 3.8

Доопределенная карта Карно функции F_2

$Q_1Q_2 \backslash Q_3Q_4$	00	01	11	10
00	0	1	1	1
01	1	1	1	1
11	0	0	0	0
10	0	0	0	0

Минимизируем функцию F_2 методом карт Карно. Получим:

$$F_2 = Q_1\bar{Q}_3 + Q_2\bar{Q}_3 + \bar{Q}_3Q_4 \quad (3.6)$$

В табл. 3.9 представлена карта Карно функции F_3 .

Таблица 3.9

Карта Карно функции F_3

$Q_1Q_2 \backslash Q_3Q_4$	00	01	11	10
00	0	1	0	0
01	1	-	-	-
11	-	-	-	-
10	0	1	1	0

Доопределим карту Карно, представленную в табл. 3.9.

Таблица 3.10

Доопределенная карта Карно функции F_3

$Q_1Q_2 \backslash Q_3Q_4$	00	01	11	10
00	0	1	0	0
01	1	1	0	0
11	1	1	1	0
10	0	1	1	0

Минимизируем функцию F_3 методом карт Карно. Получим:

$$F_3 = \overline{Q_1}Q_2 + Q_2Q_3 + \overline{Q_1}Q_4 \quad (3.7)$$

В табл. 3.9 представлена карта Карно функции F_4 .

Таблица 3.11

Карта Карно функции F_4

$Q_1Q_2 \backslash Q_3Q_4$	00	01	11	10
00	0	0	0	0
01	0	-	-	-
11	-	-	-	-
10	1	0	0	0

Доопределим карту Карно, представленную в табл. 3.11.

Доопределенная карта Карно функции F_4

Q_1Q_2 \ Q_3Q_4	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	1	0	0	0
10	1	0	0	0

Минимизируем функцию F_4 методом карт Карно. Получим:

$$F_4 = \overline{Q_1} \overline{Q_2} Q_3 \quad (3.8)$$

3.7. Выбор элементной базы для синтеза логического преобразователя

Для синтеза ЛП необходимо определить, в каком из элементарных базисов выгоднее реализовать функции возбуждения блока памяти F_1, \dots, F_4 . В зависимости от вычислительной сложности логического уравнения, каждое уравнение может быть реализовано в разных элементарных базисах.

Реализуем логические уравнения F_1, \dots, F_4 в элементарном базисе И-НЕ.

Для того, чтобы реализовать логическую функцию, заданную в ДНФ в базисе И-НЕ необходимо взять двойное отрицание от этой функции и по законам де Моргана заменить все дизъюнкции на конъюнкции [8], т.е.:

$$f(x_1, x_2, \dots, x_n) = \overline{\overline{f(x_1, x_2, \dots, x_n)}}. \quad (3.9)$$

В соответствии с (3.9) реализуем функции F_1, \dots, F_4 в базисе И-НЕ. Получим:

$$F_1 = \overline{\overline{Q_1 Q_2}} + \overline{\overline{Q_1 Q_2 Q_3}} + \overline{\overline{Q_1 Q_3 Q_4}} = \overline{\overline{Q_1 Q_2}} * \overline{\overline{Q_1 Q_2 Q_3}} * \overline{\overline{Q_1 Q_3 Q_4}} \quad (3.10)$$

$$F_2 = \overline{\overline{Q_1 Q_3}} + \overline{\overline{Q_2 Q_3}} + \overline{\overline{Q_3 Q_4}} = \overline{\overline{Q_1 Q_3}} * \overline{\overline{Q_2 Q_3}} * \overline{\overline{Q_3 Q_4}} \quad (3.11)$$

$$F_3 = \overline{\overline{Q_1 Q_2}} + \overline{\overline{Q_2 Q_3}} + \overline{\overline{Q_1 Q_4}} = \overline{\overline{Q_1 Q_2}} * \overline{\overline{Q_2 Q_3}} * \overline{\overline{Q_1 Q_4}} \quad (3.12)$$

$$F_4 = \overline{\overline{Q_1 Q_2 Q_3}} \quad (3.13)$$

4. РАЗРАБОТКА СХЕМ СИНТЕЗИРУЕМОГО АВТОМАТА

4.1. Разработка и моделирование схемы электрической функциональной в пакете Electronics Workbench

После преобразования логических уравнений F_1, \dots, F_4 в выбранный элементный базис, можно перейти к синтезу схемы электрической функциональной синхронного автомата.

Построим логические схемы для функций F_1, \dots, F_4 в базисе И-НЕ.

В соответствии с уравнением (3.10) получим схему, представленную на рис. 4.1.

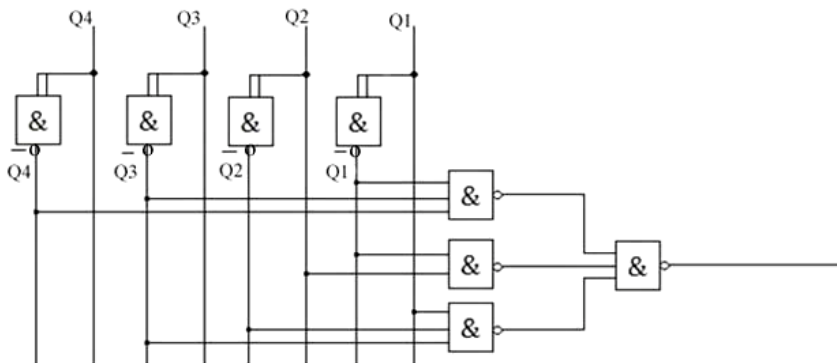


Рис. 4.1. Логическая схема для функции F_1

В соответствии с уравнением (3.11) получим схему, представленную на рис. 4.2.

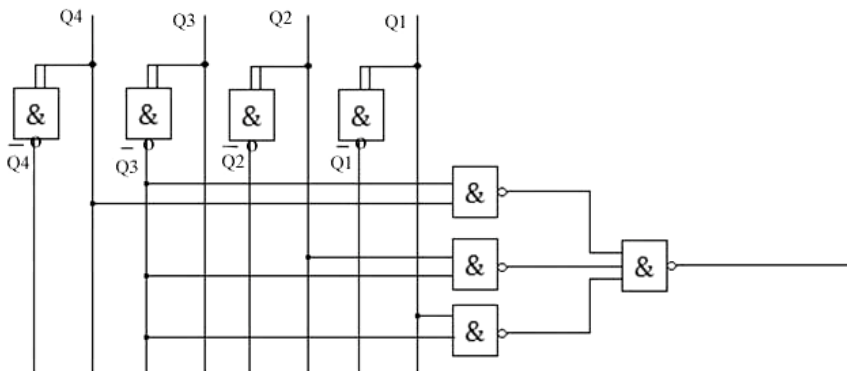


Рис. 4.2. Логическая схема для функции F_2

В соответствии с уравнением (3.12) получим схему, представленную на рис. 4.3.

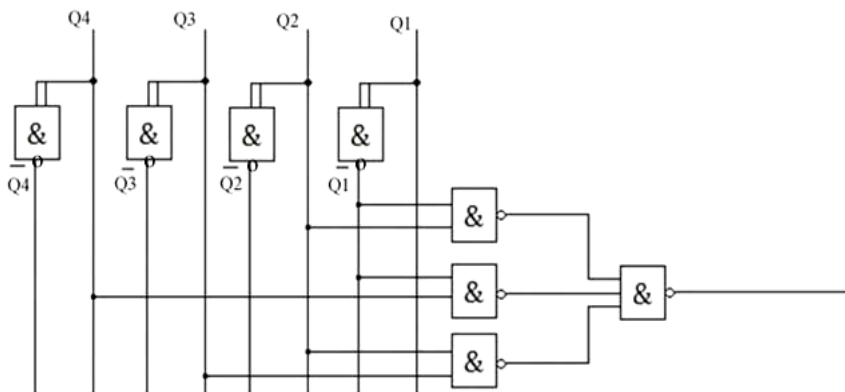


Рис. 4.3. Логическая схема для функции F_3

В соответствии с уравнением (3.13) получим схему, представленную на рис. 4.4.

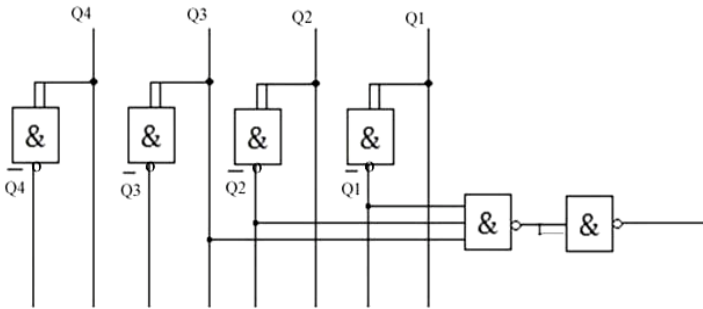


Рис. 4.4. Логическая схема для функции F_4

Собрав воедино схемы, представленные на рис. 4.1 – 4.4 и подключив к ним схему БП автомата, представленную на рис. 3.8 в соответствии с рис. 3.3, получим схему электрическую функциональную (СЭФ) синтезируемого синхронного автомата. Реализуем данную схему средствами пакета схемотехнического моделирования ElectronicsWorkbench (EWB). Разработанная СЭФ представлена в прил. 2. Преобразование разработанной СЭФ в схему электрическую принципиальную (СЭП) не может быть начато до тех пор, пока она не будет верифицирована. Верификация СЭФ должна быть осуществлена средствами пакета схемотехнического моделирования ElectronicsWorkbench (EWB).

4.2. Разработка и моделирование схемы электрической принципиальной в пакете Electronics Workbench

После того, как средствами пакета EWB была проверена корректность работы СЭФ, то есть получена временная диаграмма синтезируемого автомата, полностью совпадающая с временной диаграммой, представленной на рис. 3.6, можно переходить к заключительному этапу выполнения курсового проектирования – разработке схемы электрической принципи-

альной (СЭП) синхронного автомата. Реализуем данную схему средствами пакета EWB.

Для этого необходимо изучить номенклатуру интегральных микросхем, разрешенных для применения в данном курсовом проекте. Ограничением на допустимые типы микросхем является библиотека моделей микросхем серии SN74, содержащихся в демо-версии пакета схемотехнического моделирования ElectronicsWorkbench 5.x [2]. Отечественным аналогом микросхем серии SN74 являются микросхемы 155 серии. Подробный перечень и описание разрешенных для применения в курсовом проекте микросхем представлен в главах 6,7 данного пособия.

Преобразование схемы электрической функциональной в схему электрическую принципиальную не может быть выполнено формально. Процесс такого преобразования есть итерационный процесс, заключающийся в подборе каждому функциональному элементу соответствующей интегральной микросхемы, реализующей тождественную функцию. При этом требуется не только адекватно отождествить функции, но и стремиться к минимизации количества и разновидностей типов микросхем, необходимых и достаточных для практической реализации разрабатываемого автомата. Необходимо так же обеспечить согласование всех интегральных микросхем по логическим уровням и длительностям всех управляющих, синхронизирующих сигналов, а так же значениям пассивных сигналов, подаваемых на неиспользуемые входы микросхем. Пример разработанной в пакете EWB СЭП синхронного автомата представлен в прил. 3.

На рис. 4.5 представлена временная диаграмма синхронного автомата, полученная в результате верификации разработанной СЭП в пакете EWB с использованием генератора слов и логического анализатора.

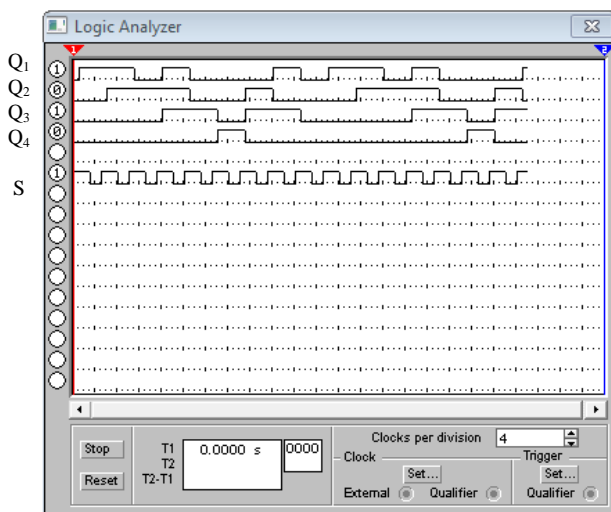


Рис. 4.5. Временная диаграмма синхронного автомата

Как видно, данная временная диаграмма полностью совпадает с временной диаграммой, задающей работу синтезируемого автомата и представленной на рис. 3.6.

По завершению данного этапа выполнения курсового проекта необходимо перейти к завершающему этапу – оформлению разработанной схемы электрической принципиальной в соответствие с требованиями Единой Системы Конструкторской Документации (ЕСКД). При оформлении разработанной схемы электрической принципиальной необходимо, прежде всего, руководствоваться ГОСТ [4-6]. Пример схемы, оформленный в соответствии с ГОСТ, приведен в прил. 3.

5. ПАКЕТ СХЕМОТЕХНИЧЕСКОГО МОДЕЛИРОВАНИЯ ELECTRONICS WORKBENCH

EWB позволяет строить и анализировать аналого-цифровые электронные схемы, от самых простых до весьма сложных, а так же рассчитывать их статические и динамические характеристики. Особенностью программы является наличие виртуальных контрольно-измерительных приборов, особенно таких как, генератор слов, логический анализатор, осциллограф. Их внешний вид и характеристики приближены к их промышленным аналогам.

Программа легко осваивается и достаточно удобна в работе [2].

5.1. Меню File

Меню File предназначено для загрузки и записи файлов, получение твердой копии выбранных для печати составных частей схемы, а также для импорта/экспорта файлов в форматах других систем моделирования и программ разработки печатных плат.

Первые четыре команды этого меню: New (Ctrl+N), Open (Ctrl+O), Save(Ctrl+S), Save As... - типичные для Windows команды работы с файлами и поэтому пояснения не требуют. Для этих команд в пятой версии имеются иконки со стандартным изображением. Остальные команды имеют следующее назначение:

Revert to Savent... - стирание всех изменений, внесенных в текущем сеансе редактирования, и восстановление схемы в первоначальном виде;

Print... (Ctrl+P) - выбор данных для вывода на принтер;

Print Setup... - настройка принтера;

Exit (Alt+F4) - выход из программы;

Install... - установка дополнительных программ.

5.2. Меню Edit

Меню Edit позволяет выполнять команды редактирования схем и копирование экрана.

Назначение команд:

Cut (Ctrl+X) - стирание (вырезание) выделенной части схемы с сохранением ее в буфере обмена (Clipboard). Выделенные компоненты окрашиваются в красный цвет;

Copy (Ctrl+C) - копирование выделенной части схемы в буфер обмена;

Paste(Ctrl+V) - вставка содержимого буфера обмена на рабочее поле программы;

Delete (Del) - стирание выделенной части схемы;

Select All(Ctrl+A) - выделение всей схемы;

Copybits(Ctrl+I) - команда превращения курсора мыши в крестик, которым по правилу прямоугольника можно выделить нужную часть экрана, после отпускания левой кнопки мыши выделенная часть копируется в буфер обмена, после чего его содержимое может быть импортировано в любое приложение Windows. Копирование всего экрана производится нажатием клавиши Print Screen: копирование активной в данный момент части экрана, например, диалогового окна - комбинацией Alt + Print Screen. Команда очень удобна при подготовке отчетов по моделированию, например, при оформлении лабораторных работ;

Show Clipboard - показать содержимое буфера обмена.

5.3. Меню Circuit

Меню Circuit используется для подготовки схем, а также для задания параметров моделирования.

Назначение команд:

Activate (Ctrl+G) - запуск моделирования;

Stop (Ctrl+T) - остановка моделирования;

Pause (F9) - прерывание моделирования;

Label... (Ctrl+L) - ввод позиционного обозначения выделенного компонента (например, R1 - для резистора, C5 - для конденсатора и т.д.);

Value... (Ctrl+U) - изменение номинального значения параметра компонента; команда выполняется также двойным щелчком по компоненту;

Model... (Ctrl+M) - выбор модели компонента; команда выполняется также двойным щелчком по компоненту;

Zoom (Ctrl+Z) - развертывание выделенной подсхемы;

Rotate (Ctrl+R) - вращение выделенного компонента; большинство компонентов поворачиваются против часовой стрелки на 90° при каждом выполнении команды, для измерительных приборов (амперметр, вольтметр и др.) меняются местами клеммы подключения. Команда чаще всего используется при подготовке схем. В готовой схеме пользоваться командой нецелесообразно, поскольку это чаще всего приводит к путанице. В таком случае компонент нужно сначала отключить от подсоединенных цепей, а затем вращать;

Fault (Ctrl+F) - имитация неисправности выделенного компонента путем введения:

- 1) Leakage - сопротивления утечки;
- 2) Short - короткого замыкания;
- 3) Open - обрыва;
- 4) None - неисправность отсутствует (включено по умолчанию);

Subcircuit... (Ctrl+B) - преобразование предварительно выделенной части схемы в подсхему. Выделенная часть схемы должна быть расположена таким образом, чтобы в выделенную область не попали не относящиеся к ней проводники и компоненты;

Wire Color... - изменение цвета предварительно выбранного проводника. Более простой способ выполнения команды - двойной щелчок мышью на проводнике, после чего в меню выбирается один из шести предлагаемых цветов. Необ-

ходимость расцветки особенно важна для проводников, соединяющих контрольные точки (узлы) схемы с осциллографом или логическим анализатором. В этом случае цвет проводника определяет цвет осциллограммы;

Preferences... (Ctrl+ E) - выбор элементов оформления схемы;

Show grid - показать сетку для удобства рисования схемы (по умолчанию эта опция выключена, остальные включены). Опция активна только при включенной опции Use grid (использовать сетку);

Show labels - показать позиционные обозначения компонентов, например, C1, C2 для конденсаторов;

Show models - показать имена моделей компонентов, например, типов транзисторов;

Show values - показать номиналы компонентов, например, сопротивления резисторов.

5.4. Меню Window

Меню Window содержит следующие команды:

Arrange (CTRL+W) - упорядочивание информации в рабочем окне EWB путем перезаписи экрана, при этом исправляются искажения изображений компонентов и соединительных проводников;

Circuit - вывод схемы на передний план;

Description (CTRL+D) - вывод на передний план описания схемы, если оно имеется, или окно-ярлык для его подготовки (только на английском языке).

5.5. Меню Help

Меню Help построено стандартным для Windows способом. Оно содержит краткие сведения по всем рассмотренным выше командам, библиотечным компонентам и измерительным приборам, а также сведения о самой программе. Отметим, что для получения справки по библиотечному компо-

ненту его необходимо отметить на схеме щелчком мыши (он высветится красным цветом) и затем нажать клавишу F1.

5.6. Меню Analysis

Первые три команды - Activate (CTRL+G), Stop (CTRL+T), Pause (F9) - аналогичны командам меню Circuit программы EWB 4.1.

Назначение остальных команд имеет специфическое назначение, которое можно узнать из [2].

5.7. Контрольно-измерительные приборы EWB

Вид панели контрольно-измерительных приборов пакета схемотехнического моделирования EWB показан на рис. 5.1. Панель контрольно-измерительных приборов находится под полем меню рабочего окна и содержит цифровой мультиметр а), функциональный генератор б), двухканальный осциллограф в), измеритель амплитудно-частотных и фазочастотных характеристик г), 16-ти разрядный генератор слов (кодový генератор) д), 16-канальный логический анализатор е) и логический преобразователь ж). Общий порядок работы с приборами такой: иконка прибора курсором переносится на рабочее поле и подключается проводниками к исследуемой схеме. Для приведения прибора в рабочее (развернутое) состояние необходимо дважды щелкнуть курсором по его иконке.



а) б) в) г) д) е) ж)

Рис. 5.1. Панель контрольно-измерительных приборов

Рассмотрим контрольно-измерительные приборы более подробно.

5.7.1. Мультиметр

Лицевая панель мультиметра показана на рис. 5.2. На лицевой панели мультиметра расположен дисплей для отображения результатов измерения.



Рис. 5.2. Лицевая панель мультиметра

5.7.2. Функциональный генератор

Лицевая панель генератора показана на рис. 5.3.

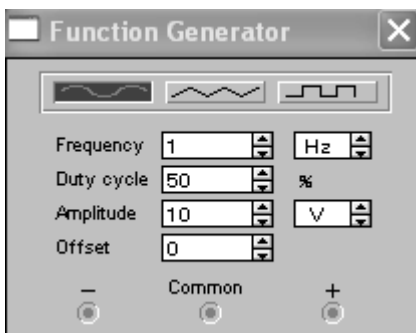


Рис. 5.3. Лицевая панель функционального генератора

Управление генератором осуществляется следующими органами управления:

- выбор формы выходного сигнала: синусоидальная (выбрана по умолчанию), треугольная и прямоугольная;
- установка частоты выходного сигнала;
- установка коэффициента заполнения в %: для импульсных сигналов это отношение длительности импульса к периоду повторения — величина обратная скважности

Duty cycle % ;

- установка амплитуды выходного сигнала
- Amplitude ;

- установка смещения (постоянной составляющей) выходного сигнала. Offset .

–

5.7.3. Осциллограф

Лицевая панель осциллографа показана на рис. 5.4.

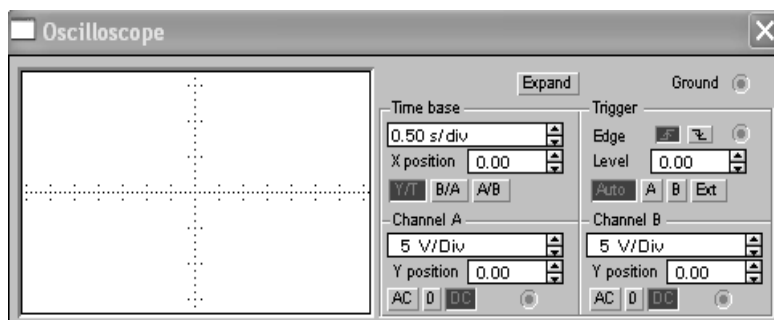



Рис. 5.4. Лицевая панель осциллографа

Осциллограф имеет два канала (CHANNEL) А и В с отдельной регулировкой чувствительности в диапазоне от 10 мкВ/дел ($\mu\text{V}/\text{Div}$) до 5 кВ/дел (kV/Div) и регулировкой смещения по вертикали (Y POS). Выбор режима по входу осуществ-

ляется нажатием кнопок.  Режим AC предназначен для наблюдения только сигналов переменного тока (его еще называют режимом «закрытого входа»). В режиме 0 входной зажим замыкается на землю. В режиме DC (включён по умолчанию) можно проводить осциллографические измерения как постоянного, так и переменного токов. Этот режим еще называют режимом «открытого входа».

Режим развертки выбирается кнопками Y/T, В/А и А/В:

- в режиме Y/T (обычный режим, включен по умолчанию) реализуются следующие режимы развертки: по вертикали – напряжение сигнала, по горизонтали – время;
- в режиме В/А: по вертикали – сигнал канала В, по горизонтали — сигнал канала А;
- в режиме А/В: по вертикали – сигнал канала А, по горизонтали – сигнал канала В.

В режиме развертки Y/T длительность развертки (TIME BASE) может быть задана в диапазоне от 0,1 нс/дел до 1 с/дел с возможностью установки смещения в тех же единицах по горизонтали, т.е. по оси X.

Пакет схемотехнического моделирования Electronics Workbench имеет приборы для формирования и наблюдения логических величин: для формирования используется генератор слов, а для наблюдения – логический анализатор.

5.7.4. Генератор слов

Генератор слов используется для задания цифровых последовательностей. На рис. 5.5 приведено уменьшенное изображение генератора слов.



Вход внешней синхронизации
Выход тактового сигнала

Рис. 5.5. Уменьшенное изображение генератора слов

На шестнадцать выходов в нижней части генератора параллельно подаются биты генерируемого слова. На выход тактового сигнала подается последовательность тактовых импульсов с заданной частотой. Вход синхронизации используется для подачи синхронизирующего сигнала от внешнего источника.

Двойным щелчком мыши по уменьшенному изображению генератора слов открывается его расширенное изображение. На рис. 5.6 представлено расширенное изображение генератора слов.

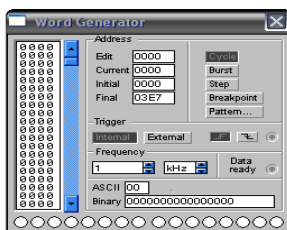


Рис. 5.6. Расширенное изображение генератора слов

Левая часть генератора отображает любые 16 (из 2048) шестнадцатибитовых слов, которые отображаются как четырехразрядные шестнадцатиричные числа. Выделением отмечается слово, активное в данный момент. Значения битов этого слова отображаются в круглых окнах внизу на панели генератора. Ввод слов может производиться в окне «Binary» генератора при помощи мыши и клавиатуры. Нажатием на левую клавишу мыши выделяется нужный бит, а ввод значения 0 или 1 производится с клавиатуры.

Ввод данных может также осуществляться путём ввода с клавиатуры четырёх шестнадцатиричных чисел в левую часть генератора слов, используя символы, идентичные приведенным в таблице 1. При вводе можно пользоваться клавишами на клавиатуре ←, ↑, →, ↓.

Генератор может работать в трех режимах:

- пошаговый (каждый раз после подачи очередного слова на выход генератор останавливается);
- однократный (на выход генератора однократно поступает последовательность слов то 0 до $N \leq 2048$);
- циклический (на выход генератора циклически поступает последовательность слов то 0 до $N \leq 2048$ в течение необходимого времени).

Нажатием на кнопку STEP (рис. 5.6) генератор переводится в пошаговый режим, кнопка BURST переводит в однократный режим, а кнопка CYCLE - в циклический. Для того чтобы прервать работу в циклическом режиме, необходимо еще раз нажать кнопку CYCLE (или CTRL+ T на клавиатуре).

Используя окно «Final» можно заикливать последовательность из произвольного числа слов. Для этого достаточно ввести в это окно шестнадцатиричное значение (по сути, номер) последнего в последовательности слова.

Правая нижняя панель управления TRIGGER определяет момент начала работы генератора. Момент запуска может быть задан по положительному или отрицательному фронтам синхронизирующего импульса. В режиме EXTERNAL (внешняя синхронизация) передача слов на выход генератора синхронизируется с помощью импульсов, подаваемых на вход запуска. С приходом каждого импульса на выход генератора выдается одно слово. В режиме INTERNAL (внутренняя синхронизация) генератор производит внутреннюю синхронизацию передачи слов на выход.

Для синхронизации работы схемы с генератором можно использовать выход Clock Pulse (Clk). Установить частоту импульсов в пределах от Гц до МГц можно в окне FREQUENCY.

5.7.5. Логический анализатор

На рис. 5.7 показано уменьшенное изображение логического анализатора. Логический анализатор подключается к ис-

следуемой схеме с помощью выводов в его левой части. Одновременно могут наблюдаться сигналы в шестнадцать точек схемы. Нижние клеммы используются для подачи синхронизирующих импульсов и управления анализатором.

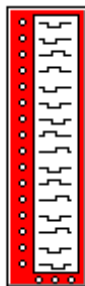


Рис. 5.7. Уменьшенное изображение логического анализатора

Двойным щелчком мыши по уменьшенному изображению открывается расширенное изображение логического анализатора, приведенное ниже на рис. 5.8.

Временные диаграммы сигналов на экране 16-канального логического анализатора изображаются в виде прямоугольных импульсов. Кроме того, круглые окна в левой части анализатора показывают текущее состояние входов анализатора. Каждое окно соответствует одному из его входов. Уровни сигналов, в текущий момент подающихся на вход анализатора, на экране отображаются справа. Нажатие на клавишу CLEAR очищает экран логического анализатора. В поле CLOCKS PER DIVISION устанавливается временной масштаб по горизонтальной оси.

Выбор режима синхронизации производится при помощи поля управления TRIGGER. Существует два режима синхронизации:

- внутренняя синхронизация;
- внешняя синхронизация.

Режим внешней синхронизации устанавливается нажатием на кнопку EXTERNAL. В этом режиме синхронизация производится синхронизирующим импульсом от внешнего источника, подаваемым на вход синхронизации. При помощи кнопок, расположенных в поле управления, можно задать момент запуска по положительному или отрицательному фронту синхронизирующего импульса.

Кнопкой Set в секции Clock устанавливается частота фиксации значений анализируемых сигналов. При совместной работе генератора слов и логического анализатора его частота работы должна быть не менее чем в 10 раз выше частоты формирования слов генератором слов. Для того, что бы можно было фиксировать логическим анализатором риски сбоя в логических схемах его частота работы должна быть порядка 100 МГц, а частота работы генератора слов – порядка 10 МГц.

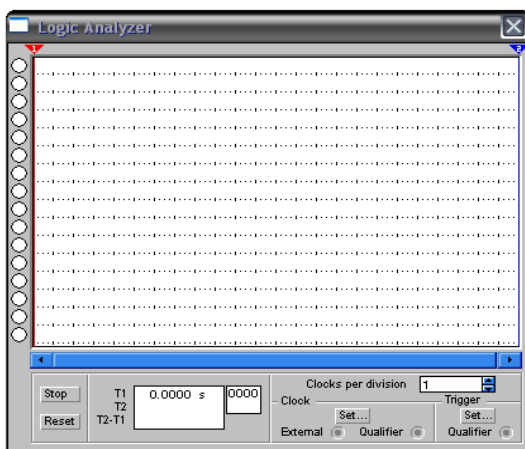


Рис. 5.8. Расширенное изображение логического анализатора

5.7.6. Источники тока

В общем случае источники тока могут быть представлены в виде генератора напряжения или генератора тока. Ис-

точники тока делятся на источники постоянного тока, переменного тока и управляемые (функциональные) источники. Кроме того, они подразделяются на измерительные источники и источники для электропитания.

Примером измерительного источника является функциональный генератор. Из источников постоянного тока в качестве измерительного широко используется, так называемый, нормальный элемент (электрохимический источник), обладающий высокой стабильностью выходного напряжения и используемый в высокоточных образцовых установках для проверки вольтметров, амперметров и других измерительных приборов. Источники постоянного тока в программе EWB представлены так, как на рис. 5.9, где источник с фиксированным напряжением +5V (а), источник с фиксированным напряжением +15V (б), с заданным напряжением (в), с заданным напряжением и внутренним сопротивлением (г), с заданным током (д). Источник г) используется для моделирования логической «1» в позитивной логике.

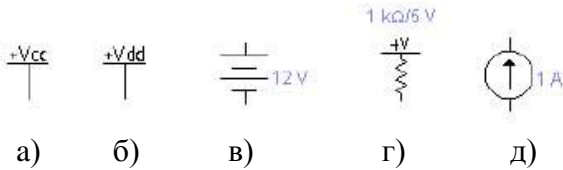


Рис. 5.9. Источники постоянного тока

Источники переменного тока в программе EWB подразделяются на источники немодулируемых и модулируемых сигналов (рис. 5.10, 5.11).

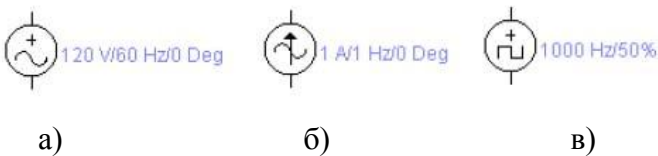


Рис. 5.10. Источники переменного тока

Источники напряжения (а) и тока (б) с установкой эффективного значения напряжения, тока, фазы и частоты; источники прямоугольных импульсов с установкой амплитуды, частоты следования и коэффициента заполнения (в).

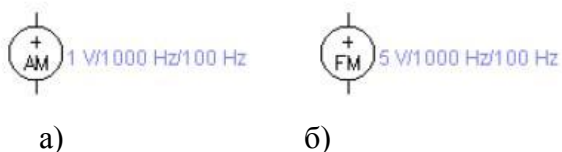


Рис. 5.11. Источники амплитудно-модулируемых (а) и фазомодулируемых (б) сигналов

5.7.7. Индикаторные приборы

На рис. 5.12 представлена шкала индикаторных приборов.



Рис. 5.12. Шкала индикаторных приборов

На рис. 5.12 слева направо изображены мнемонические изображения следующих индикаторных приборов: вольтметра, амперметра, лампы накаливания, светодиодного индикатора, семисегментного светодиодного индикатора с общим катодом, семисегментного светодиодного индикатора со встроенным преобразователем шестнадцатиричного кода в семисегментный, зуммер, столбцовый 10-ти сегментный светодиодный индикатор с отдельным управлением сегментами, столбцовый 10-ти сегментный индикатор со встроенным аналого-цифровым преобразователем.

Вольтметры и амперметры, представленные на рис. 5.12, обеспечивают отсчет измеряемой величины с точностью до третьего знака. Параметры приборов задаются в диалоговом окне. Для вольтметра первым и самым основным параметром является входное сопротивление прибора, а для амперметра это внутреннее сопротивление прибора. Эти параметры необходимо устанавливать в соответствии со значениями сопротивлений реальных приборов.

Отрицательная клемма для подключения этих приборов обозначена широкой черной полосой и может быть размещена на любой грани иконки при вращении изображения компонента (вращение выполняется нажатием комбинации клавиш Ctrl + R).

Номинальное напряжение лампы накаливания задается в специальном диалоговом окне.

Светодиодный индикатор управляется напряжением логической 1, которое принято равным +2.4 вольта. Катод индикатора автоматически соединяется с точкой нулевого потенциала.

На рис. 5.13 а) представлен вид семисегментного светодиодного индикатора с общим катодом, а на рис. 5.13 б) – вид семисегментного светодиодного индикатора со встроенным преобразователем шестнадцатиричного кода в семисегментный.

Из рис. 5.13 а) видно соответствие входов индикатора его сегментам. Управление каждым из сегментов осуществляется напряжением + 2.4 вольта, подаваемым на аноды светодиодов-сегментов. При этом все катоды светодиодов-сегментов объединены и автоматически подключены к нулевому потенциалу.

Семисегментный светодиодный индикатор со встроенным преобразователем шестнадцатиричного кода в семисегментный (рис. 5.13 б)) управляется подачей четырехразрядного двоичного кода на входы А,В,С,Д, при этом вход Д соот-

ветствует младшему разряду двоичного кода, а вход А – старшему его разряду.



Рис. 5.13. Семисегментные светодиодные индикаторы

Зуммер управляется напряжением переменного тока, а звуковой сигнал воспроизводится при помощи встроенного в ЭВМ динамика.

5.7.8. Коммутационные устройства

Под коммутационными устройствами (КУ) понимаются устройства, скачкообразно изменяющие значения своих параметров при определенном (пороговом) значении управляющего сигнала. В устройствах, предназначенных для коммутации электрических цепей, это реализуется практически мгновенным изменением электрического сопротивления или проводимости их исполнительных систем (рис. 5.14).

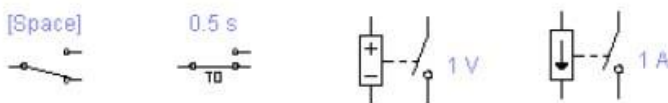


Рис. 5.14. Коммутационные устройства

На рис. 5.14 первое слева коммутационное устройство представляет собой кнопочный переключатель, который управляется клавишей на клавиатуре. По умолчанию управ-

ляющей клавишей является клавиша Space (пробел). С помощью специального диалогового окна имя управляющей клавиши может быть изменено и индивидуализировано для каждого кнопочного переключателя.

5.7.9. Конденсаторы

Конденсаторы относятся к одному из наиболее распространенных компонентов РЭА. В программе EWB конденсаторы представлены тремя типами, показанными на рис. 5.15.

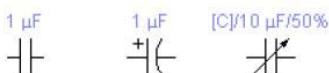


Рис. 5.15. Конденсаторы

Первый тип охватывает практически все конденсаторы, второй — электролитические, третий — подстроечные; значение емкости каждого конденсатора может быть установлено в пределах от 10⁻⁸ пФ до 10⁸ Ф. Емкость подстроечного конденсатора может изменяться нажатием назначенной пользователем клавиши клавиатуры (по умолчанию — клавиши C), начиная от максимального значения до минимального с заданным шагом (от 1 до 100%).

Все эти установки производятся с помощью диалогового окна.

5.7.10. Резисторы

Резисторы, представленные на рис. 5.16, являются самыми массовыми изделиями электронной техники. В программе EWB резисторы представлены тремя типами — постоянным (а), подстроечным (б) и набором из восьми резисторов (в).

Изменение сопротивления подстроечного резистора осуществляется по тому же принципу, что и для подстроечного конденсатора. В наборе резисторов (рис. 5.16 в) сопротивление устанавливается одинаковым для всех восьми резисторов.

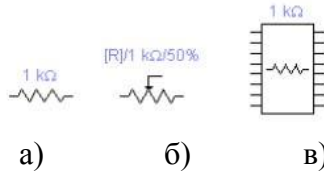


Рис. 5.16. Обозначение резисторов в программе EWB

5.7.11. Логические элементы

В программе EWB базовые логические элементы (БЛЭ) выбираются из подменю, открывающегося при нажатии на пиктограмму Logic Gates (логические элементы). БЛЭ представлены следующими типами (рис. 5.17) – двухходовый ЛЭ И (а), двухходовый ЛЭ ИЛИ (б), инвертор ЛЭ НЕ (в), двухходовый ЛЭ ИЛИ – НЕ (г), двухходовый ЛЭ И – НЕ (д), двухходовый ЛЭ исключающее ИЛИ (е), двухходовый ЛЭ исключающее ИЛИ – НЕ (ж), инвертирующий триггер Шмитта (з).

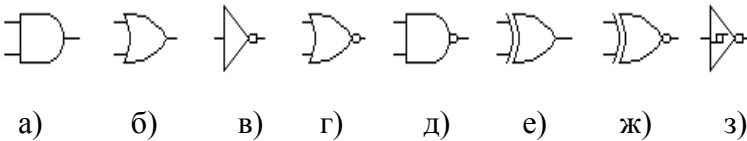


Рис. 5.17. Обозначение БЛЭ в EWB

В программе EWB реализован стандартный многооконный интерфейс с ниспадающими и разворачивающимися меню.

На рис. 5.18 показан общий вид рабочего окна EWB с рядом открытых в левой половине экрана панелей для выбора библиотечных компонентов и некоторыми компонентами из них в правой половине экрана.

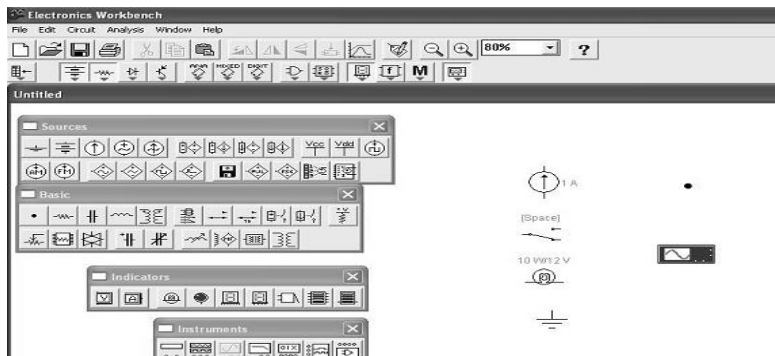


Рис. 5.18. Основное окно программы EWB с дополнительными окнами выбора компонентов

6. ИНТЕГРАЛЬНЫЕ МИКРОСХЕМЫ, РАЗРЕШЕННЫЕ
ДЛЯ ИСПОЛЬЗОВАНИЯ В КУРСОВОМ ПРОЕКТЕ

Интегральные микросхемы

№	EWB SN74	155 серия	
		Тип	Функциональное назначение
		АП Формирователи прочие	
1	74240	АП 3	Два 4-канальн. формирователя с 3 сост.
2	74241	АП 4	Два 4-канальн. формирователя с 3 сост.
3	74244	АП 5	Два 4-канальн. формирователя с 3 сост.
4	74465	АП 14	8-ми канальный формир. С 3 сост.
5	74466	АП 15	8-ми канальный формир. С 3 сост.
		ИВ Шифраторы	
6	74148	ИВ 1	Шифратор приоритетов 8 → 3
7	74147	ИВ 3	Шифратор приоритетов 9 → 4
		ИД Дешифраторы	
8	74154	ИД 3	Дешифратор 4 → 16
9	74155	ИД 4	Сдвоенный дешифратор 2 → 4
10	74156	ИД 5	Сдвоенный дешифратор 2 → 4 с ОК
11	7442	ИД 6	Дешифратор 4 → 10
12	74138	ИД 7	Дешифратор 3 → 8
13	74145	ИД 10	Дешифратор 4 → 10 с ОК
14	74139	ИД 14	Два дешифратора 1 → 4
15	7445	ИД 24	Двоично-десятичный дешифратор с ОК
		ИЕ Счетчики	
16	7490	ИЕ 2	4-разрядный двоично-десятич. Счетчик

Продолжение таблицы

№	EWB	Отечественный аналог	
		Тип	Функциональное назначение
17	7492	ИЕ 4	Счетчик-делитель по модулю 12
18	7493	ИЕ 5	4-разрядный двоичный счетчик
19	74192	ИЕ 6	4 разр. дв/десят. синхр. реверс. счетчик
20	74160	ИЕ 9	4разрядный реверс. двоич. счетчик
21	74162	ИЕ 11	4 разрядный синхронный счетчик
22	74190	ИЕ 12	
23	74191	ИЕ 13	4 разр. двоичн. синхр. реверс. счетчик
24	74169	ИЕ 17	12 разр. регистр последов. приближения
25	74163	ИЕ 18	4разрядный реверс. синхрон. счетчик
26	74393	ИЕ 19	Два 4-разр. двоичных счетчика
ИП Прочие схемы цифровых устройств			
27	74181	ИП 3	4 разрядное АЛУ
28	74280	ИП 5	9- разрядная схема контроля четности
ИР Регистры			
29	7491	ИР 2	
30	74164	ИР 8	8 разр. рег. сдвига с паралл. выходом
31	74165	ИР 9	8 разр. регистр сдвига с паралл. вводом
32	74166	ИР 10	8 разр. регистр сдвига
33	74194	ИР 11	4 разр. универсальный регистр сдвига
34	74195	ИР 12	4разр. регистр сдвига с парал. Загруз.
35	74198	ИР 13	8 разр. реверсивный регистр сдвига
36	74173	ИР 15	4разр. регистр сдвига с 3мя состояниями
37	74350	ИР 21	Реверс. Селектор 4 из 6 с 3 сост.
38	74373	ИР 22	8 р. регистр с 3 сост. и потенц. записью
39	74374	ИР 23	8р.регистр с 3 сост. и записью фронтом
40	74395	ИР 25	
41	74377	ИР 27	8р.регистр с записью фронтом

Продолжение таблицы

№	EWB	Отечественный аналог	
		Тип	Функциональное назначение
42	74273	ИР 35	8 разрядный регистр хранения
КП Прочие коммутаторы и ключи			
43	74150	КП 1	Селектор-мультиплексор 16→1 со строб.
44	74153	КП 2	2 селектора-мультиплексора 4 →1
45	74151	КП 7	Селектор-мультиплексор 8 →1 со строб.
46	74257	КП 11	4 двух.разр сел-мультипл.2→1 с 3 сост.
47	74253	КП 12	2 сел – мультиплексора 4 →1 с 3 сост.
48	74298	КП 13	4 двух.разр сел-мульти. 2→1 с памятью
49	74258	КП 14	4 двух.разр сел-мультипл. 2→1 с 3 сост.
50	74251	КП 15	Сел – мультиплексор 8 →1 с 3 сост.
51	74157	КП 16	4 разрядный селектор-мультипл. 2 → 1
52	74353	КП 17	2 сел – мультиплексора 4 →1 с 3 сост.
53	74158	КП 18	4 разрядный селектор-мультипл. 2 → 1
54	74352	КП 19	2 сел – мультиплексора 4 →1
ЛА Логические элементы И–НЕ			
55	7420	ЛА 1	Два элемента 4И–НЕ
56	7430	ЛА 2	Элемент 8И–НЕ
57	7400	ЛА 3	Четыре элемента 2И–НЕ
58	7410	ЛА 4	Три элемента 3И–НЕ
59	7440	ЛА 6	Два элемента 4И–НЕ с пов. Нагр. Сп.
60	7422	ЛА 7	Два элемента 4И–НЕ с ОК
61	7403	ЛА 9	Два элемента И–НЕ с отк. Коллект. (ОК)
62	7412	ЛА 10	Три элемента 3И–НЕ с ОК
63	7426	ЛА 11	Четыре высококов. Элемента 2И–НЕ с ОК
64	7437	ЛА 12	Четыре элемента 2И–НЕ с пов. Нагр. Сп.
65	7438	ЛА 13	Четыре элемента 2И–НЕ с ОК
66	74134	ЛА 19	Элемент 12И-НЕ с тремя состояниями

Продолжение таблицы

№	EWB	Отечественный аналог	
		Тип	Функциональное назначение
ЛЕ Логические элементы ИЛИ–НЕ			
67	7402	ЛЕ 1	Четыре элемента 2И–НЕ
68	7425	ЛЕ 3	Два элемента 4ИЛИ–НЕ
69	7427	ЛЕ 4	Три элемента 3ИЛИ–НЕ
70	7428	ЛЕ 5	Четыре элемента 2ИЛИ–НЕ с ОК
ЛИ Логические элементы И			
71	7408	ЛИ 1	Четыре элемента 2И
72	7409	ЛИ 2	Четыре элемента 2И с ОК
73	7411	ЛИ 3	Три элемента 3И
74	7421	ЛИ 6	Два элемента 4И
ЛЛИ Логические элементы ИЛИ			
75	7432	ЛЛИ 1	Четыре элемента 2ИЛИ
ЛН Логические элементы НЕ			
76	7404	ЛН 1	Шесть элементов НЕ
77	7405	ЛН 2	Шесть элементов НЕ с ОК
78	7406	ЛН 3	Шесть высоковольт. Элементов НЕ с ОК
79	7407	ЛН 4	Шесть повторителей с ОК
80	7416	ЛН 5	Шесть высоковольт. Элементов НЕ с ОК
81	74368	ЛН 7	6 элементов НЕ с 3 сост.
82	7417	ЛН 4	Шесть повторителей с ОК
83	7486	ЛН 5	Четыре элемента «Исключающее ИЛИ»

Продолжение таблицы

№	EWB	Отечественный аналог	
		Тип	Функциональное назначение
ЛП Прочие логические элементы			
84	74125	ЛП 8	4 повторителя с тремя состояниями вых.
85	74365	ЛП 10	6 повторителей с 3 сост.
86	74367	ЛП 11	Две группы (по 2 и 4) повтор. С 3 сост.
87	74133	ЛП 14	Четыре повторителя со строб. и 3 сост.
ЛР Комбинированные логические элементы			
88	7455	ЛР 4	Элемент (2)4И–2ИЛИ–НЕ с расширит.
89	7451	ЛР 11	Элемент (2)2И–2ИЛИ–НЕ
90	7454	ЛР 13	Элемент (4)2,3И–4ИЛИ–НЕ
ТВ ЖК–Триггеры			
91	7472	ТВ 1	ЖК-триггер с логикой 3И на входе
92	74107	ТВ 6	Два синхронных ЖК-триггера со сбросом
93	74112	ТВ 9	Два синхр. ЖК-триггера с устан. В 0 и 1
94	74113	ТВ 10	Два синхр. ЖК-триггера с установкой в 1
95	7478	ТВ 14	
96	74114	ТВ 11	Два синхр. ЖК-триггера с установкой в 1
97	74109	ТВ 15	Два синхр. ЖК-триггера с устан. В 0 и 1
ТЛ Триггеры Шмитта			
98	7414	ТЛ 2	Шесть триггеров Шмитта
99	74132	ТЛ 3	4 триггера Шмитта с логикой на входе

Окончание таблицы

№	EWB	Отечественный аналог	
		Тип	Функциональное назначение
		ТМ	D–Триггеры
100	7474	ТМ 2	Два отдельных синхронных D-триггера
101	7477	ТМ 5	Четыре синхронных D-триггера
102	7475	ТМ 7	Четыре синхронных D-триггера
103	74175	ТМ 8	4 синхронных D триггера
104	74174	ТМ 9	6 синхронных D триггеров
105	74375	ТМ 10	4 синхрон. D-триггера с пот. Записью
		ТР	RS–Триггеры
106	74279	ТР 2	4 RS триггера

7. УСЛОВНЫЕ ГРАФИЧЕСКИЕ ОБОЗНАЧЕНИЯ МИКРОСХЕМ

7.1. АП – формирователи прочие



Рис. 7.1

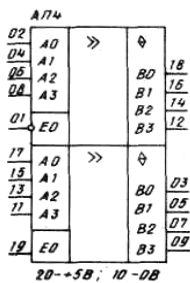


Рис. 7.2

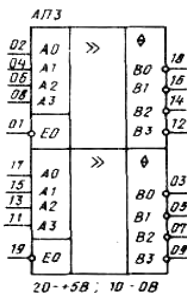


Рис. 7.3

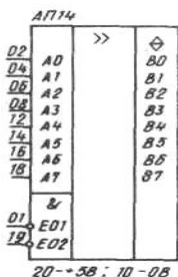


Рис. 7.4

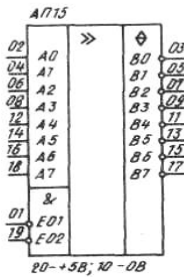


Рис. 7.5

Микросхемы АПЗ, АП4, АП5. Перевод микросхем в 3-е состояние осуществляется подачей сигнала «1» на вход ЕО. Формирователи АП4 управляются парафазными сигналами.

Микросхемы АП14, АП15. Перевод в 3-е состояние происходит при уровне «1» на входе ЕО. Микросхемы предназначены для работы на общую шину ЭВМ и могут работать на линии передачи информации с волновым сопротивлением 130 Ом при использовании ленточных кабелей.

7.2. ИВ – шифраторы

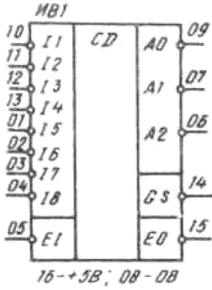


Рис. 7.6

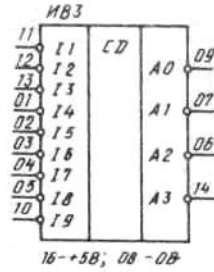


Рис. 7.7

Микросхемы ИВ1 и ИВ3 формируют на выходе двоичный код наиболее приоритетного возбуждения входа. Приоритет убывает от I8 (I9) к I1.

7.3. ИД – дешифраторы

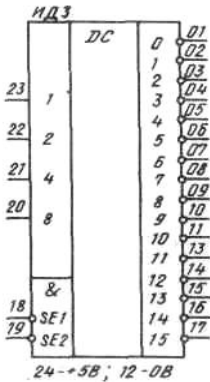


Рис. 7.8

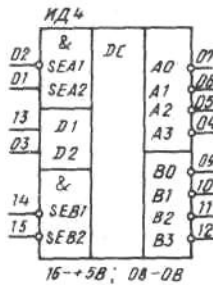


Рис. 7.9

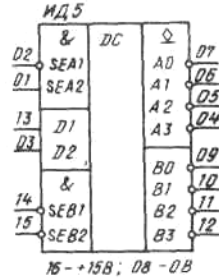


Рис. 7.10

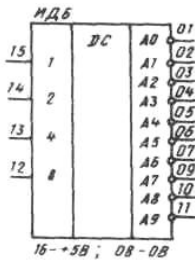


Рис. 7.11

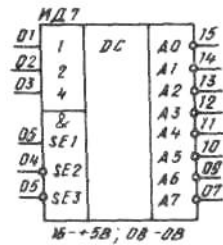


Рис. 7.12

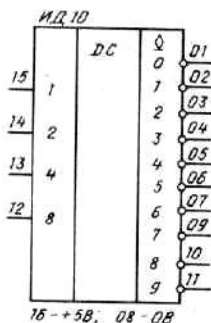


Рис. 7.13

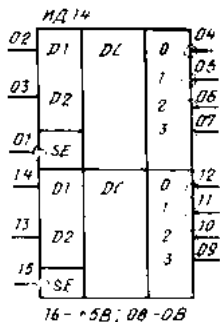


Рис. 7.14

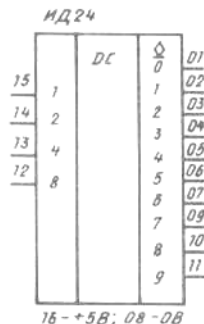


Рис. 7.15

Микросхема ИД3. В зависимости от двоичного кода, поступающего на входы «1» ... «8», на соответствующем выходе действует сигнал уровня «0» при условии, что «0» действует на обоих входах разрешения SE1 и SE2. Дешифратор ИД3 может также использоваться в качестве демльтиплексора (селектора) 1—16. В этом случае один из входов SE используется для приема данных, а входы «1»... «8» — в качестве адресных.

Микросхема ИД6 — преобразователь двоичного кода в десятичный (позиционный). Если десятичный эквивалент двоичного кода превышает 9 — на всех выходах уровень «1».

Микросхема ИД7 имеет трехвходовой логический элемент разрешения, управляемый разнополярными сигналами, что позволяет, соединив параллельно три ИС, получить дешифратор с 24-мя выходами, а используя четыре микросхемы ИД7 и дополнительный инвертор, дешифратор 5—32.

7.4. ИЕ – счетчики



Рис. 7.16

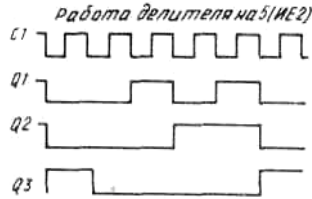


Рис. 7.17

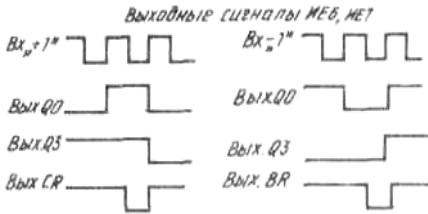


Рис. 7.18

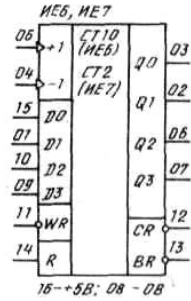


Рис. 7.19

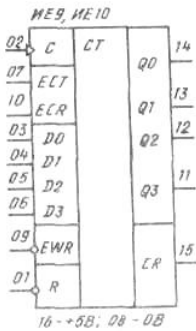


Рис. 7.20

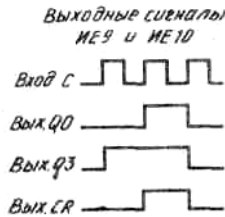


Рис. 7.21

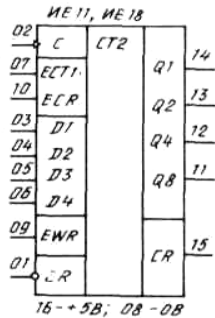


Рис. 7.22

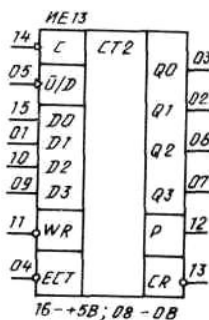


Рис. 7.23

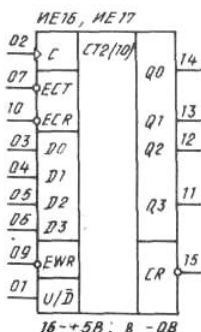


Рис. 7.24

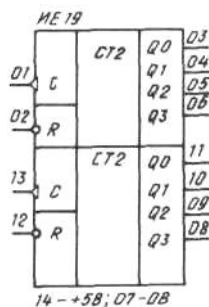


Рис. 7.25

Микросхема ИЕ2 состоит из 4-х JK-триггеров, первый из которых имеет независимый тактовый вход С1 и выход Q0 и представляет собой счетчик-делитель на 2. Остальные три триггера образуют счетчик-делитель на 5 с тактовым входом С2. Микросхема имеет две пары асинхронных входов с логикой И, которые воздействуют на все триггеры: по входам R1 и R2 в счетчик записывается число 0 (0000), а по входам S1 и S2 — число 9 (1001).

Путем внешнего соединения выхода Q0 со входом С2 образуется счетчик-делитель на 10. При поступлении импульсов на вход С1 состояния выходов меняются в последовательности двоично-десятичного счета. Выходной импульс возникает по спаду каждого 9-го импульса и действует два тактовых интервала. При соединении выхода Q3 со входом С1 образуется счетчик-делитель на 10 со скважностью 2, при этом тактовые импульсы подаются на вход С2.

Микросхема ИЕ4 состоит из 4-х JK-триггеров, первый из которых имеет независимый тактовый вход С1 и выход Q0 и представляет собой делитель на 2. Остальные триггеры образуют делитель на 6 с тактовым входом С2. Последовательность импульсов на выходе делителя на 6 имеет скважность 2. Входы сброса R1, R2 с логикой И действуют на все триггеры. Счет произ-

водится по спаду тактового сигнала. Счетчик-делитель на 12 образуется путем внешнего соединения выхода Q0 с входом C2. Счетные импульсы подаются на вход C1, а выходная последовательность снимается с выхода Q3.

Микросхема ИЕ5. Отличие от ИЕ4 состоит в том, что старшие три триггера образуют делитель на 8, а делитель на 16 строится путем внешнего соединения.

Микросхемы ИЕ6, ИЕ7 имеют отдельные тактовые входы для организации прямого счета (+1) и обратного счета (-1). При поступлении тактовой последовательности на один из входов, на другом входе должен поддерживаться уровень логической «1». Счетчики являются синхронными — все триггеры переключаются одновременно по положительному перепаду сигнала на входе +1 или -1. По сигналу WR (уровень «0») производится параллельная запись со входов D0...D3. Выходы прямого переноса CR и обратного переноса (заема) BR служат для каскадного соединения счетчиков. Сигнал уровня «0» появляется на выходе CR в режиме прямого счета по тактовому сигналу уровня «0» на входе +1 при достижении счетчиком числа 9 (1001) для ИЕ6 или числа 15 (1111) для ИЕ7. Аналогично сигнал BR появляется в режиме обратного счета при уровне «0» на входе -1 по достижении счетчиком ИЕ6 или ИЕ7 числа 0 (0000). При каскадном соединении входы +1 (-1) каждого последующего счетчика соединяются с выходами CR (BR) предыдущего.

Микросхемы ИЕ9 и ИЕ10 — универсальные счетчики с синхронной параллельной записью. По достижении числа 9 (1001) счетчиком ИЕ9 или числа 15 (1111) счетчиком ИЕ10 при наличии уровня «1» на входе ECR, на выходе CR формируется сигнал переноса в соответствии с временной диаграммой. Для построения делителя частоты с переменным коэффициентом деления от 2 до 10 нужно соединить через инвертор выход CR с собственным входом EWR. Коэффициент деления вычисляется по фор-

муле $K = 10 - M$, где M — число в двоичном коде, заносимое в счетчик по входам $D0...D3$.

Микросхема ИЕ11 в отличие от ИЕ9 имеет синхронный вход сброса. Сброс происходит по фронту сигнала на S -входе, когда на входе ER действует уровень «0». Другие управляющие входы в это время не действуют. В остальном счетчик аналогичен ИЕ9.

Микросхема ИЕ17 имеет структуру, аналогичную ИЕ9 и ИЕ10. При уровне «1» на входе U/D — счет на сложение, при уровне «0» — на вычитание. Активные уровни на входах ECT , ESR и на выходе CR — низкие. В остальном работают аналогично ИЕ9 и ИЕ10.

Микросхема ИЕ19 представляет собой два четырехразрядных асинхронных счетчика. Счет реализуется по срезу импульсов, поступающих на входы S при $R=0$. При $R=1$ происходит асинхронное обнуление счетчика. При каскадировании (увеличении разрядности счетчиков) выход $Q3$ предшествующего счетчика соединяется со счетным входом S последующего счетчика.

7.5. ИП – прочие схемы цифровых устройств

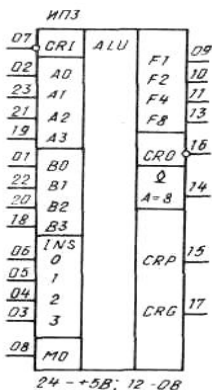


Рис. 7.26

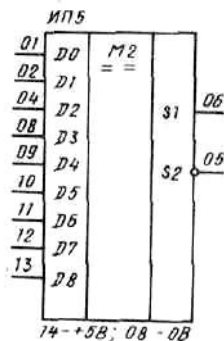


Рис. 7.27

Работа ИПЗ

INS				Арифметическая операция (МО = 0)		Логическая операция (МО = 1)	
0	1	2	3	Активный высокий уровень (CRI = 1)	Активный низкий уровень (CRI = 0)	Активный высокий уровень	Активный низкий уровень
0	0	0	0	$F = A$	$F = A$ минус 1	$F = \overline{A}$	$F = \overline{A}$
1	0	0	0	$F = A + B$	$F = A \cdot B$ минус 1	$F = \overline{A + B}$	$F = \overline{A \cdot B}$
0	1	0	0	$F = A + \overline{B}$	$F = A \cdot \overline{B}$ минус 1	$F = \overline{A \cdot B}$	$F = \overline{A + B}$
1	1	0	0	$F =$ минус 1	$F =$ минус 1	$F =$ лог "0"	$F =$ лог "1"
0	0	1	0	$F = A$ плюс $\overline{A \cdot B}$	$F = A$ плюс $(A \cdot \overline{B})$	$F = \overline{A \cdot B}$	$F = \overline{A + B}$
1	0	1	0	$F = A \cdot \overline{B}$ плюс $(A + B)$	$F = AB$ плюс $(A + \overline{B})$	$F = \overline{B}$	$F = \overline{B}$
0	1	1	0	$F = A$ минус B минус 1	$F = A$ минус B минус 1	$F = A \oplus B$	$F = \overline{A \oplus B}$
1	1	1	0	$F = A \cdot \overline{B}$ минус 1	$F = A + \overline{B}$	$F = \overline{A \cdot B}$	$F = \overline{A + B}$
0	0	0	1	$F = A$ плюс $A \cdot B$	$F = A$ плюс $(A \cdot B)$	$F = \overline{A + B}$	$F = \overline{A \cdot B}$
1	0	0	1	$F = A$ плюс B	$F = A$ плюс B	$F = \overline{A \oplus B}$	$F = A \oplus B$
0	1	0	1	$F = A \cdot B$ плюс $(A + \overline{B})$	$F = A \cdot B$ плюс $(A + B)$	$F = B$	$F = B$
1	1	0	1	$F = A \cdot B$ минус 1	$F = A + B$	$F = A \cdot B$	$F = A + B$
0	0	1	1	$F = A$ плюс A	$F = A$ плюс A	$F =$ лог "1"	$F =$ лог "0"
1	0	1	1	$F = A$ плюс $(A + B)$	$F = A$ плюс $A \cdot B$	$F = A + \overline{B}$	$F = A \cdot \overline{B}$
0	1	1	1	$F = A$ плюс $(A + \overline{B})$	$F = A$ плюс $A \cdot \overline{B}$	$F = A + B$	$F = A \cdot B$
1	1	1	1	$F = A$ минус 1	$F = A$	$F = A$	$F = A$

Рис. 7.28

Микросхема ИПЗ — АЛУ, предназначенное для выполнения 16-ти арифметических и логических операций. Сигнал переноса с последнего разряда CRP формируется с учетом переноса CRI от предыдущего каскада и переноса, образованного в АЛУ. Наличие выходов CRG и CRP позволяет использовать АЛУ совместно со схемой ускоренного переноса ИП4. На выходе $A=B$ формируется результат сравнения уровня «1», если выходы всех разрядов в состоянии «1».

Микросхема ИП5 – 9-ти разрядная схема контроля четности. Если на входах D0...D8 присутствует четное количество единичных значений, то на выходе S1 формируется сигнал логической «1». Сигналы на выходах S1 и S2 противофазные (противоположной полярности).

7.6. ИР – регистры

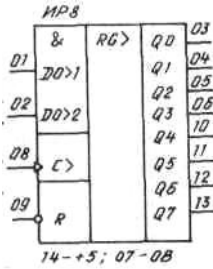


Рис. 7.29

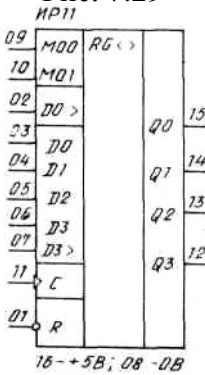


Рис. 7.32

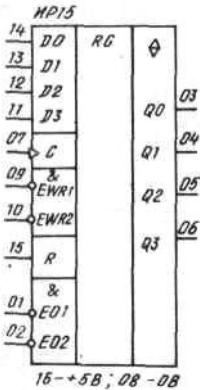


Рис. 7.34

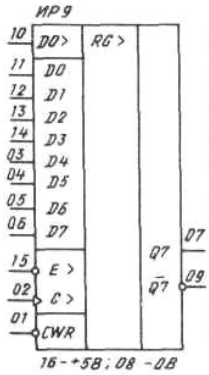


Рис. 7.30

Режимы работы ИР11, ИР13

Входы		Режимы
M00	M01	
0	0	Хранение
0	1	Сдвиг влево
1	0	Сдвиг вправо
1	1	Параллельная запись

Рис. 7.33

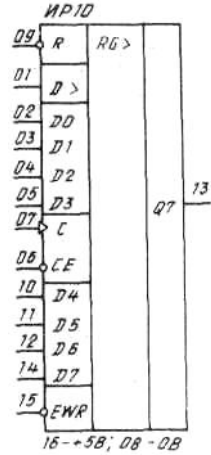


Рис. 7.31

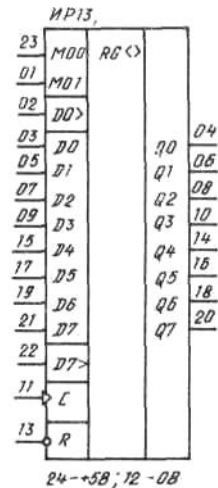


Рис. 7.35

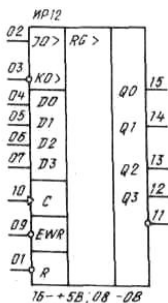


Рис. 7.36

Режимы работы ИР12

Входы					Режимы
R	C	EWR	J0>	K0>	
0	x	x	x	x	Асинхронный сброс
1	\bar{f}	1	1	1	Сдвиг и запись "1" в первый каскад
1	\bar{f}	1	0	0	Сдвиг и запись "0" в первый каскад
1	\bar{f}	1	1	0	Сдвиг и переключение первого каскада
1	\bar{f}	1	0	1	Сдвиг и хранение в первом каскаде
1	\bar{f}	0	x	x	Параллельная запись

Рис. 7.37

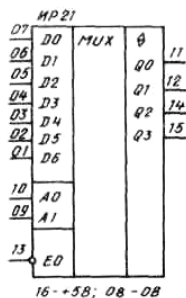


Рис. 7.38

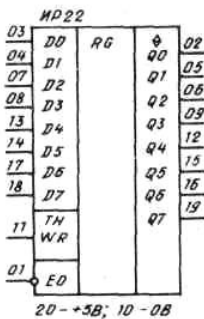


Рис. 7.39

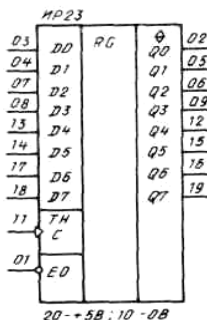


Рис. 7.40

Микросхема ИР8 – восьмиразрядный регистр сдвига с параллельным выходом. Особенностью регистра является наличие двух входов последовательного ввода данных D01 и D02, объединенные логикой И. Это позволяет организовать поочередный ввод последовательных данных по разным каналам от разных источников последовательных данных. Запись и сдвиг последовательных данных производится по положительному фронту тактового импульса, подаваемому на вход С при R=1. Для асинхронной очистки регистра необходимо на входе R кратковременно установить уровень логического нуля, т.е. R=0.

Микросхема ИР9. Сдвиг информации (последовательная запись) осуществляется положительным перепадом сигнала на входе С при уровне «0» на входе E> и уровне «1» на входе CWR.

Параллельная запись производится уровнем «О» на входе CWR независимо от состояния остальных входов.

Микросхема ИР10. Параллельная запись и сдвиг осуществляются положительным перепадом на входе С при уровне «О» на входе SE. Режим параллельной записи задается уровнем «О» на входе EWR, режим сдвига — уровнем «1» на входе EWR.

Микросхема ИР11. Сдвиг информации и параллельная запись осуществляются положительным перепадом на входе С в соответствии с таблицей режимов.

Микросхема ИР12 — сдвиговый регистр с JK-триггером на входе. По положительному перепаду сигнала на входе С происходит либо параллельная запись информации (при уровне «О» на входе EWR), либо сдвиг вправо с одновременным вводом последовательных данных по входам J0 и K0. Активный уровень для входа J0 — «1», для входа K0 — «О». При объединении эти входы действуют как D-вход.

Микросхема ИР13. Сдвиг информации и параллельная запись осуществляются положительным перепадом на входе С в соответствии с таблицей режимов. Сигналы на входах MO0 и MO1 могут меняться только при наличии на входе С уровня «1».

Микросхема ИР15 имеет две пары независимых входов управления EWR1, EWR2 и E01, E02 с логикой И. При наличии «О» на обоих входах EWR положительным перепадом на входе С производится параллельная загрузка информации, поданной на входы D. При уровне «О» на обоих входах E0 информация, занесенная в регистр поступает на выходы Q0...Q3. Уровень «1» на любом из входов E0 переводит выходы в 3-е состояние. Обнуление регистра производится уровнем «1» на входе R.

Микросхема ИР21 построена на основе комбинационной логики и предназначена для сдвига 4-разрядного кода на 1,2 или 3 позиции влево или вправо.

Микросхемы ИР22 и ИР23. Параллельная запись в регистр ИР22 производится по сигналу «1» на входе WR, а в регистр

ИР23 — по положительному перепаду на входе С. Входы WR и С имеют гистерезис ± 400 мВ. Уровень «1» на входе ЕО устанавливает выходы в 3-е состояние. Загрузка в регистр производится независимо от состояния входа ЕО.

7.7. КП – прочие коммутаторы и ключи (мультиплексоры)

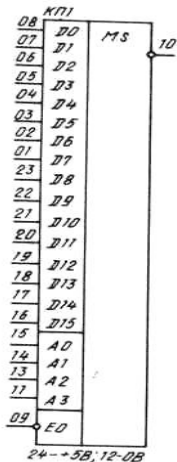


Рис. 7.41

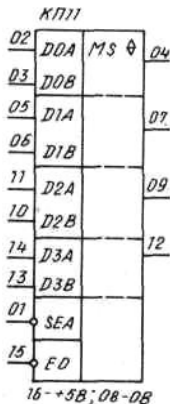


Рис. 7.42

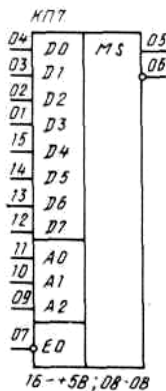


Рис. 7.43

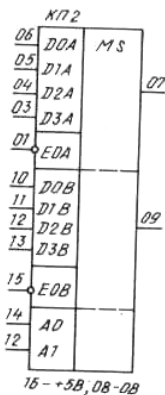


Рис. 7.44

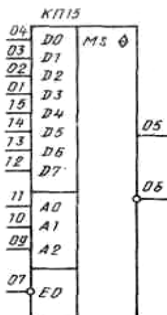


Рис. 7.45

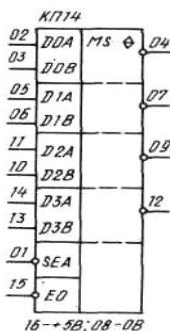


Рис. 7.46

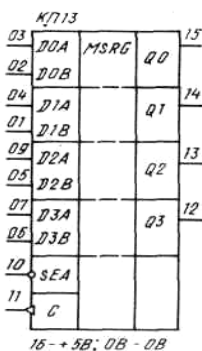


Рис. 7.47

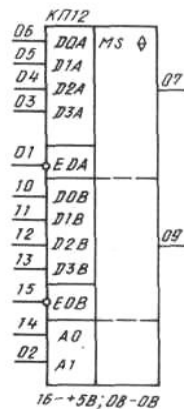


Рис. 7.48

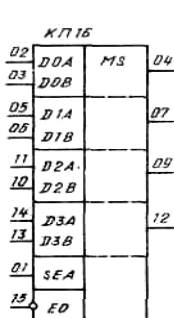


Рис. 7.49

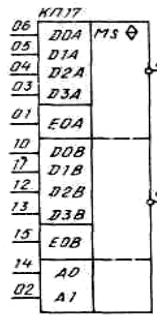


Рис. 7.50

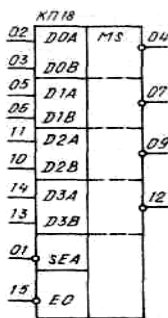


Рис. 7.51

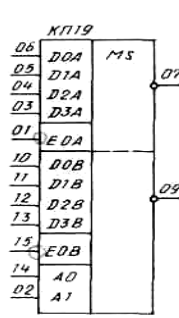


Рис. 7.52

Микросхема КП2 – два 4-канальных стролируемых мультиплексора. При $E1=E2=1$ на выходах формируется уровень логического 0.

Микросхема КП11 – двухканальный 4-х разрядный мультиплексор с третьим состоянием выхода. При $OE=1$ выход переводится в третье состояние. При $SEA=0$ на выход коммутируется канал А, при $SEA=1$ на выход коммутируется канал В.

7.8. ЛА – логические элементы И–НЕ

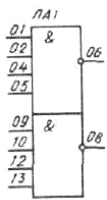


Рис. 7.53

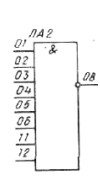


Рис. 7.54

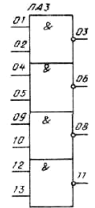


Рис. 7.55

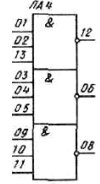


Рис. 7.56

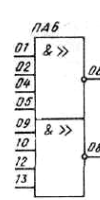


Рис. 7.57

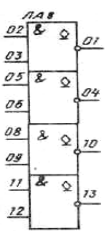


Рис. 7.58



Рис. 7.59

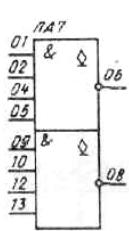


Рис. 7.60

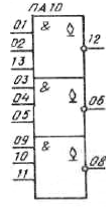


Рис. 7.61

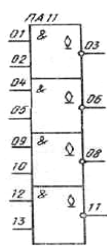


Рис. 7.62

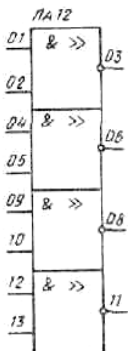


Рис. 7.63

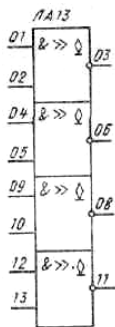


Рис. 7.64

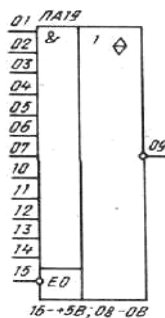


Рис. 7.65

Цепи питания ЛА1... ЛА13: 14 - +5В, 07 - 0В

7. 9. ЛЕ – логические элементы ИЛИ–НЕ



Рис. 7.66

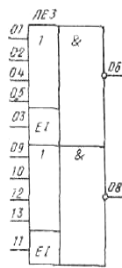


Рис. 7.67

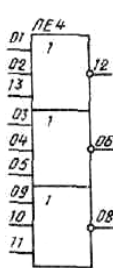


Рис. 7.68



Рис. 7.69

7. 10. ЛИ – логические элементы И

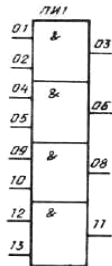


Рис. 7.70

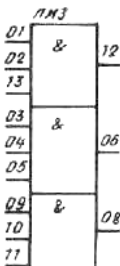


Рис. 7.71

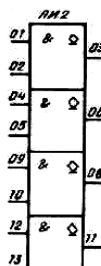


Рис. 7.72

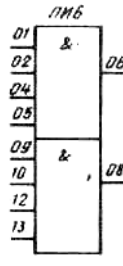


Рис. 7.73

7.11. ЛЛ – логические элементы ИЛИ

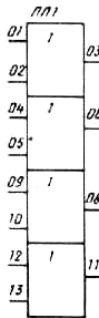


Рис. 7.74

7.12. ЛН – логические элементы НЕ

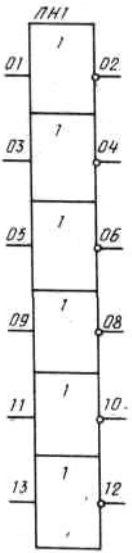


Рис. 7.75

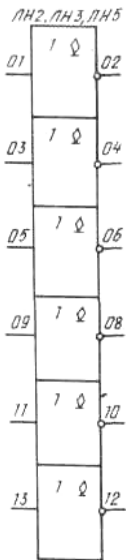


Рис. 7.76

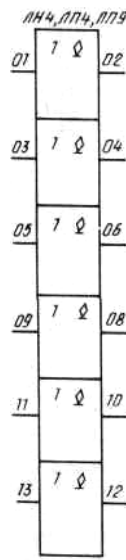


Рис. 7.77



Рис. 7.78



Рис. 7.79

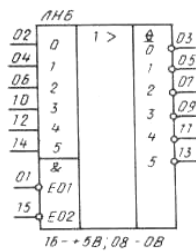


Рис. 7.80

7.13. ЛП – прочие логические элементы

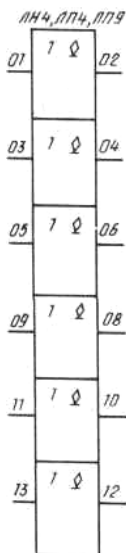


Рис. 7.81

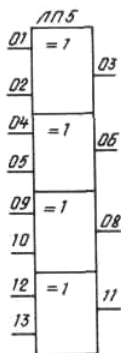


Рис. 7.82

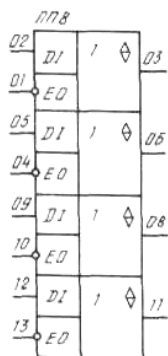


Рис. 7.83

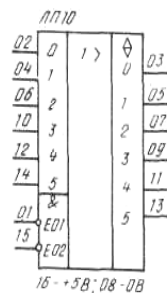


Рис. 7.84

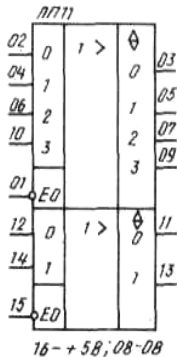


Рис. 7.85

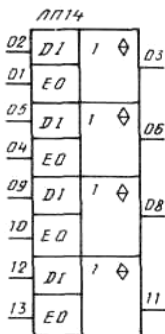


Рис. 7.86

7.14. ЛР – комбинированные логические элементы

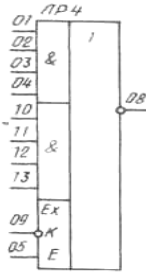


Рис. 7.87

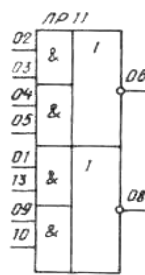


Рис. 7.88

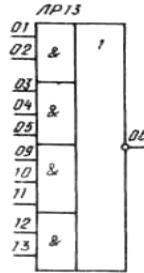


Рис. 7.89

7.15 ТВ – JK – триггеры



Рис. 7.90



Рис. 7.91

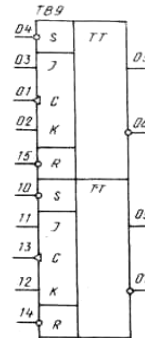


Рис. 7.92

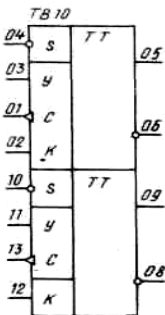


Рис. 7.93

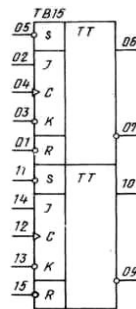


Рис. 7.94

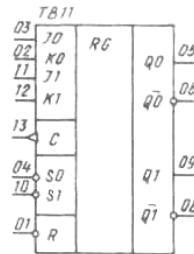


Рис. 7.95

Микросхема ТВ1 — универсальный двухступенчатый JK-триггер. Триггер имеет асинхронные входы S и R с активным уровнем «0», который подавляет действие сигналов по остальным входам. Каждый из входов J и K снабжен логическим элементом ЗИ. При синхронном переключении триггера информация со входов J и K загружается в триггер первой ступени по фронту сигнала на входе С и переносится в триггер второй ступени (т.е. появляется на выходе) по его спаду. Когда на С-входе действует уровень «1» сигналы на входах J и K меняться не должны. Остальные микросхемы типа ТВ работают аналогично.

7.16. ТЛ – триггеры Шмитта

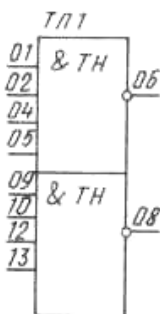


Рис. 7.96

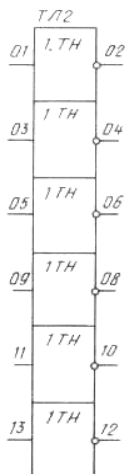


Рис. 7.97

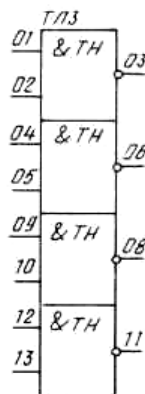


Рис. 7.98

Микросхемы ТЛ1, ТЛ2 и ТЛ3 имеют зону гистерезиса 0,4 В относительно порогового напряжения 1,3 В.

7.17. ТМ – D - триггеры

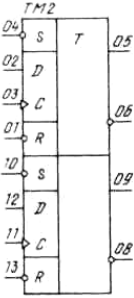


Рис. 7.99

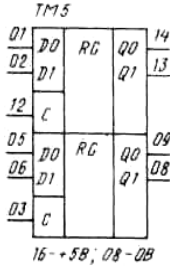


Рис. 7.100

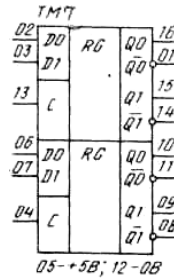


Рис. 7.101

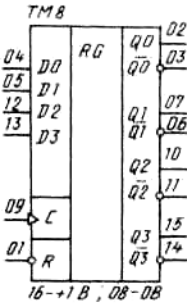


Рис. 7.102

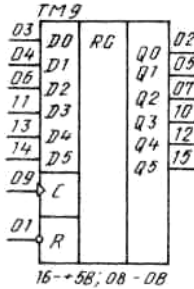


Рис. 7.103

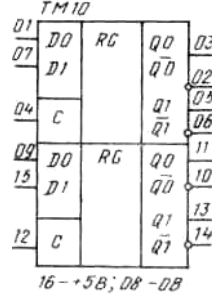


Рис. 7.104

7.18. ТР – RS - триггеры

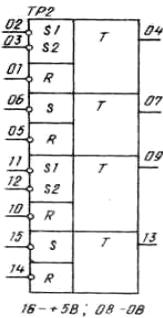


Рис. 7.105

Микросхема ТР2 представляет собой четыре RS-триггера, один из которых имеет два S-входа, объединенных по схеме ИЛИ. При одновременном воздействии по R и S-входам на выходе действует высокий уровень, который может не сохраняться после снятия «0» с обоих входов.

ЗАКЛЮЧЕНИЕ

Курсовое проектирование по дисциплине «Схемотехника» закрепляет междисциплинарные знания, полученные студентами за предшествующий период обучения.

В ходе курсового проектирования требуется пройти множество последовательных этапов, которые обязательно реализуются на практике: четко понять словесное описание алгоритма функционирования реализуемого цифрового устройства; формализовать словесное описание алгоритма функционирования; разработать структурную схему заданного устройства; синтезировать (или разработать) функциональную схему заданного устройства; разработать методику проверки правильности функционирования заданного устройства после его изготовления; выбрать среду моделирования и проверить правильность функционирования функциональной схемы; выбрать (или использовать заданные) серии микросхем, на которых будет реализовано заданное устройство; изучить номенклатуру этих микросхем и выбрать из них наиболее целесообразные для использования; разработать схему электрическую принципиальную заданного устройства и перечень её элементов; промоделировать разработанную схему электрическую принципиальную и скорректировать её в случае необходимости; оформить в соответствии с требованиями ЕСКД расчетно-пояснительную записку и графический материал. Только после прохождения этих этапов заданное устройство может быть реализовано на практике.

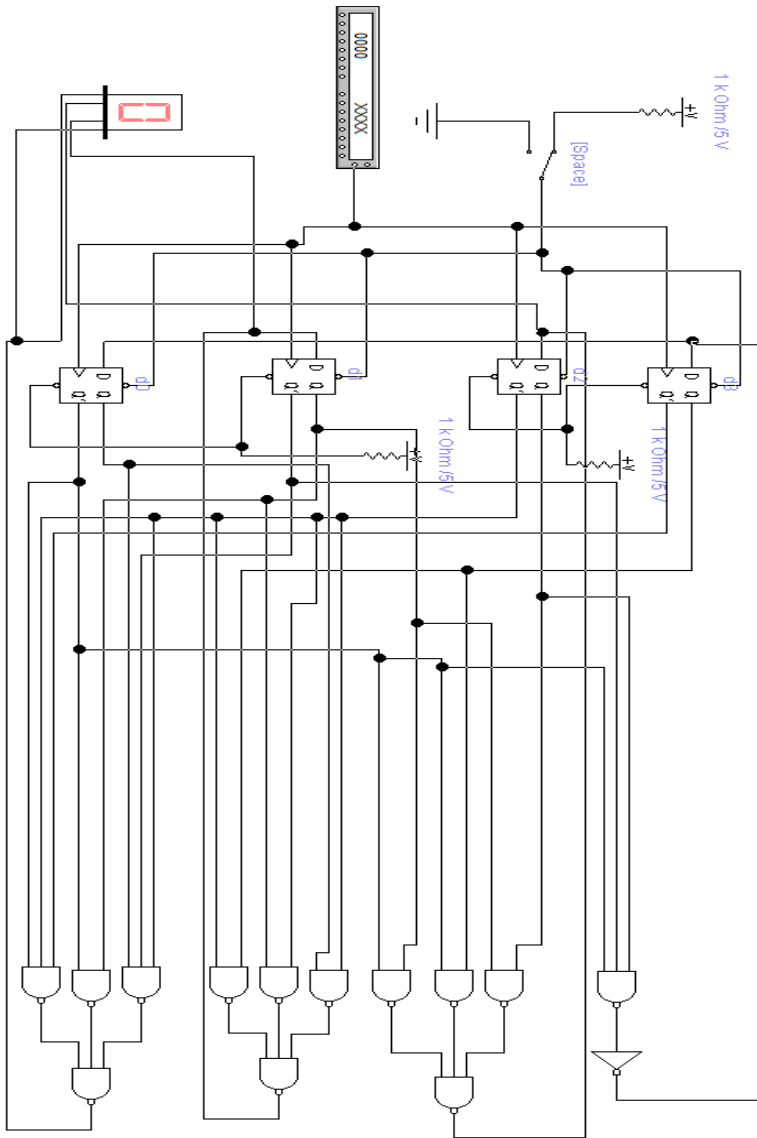
Следует осознавать, что прохождение перечисленных этапов разработки цифровых устройств не уменьшается с увеличением сложности элементной базы, даже при использовании современных и перспективных БИС/СБИС со сложными программируемыми и перепрограммируемыми структурами, такими как FPGA, CPLD, FLEX, SOC и т.п.

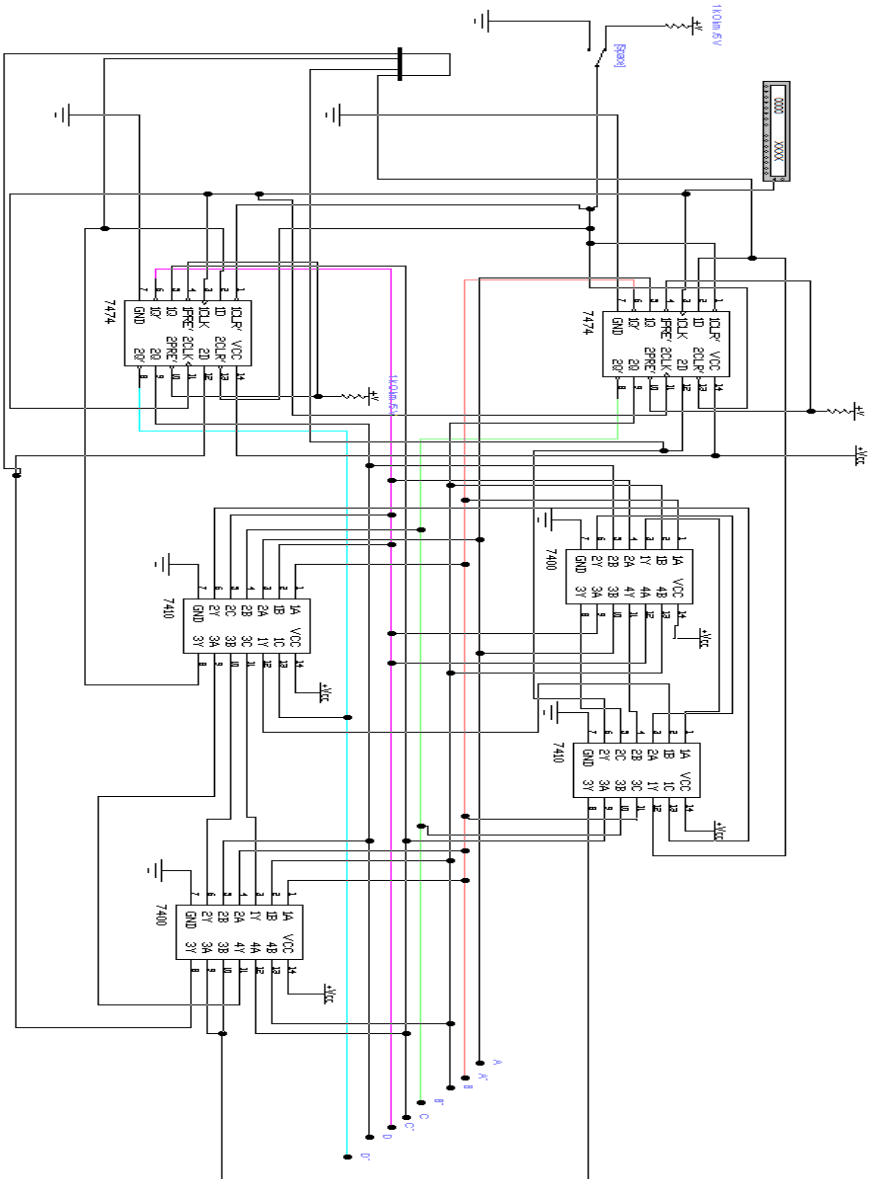
Исходные данные для курсового проектирования

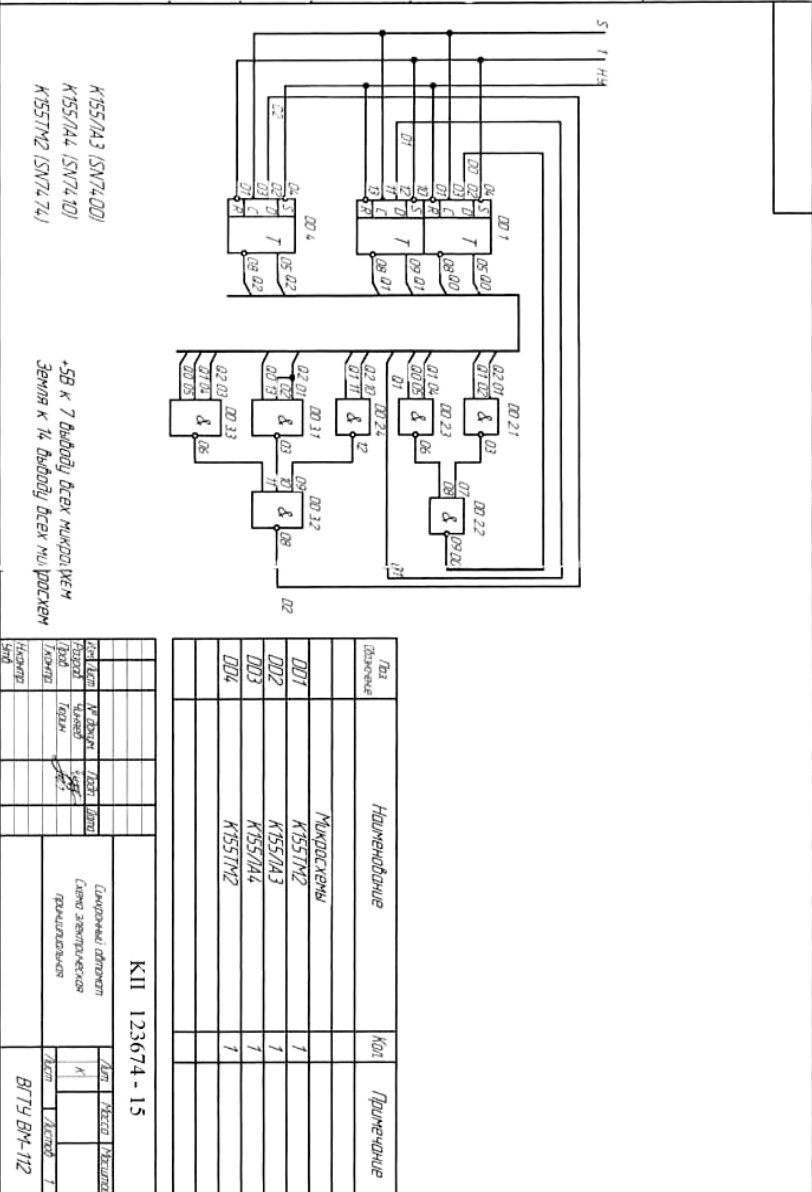
№ варианта	Граф синтезируемого автомата
	Последовательность выходных сигналов Y_j
1	{ $Y_6, Y_1, Y_3, Y_2, Y_5, Y_4, Y_8, Y_0, Y_7, Y_6$ }
2	{ $Y_1, Y_0, Y_6, Y_2, Y_7, Y_4, Y_8, Y_3, Y_5, Y_1$ }
3	{ $Y_5, Y_6, Y_3, Y_7, Y_2, Y_4, Y_8, Y_1, Y_0, Y_5$ }
4	{ $Y_3, Y_1, Y_0, Y_2, Y_7, Y_4, Y_5, Y_6, Y_8, Y_3$ }
5	{ $Y_4, Y_5, Y_3, Y_2, Y_7, Y_0, Y_8, Y_6, Y_1, Y_4$ }
6	{ $Y_6, Y_1, Y_5, Y_2, Y_7, Y_8, Y_4, Y_0, Y_3, Y_6$ }
7	{ $Y_8, Y_1, Y_3, Y_5, Y_4, Y_7, Y_0, Y_6, Y_2, Y_8$ }
8	{ $Y_2, Y_1, Y_3, Y_0, Y_8, Y_4, Y_7, Y_6, Y_5, Y_2$ }
9	{ $Y_7, Y_5, Y_3, Y_4, Y_0, Y_2, Y_8, Y_6, Y_1, Y_7$ }
10	{ $Y_0, Y_5, Y_3, Y_6, Y_7, Y_4, Y_8, Y_2, Y_1, Y_0$ }
11	{ $Y_1, Y_0, Y_5, Y_3, Y_7, Y_4, Y_8, Y_2, Y_6, Y_1$ }
12	{ $Y_5, Y_6, Y_1, Y_7, Y_4, Y_2, Y_8, Y_3, Y_0, Y_5$ }
13	{ $Y_3, Y_8, Y_0, Y_2, Y_4, Y_7, Y_5, Y_6, Y_1, Y_3$ }
14	{ $Y_4, Y_0, Y_3, Y_2, Y_8, Y_5, Y_7, Y_6, Y_1, Y_4$ }
15	{ $Y_6, Y_3, Y_5, Y_2, Y_8, Y_7, Y_4, Y_0, Y_1, Y_6$ }
16	{ $Y_8, Y_2, Y_3, Y_5, Y_4, Y_0, Y_7, Y_6, Y_1, Y_8$ }
17	{ $Y_2, Y_5, Y_3, Y_0, Y_4, Y_8, Y_7, Y_6, Y_1, Y_2$ }
18	{ $Y_7, Y_1, Y_3, Y_2, Y_0, Y_4, Y_6, Y_8, Y_5, Y_7$ }
19	{ $Y_0, Y_5, Y_2, Y_6, Y_4, Y_7, Y_8, Y_3, Y_1, Y_0$ }

Продолжение приложения

20	{Y ₅ , Y ₀ , Y ₁ , Y ₄ , Y ₇ , Y ₂ , Y ₈ , Y ₃ , Y ₆ , Y ₅ }
21	{Y ₁ , Y ₂ , Y ₅ , Y ₃ , Y ₆ , Y ₄ , Y ₈ , Y ₀ , Y ₇ , Y ₁ }
22	{Y ₅ , Y ₆ , Y ₇ , Y ₁ , Y ₄ , Y ₈ , Y ₂ , Y ₃ , Y ₀ , Y ₅ }
23	{Y ₂ , Y ₃ , Y ₅ , Y ₀ , Y ₄ , Y ₆ , Y ₇ , Y ₈ , Y ₁ , Y ₂ }
24	{Y ₈ , Y ₁ , Y ₃ , Y ₅ , Y ₀ , Y ₄ , Y ₇ , Y ₆ , Y ₂ , Y ₈ }







Наз. детали	Количество	Наименование	Код	Примечание
		Микропроц.	1	
		К155/ТМ2	1	
		К155/МАЗ	1	
		К155/М44	1	
		К155/ТМ2	1	

КП 123674 - 15

№ п/п	№ докум.	Исполн.	Дата	Вид	Содержимое документа	Лист	Из всего	Исполн.
1	123674-15	С.В.К.	1987	Схем.	Схематическое решение	1	1	С.В.К.
2	123674-15	С.В.К.	1987	Схем.	Схематическое решение	1	1	С.В.К.

ВТУ ВМ-112

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Федеральный государственный образовательный стандарт высшего образования (направление подготовки 09.03.01 – Информатика и вычислительная техника (уровень бакалавриата). Минобрнауки России, 2013. 23 с.

2. Карлащук В.И. Электронная лаборатория на IBM PC. Лабораторный практикум на базе Electronics Workbench и MATLAB [Электронный ресурс] / В.И. Карлащук. М.: СОЛОН-Пресс, 2004. 800 с.

3. ГОСТ 2.701 – 84. Схемы. Виды и типы. Общие требования к выполнению.

4. ГОСТ 2.708 – 81. Правила выполнения электрических схем цифровой вычислительной техники.

5. ГОСТ 2.743 – 91. Обозначения условные графические в схемах. Элементы цифровой техники.

6. Усатенко С.Т. Выполнение электрических схем по ЕСКД: справочник / С.Т. Усатенко, Т.К. Каченюк, М.В. Терехова. М.: Изд-во стандартов, 1992. 316 с.

7. Тюрин С.В. Практикум по теории автоматов [электронный ресурс]: синтез синхронного управляющего автомата: учеб. пособие / С.В. Тюрин. Воронеж: ВГТУ, 2004. 84 с.

8. Новожилов О.П. Основы цифровой техники: учеб. пособие / О.П. Новожилов. М.: ИП РадиоСофт, 2004. 528 с.

ОГЛАВЛЕНИЕ

ВВЕДЕНИЕ.....	3
1. ЗАДАНИЯ ДЛЯ КУРСОВОГО ПРОЕКТИРОВАНИЯ.....	5
1.1. Характеристика объекта и цели курсового проектирования.....	5
1.2. Варианты заданий на курсовое проектирование.....	6
2. СОСТАВ И ОБЪЕМ КУРСОВОГО ПРОЕКТА.....	8
3. ЭТАПЫ ВЫПОЛНЕНИЯ КУРСОВОГО ПРОЕКТА.....	10
3.1. Структурная детализация автомата.....	10
3.2. Составление структурной таблицы кодирования состояний автомата.....	12
3.3. Построение временной диаграммы функционирования синхронного автомата.....	15
3.4. Детализация блока памяти автомата.....	18
3.5. Составление расширенной структурной таблицы переходов автомата.....	21
3.6. Составление логических уравнений для функций возбуждения элементов памяти.....	23
3.7. Выбор элементной базы для синтеза логического преобразователя.....	28
4. РАЗРАБОТКА СХЕМ СИНТЕЗИРУЕМОГО АВТОМАТА.....	28
4.1. Разработка и моделирование схемы электрической функциональной в пакете Electronics Workbench.....	28
4.2. Разработка и моделирование схемы электрической принципиальной в пакете Electronics Workbench.....	30
5. ПАКЕТ СХЕМОТЕХНИЧЕСКОГО МОДЕЛИРОВАНИЯ ELECTRONICS WORKBENCH.....	33
5.1. Меню File.....	33
5.2. Меню Edit.....	34
5.3. Меню Circuit.....	34

5.4. Меню Window.....	36
5.5. Меню Help	36
5.6. Меню Analysis.....	37
5.7. Контрольно-измерительные приборы EWB.....	37
5.7.1. Мультиметр	38
5.7.2. Функциональный генератор.....	38
5.7.3. Осциллограф.....	39
5.7.4. Генератор слов.....	40
5.7.5. Логический анализатор.....	42
5.7.6. Источники тока.....	44
5.7.7. Индикаторные приборы.....	46
5.7.8. Коммутационные устройства.....	48
5.7.9. Конденсаторы.....	49
5.7.10. Резисторы.....	49
5.7.11. Логические элементы.....	50
6. ИНТЕГРАЛЬНЫЕ МИКРОСХЕМЫ, РАЗРЕШЕННЫЕ ДЛЯ ИСПОЛЬЗОВАНИЯ В КУРСОВОМ ПРОЕКТЕ.....	52
7. УСЛОВНЫЕ ГРАФИЧЕСКИЕ ОБОЗНАЧЕНИЯ МИКРО- СХЕМ.....	58
7.1. АП – формирователи прочие.....	58
7.2. ИВ – шифраторы.....	59
7.3. ИД – дешифраторы.....	59
7.4. ИЕ – счетчики.....	61
7.5. ИП – прочие схемы цифровых устройств.....	64
7.6. ИР – регистры.....	66
7.7. КП – прочие коммутаторы и ключи (мультиплексо- ры).....	69
7.8. ЛА – логические элементы И–НЕ.....	70
7.9. ЛЕ – логические элементы ИЛИ–НЕ.....	71
7.10. ЛИ – логические элементы И.....	71
7.11. ЛЛ – логические элементы ИЛИ.....	72
7.12. ЛН – логические элементы НЕ.....	72
7.13. ЛП – прочие логические элементы.....	73
7.14. ЛР – комбинированные логические элементы.....	74

7.15. ТВ – JK – триггеры.....	74
7.16. ТЛ – триггеры Шмитта.....	75
7.17. ТМ – D – триггеры.....	76
7.18. ТР – RS – триггеры.....	76
ЗАКЛЮЧЕНИЕ.....	77
ПРИЛОЖЕНИЕ 1.....	78
ПРИЛОЖЕНИЕ 2.....	80
ПРИЛОЖЕНИЕ 3.....	81
ПРИЛОЖЕНИЕ 4.....	82
БИБЛИОГРАФИЧЕСКИЙ СПИСОК.....	83

Учебное издание

Акинина Юлия Сергеевна
Тюрин Сергей Владимирович

РЕАЛИЗАЦИЯ СИНХРОННОГО АВТОМАТА
НА ИНТЕГРАЛЬНЫХ МИКРОСХЕМАХ

В авторской редакции

Компьютерный набор Ю.С. Акининой, С.В. Тюрин

Подписано в печать .05.2016

Формат 60x84/16. Бумага для множительных аппаратов.

Усл. печ. л. 5,5. Уч.-изд. л. . Тираж экз.

Заказ № .

ФГБОУ ВО “Воронежский государственный технический
университет”

394026 Воронеж, Московский просп., 14