

**МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ  
РОССИЙСКОЙ ФЕДЕРАЦИИ**

Федеральное государственное бюджетное образовательное учреждение  
высшего образования

«Воронежский государственный технический университет»

УТВЕРЖДАЮ

Декан факультета  Небольсин В.А.  
«30» августа 2017 г.

**РАБОЧАЯ ПРОГРАММА**

дисциплины

**« Проектирование БИС »**

Направление подготовки 11.03.04 Электроника и микроэлектроника

Профиль Микроэлектроника и твердотельная электроника

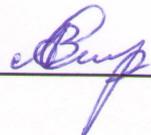
Квалификация выпускника бакалавр

Нормативный период обучения 4 года

Форма обучения очная

Год начала подготовки 2017

Автор программы

 / А.В. Строгонов /

Заведующий кафедрой  
Полупроводниковой электроники и микроэлектроники

 / С. И Рембеза /

Руководитель ОПОП

 / С.И Рембеза /

Воронеж 2017

## **1. ЦЕЛИ И ЗАДАЧИ ДИСЦИПЛИНЫ**

**1.1. Цели дисциплины** – формирование системы знаний по автоматизированному проектированию больших интегральных схем с использованием различных уровней абстракции.

Изучение дисциплины должно способствовать формированию у студентов навыков разработки больших интегральных схем по субмикронным проектным нормам масштабируемой КМОП-технологии.

### **1.2. Задачи освоения дисциплины**

изучение основ функционирования узлов комбинационного и последовательностного типа с учетом особенностей КМОП-технологии;

изучить маршрут проектирования заказных БИС по КМОП-технологии с использованием САПР Tanner EDA и методологии стандартных ячеек;

освоить процесс проектирования БИС на системном уровне с применением системы визуально-имитационного моделирования Matlab/Simulink;

освоить процесс проектирования БИС на функциональном уровне с использованием высокоуровневых языков описания аппаратурных средств VHDL/Verilog в САПР Quartus II;

освоить процесс проектирования БИС по масштабируемой КМОП-технологии на схемотехническом уровне (схемотехнический редактор SEedit и подсистема T-Spice САПР Tanner EDA);

освоить процесс проектирования БИС по масштабируемой КМОП-технологии на физическом (топологическом) уровне (топологический редактор LEedit САПР Tanner EDA) с использованием метода стандартных ячеек.

## **2. МЕСТО ДИСЦИПЛИНЫ В СТРУКТУРЕ ОПОП**

Дисциплина «Проектирование БИС» относится к дисциплинам вариативной части блока Б1.

## **3. ПЕРЕЧЕНЬ ПЛАНИРУЕМЫХ РЕЗУЛЬТАТОВ ОБУЧЕНИЯ ПО ДИСЦИПЛИНЕ**

Процесс изучения дисциплины «Проектирование БИС» направлен на формирование следующих компетенций:

ПКВ-1 - Способностью владеть современными методами расчета и проектирования микроэлектронных приборов и устройств твердотельной электроники, способность к восприятию, разработке и критической оценке новых способов их проектирования

Компетенция	Результаты обучения, характеризующие сформированность компетенции
-------------	---

ПКВ-1	<p>Знать методологию проектирования цифровых и аналого-цифровых БИС;  основы высокоуровневого языка описания аппаратных средств (VHDL);  основы теории n-МОП и КМОП-схем и технологический маршрут изготовления БИС;  понятия о конструктивно-технологических проектных нормах масштабируемой КМОП-технологии и правила проектирования;  различные виды схмотехнического анализа моделирования для Spice-симуляторов САПР БИС (на примере T-Spice);  основы топологии логических и последовательностных элементов n-МОП и КМОП БИС;</p>
	<p>Уметь проводить качественный анализ работы МОП транзисторов и КМОП логических элементов, вычислять паразиты для субмикронных БИС;  пользоваться SPICE-моделями МОП транзисторов по субмикронной КМОП-технологии для проведения схмотехнического моделирования в САПР БИС Tanner EDA;  разрабатывать топологический чертеж логических элементов и последовательностных устройств в «ручном» с использованием символьного представления и в автоматизированном режимах с использованием топологических редакторов САПР БИС по методу стандартных ячеек;</p>
	<p>Владеть навыками работы со схмотехническим редактором SEdit, с редактором топологии L-Edit и симулятором T-Spice САПР БИС Tanner EDA;</p>

#### 4. ОБЪЕМ ДИСЦИПЛИНЫ

Общая трудоемкость дисциплины «Проектирование БИС» составляет 5 з.е.

Распределение трудоемкости дисциплины по видам занятий  
**очная форма обучения**

Виды учебной работы	Всего часов	Семестры
		8
<b>Аудиторные занятия (всего)</b>	60	60
В том числе:		
Лекции	24	24
Лабораторные работы (ЛР)	36	36
<b>Самостоятельная работа</b>	84	84
<b>Курсовой проект</b>	+	+
Часы на контроль	27	27
Виды промежуточной аттестации - экзамен	+	+

Общая трудоемкость академические часы з.е.	180 5	180 5
--	----------	----------

## 5. СОДЕРЖАНИЕ ДИСЦИПЛИНЫ (МОДУЛЯ)

### 5.1 Содержание разделов дисциплины и распределение трудоемкости по видам занятий

#### очная форма обучения

№ п/п	Наименование темы	Содержание раздела	Лекц	Лаб. зан.	СРС	Всего, час
1	Современные и перспективные цифровые БИС/СБИС типа “система на кристалле” со сложными программируемыми структурами	Назначение, применение и перспективы развития специализированных заказных, полузаказных БИС конкретного применения (ASIC). БИС для специализированных стандартных применений (ASSP). Назначение, применение и перспективы развития ПЛИС. Понятие идеологии “система на кристалле” (System on chip, SOC)	2	-	14	16
2	Архитектуры современных специализированных заказных БИС и ПЛИС	Заказные и полузаказные интегральные схемы на основе КМОП БМК. Основные тенденции развития ПЛИС. Классификация ПЛИС. Сложные программируемые логические схемы (CPLD). Программируемые пользователем вентильные матрицы (FPGA). Архитектуры MAX, FLEX и STRATIX компании Altera. Архитектуры ПЛИС CPLD и FPGA компании Xilinx	2	-	14	16
3	Особенности схемотехники логических элементов и триггеров цифровых КМОП БИС	Схемотехника ключей и логических элементов n-МОП и КМОП БИС. Синтез КМОП элементов. Схемотехника комбинационных логических элементов. Проходные логические схемы и КМОП логика на передаточных вентилях. Шифраторы/дешифраторы, мультиплексоры/демультиплексоры, коммутаторы, компараторы по КМОП-технологии. Особенности проектирования КМОП-триггеров БИС, тактируемых уровнем и фронтом сигнала.	4	9	14	27
4	Особенности схемотехники сложно-функциональных цифровых устройств КМОП БИС	Последовательностные логические схемы. Конечные автоматы. Сдвиговые регистры, счетчики. Логические элементы схем потоковой обработки информации: сумматоры/вычитатели, умножители, делители. Умножение с накоплением методом правого сдвига. Схемы ускоренного умножения. Параллельные векторные умножители. Цифровые запоминающие устройства.	8	9	14	31
5	Проектирование топологии логических элементов заказных БИС в индустриальном САПР Tanner EDA	Описание САПР Tanner EDA. Процесс проектирования в САПР Tanner EDA. Понятие о конструктивно-технологических нормах и правилах проектирования по масштабируемой КМОП-технологии. Основные элементы конструкции топологии заказных КМОП БИС с одним слоем металлизации. Основные элементы конструкции топологии заказных КМОП БИС с двумя слоями металлизации. Особенности топологии триггеров КМОП БИС.	4	9	14	27

6	HDL для описания цифровых БИС. Примеры проектирования цифровых устройств с использованием языка VHDL в САПР Quartus II	<p>Положение в области языков функционального описания. Роль функционального описания в САПР. Общее содержание языка VHDL: синтаксис, базовые конструкции, примеры реализаций. Стили описания аппаратных архитектур. Поведенческое описание, потоковое описание, структурное описание.</p> <p>Проектирование комбинационных устройств на языке VHDL: дешифраторы, шифраторы, мультиплексоры, сумматоры, преобразователи кодов. Проектирование последовательностных устройств на языке VHDL: защелки, триггеры, регистры, счетчики, блоки памяти (ОЗУ, ПЗУ). конечные автоматы. Конечные автоматы. Диаграммы переходов. Автоматы Мили. Автоматы Мура. Методы кодирования конечных автоматов. Проектирование последовательностных устройств на языке Verilog: защелки, триггеры, регистры, счетчики, блоки памяти (ОЗУ, ПЗУ), конечные автоматы.</p>	4	9	14	27
<b>Итого</b>			<b>24</b>	<b>36</b>	<b>84</b>	<b>144</b>

## 5.2 Перечень лабораторных работ

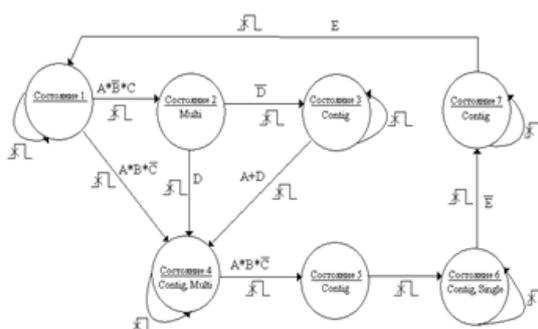
Неделя семестра	Наименование лабораторной работы	Объем часов
<b>1. Особенности схемотехники логических элементов и триггеров цифровых КМОП БИС</b>		<b>9</b>
1	Схемотехническое проектирование электронных ключей коммутаторов цифровых сигналов с использованием различных видов схемотехнического анализа в САПР Tanner.	3
2	Схемотехническое проектирование логических элементов и триггеров по n-МОП и КМОП-технологиям в САПР Tanner.	3
3	Схемотехническое проектирование сдвиговых регистров и асинхронных, синхронных счетчиков в САПР Tanner.	3
<b>4. Особенности схемотехники сложно-функциональных аналого-цифровых устройств КМОП БИС</b>		<b>9</b>
4	Разработка электрической схемы сумматора с последовательным переносом в схемотехническом редакторе SEdit САПР Tanner EDA	3
5	Проектирование дифференциального усилителя по КМОП-технологии в схемотехническом редакторе SEdit САПР Tanner EDA	3
6	Проектирование четырехразрядного АЦП последовательного приближения с ЦАП на матрице $R - 2R$ в схемотехническом редакторе SEdit САПР Tanner EDA	3
<b>5. Проектирование топологии логических элементов и триггеров КМОП БМК и заказных БИС в САПР Tanner EDA</b>		<b>9</b>
7	Проектирование топологии простейших и составных логических элементов, триггеров. Восстановление электрической схемы из описания топологии в ручном и автоматических режимах.	3

8	Проектирование топологии 4-разрядного двоичного счетчика.	3
9	Проектирование топологии матричного умножителя целых чисел со знаком размерностью 4x4.	3
<b>6. Языки функционального (поведенческого) описания цифровых БИС. Примеры проектирования цифровых устройств с использованием языков описания аппаратуры VHDL в САПР Quartus II и учебно-лабораторного стенда LESO2.1</b>		<b>9</b>
10	Разработка проекта умножителя целых без знаковых чисел методом сдвига и сложения	3
11	Разработка проекта умножителя целых чисел со знаком методом сдвига и сложения	3
12	Разработка проекта матричного умножителя целых без знаковых чисел	3
<b>Итого часов</b>		<b>36</b>

## 6. ПРИМЕРНАЯ ТЕМАТИКА КУРСОВЫХ ПРОЕКТОВ (РАБОТ) И КОНТРОЛЬНЫХ РАБОТ

В соответствии с учебным планом освоение дисциплины предусматривает выполнение курсового проекта в 8 семестре для очной формы обучения.

Примерная тематика курсового проекта: «Разработка цифрового автомата в базисе ПЛИС с использованием САПР Altera Quartus II по диаграмме состояний»



Задачи, решаемые при выполнении курсового проекта:

- изучить методы кодирования цифровых автоматов;
- освоить автоматизированное проектирование цифровых автоматов с помощью редактора состояний в САПР Quartus II и различных методов их кодирования;
- изучить шаблоны языка VHDL применяемые для разработки автоматов

Курсовой проект состоит из расчетно-пояснительной записки (РПЗ) с иллюстративным графическим материалом, размещенным по разделам проекта.

РПЗ объемом от 25 – 30 страниц содержит:

титульный лист; задание на курсовой проект; содержание; введение – 1-2 с; основную часть (теоретическую, расчетную, практическую) – 20-35 с; заключение 1-2 с; приложение (при необходимости); список использованных источников.

Во введении должна быть дана оценка состояния современных средств САПР ПЛИС, актуальность, цели и задачи, решаемые в курсовом проекте.

Основная часть курсового проекта должна содержать подробное обоснование реализации теоретической, практической и расчетной частей в последовательности:

1) в автоматическом режиме с применением редактора состояний цифрового автомата разработайте проект и осуществите функциональное моделирование;

2) используя символьный/схемный редактор САПР ПЛИС Quartus II разработайте иерархическую электрическую схему (проект) в ручном режиме по заданной диаграмме состояний цифрового устройства с кодированием по методу ONE;

3) проверить правильность функционирования разрабатываемой схемы цифрового автомата с помощью функционального моделирования в САПР ПЛИС Quartus II;

4) используя высокоуровневый язык описания аппаратных средств (VHDL) и шаблоны языка VHDL САПР ПЛИС Quartus II разработать описание проектируемого устройства на поведенческом уровне;

5) используя символьный/схемный редактор САПР ПЛИС Quartus II разработать тестовую электрическую схему цифрового автомата на языке VHDL;

6) проверить правильность функционирования разрабатываемой схемы цифрового автомата на языке VHDL с помощью функционального моделирования в САПР ПЛИС Quartus II;

В практической части подтвердить правильность функционирования трех вариантов реализации одного и того же автомата и зашейте один из проектов в ПЛИС с помощью учебного лабораторного стенд LESO2.1 для аппаратной верификации.

## **7. ОЦЕНОЧНЫЕ МАТЕРИАЛЫ ДЛЯ ПРОВЕДЕНИЯ ПРОМЕЖУТОЧНОЙ АТТЕСТАЦИИ ОБУЧАЮЩИХСЯ ПО ДИСЦИПЛИНЕ**

**7.1. Описание показателей и критериев оценивания компетенций на различных этапах их формирования, описание шкал оценивания**

### **7.1.1 Этап текущего контроля**

Результаты текущего контроля знаний и межсессионной аттестации оцениваются по следующей системе:

«аттестован»;

«не аттестован».

Компе-	Результаты обучения,	Критерии	Аттестован	Не аттестован
--------	----------------------	----------	------------	---------------

тенция	характеризующие сформированность компетенции	оценивания		
ПКВ-1	знать методологию проектирования цифровых и аналого-цифровых БИС; понятия о конструктивно-технологических проектных нормах масштабируемой КМОП-технологии и правила проектирования; основы построения топологии логических элементов и триггеров n-МОП и КМОП БИС	Способность использовать на практике методологию проектирования БИС для разработки схемотехники и топологии логических элементов уникального базиса БИС	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
	уметь пользоваться SPICE-моделями МОП транзисторов по субмикронной КМОП-технологии для проведения схемотехнического моделирования в САПР БИС Tanner EDA; уметь восстанавливать из описания топологии электрические схемы по КМОП-технологии	Демонстрация навыков работы с САПР БИС Tanner EDA; Способность читать топологические чертежи логических элементов БИС	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
	владеть процессом проектирования сложно-функциональных блоков в базисе ПЛИС в САПР Quartus II компании Altera, с использованием высокоуровневых языков VHDL/Verilog	Демонстрация способности реализовывать проекты сложно-функциональных блоков в базисе ПЛИС	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах

### 7.1.2 Этап промежуточного контроля знаний

Результаты промежуточного контроля знаний оцениваются в 8 семестре для очной формы обучения, 10 семестре для заочной формы обучения по четырехбалльной системе:

- «отлично»;
- «хорошо»;
- «удовлетворительно»;
- «неудовлетворительно».

Компетенция	Результаты обучения, характеризующие сформированность компетенции	Критерии оценивания	Отлично	Хорошо	Удовл.	Неудовл.
ПКВ-1	знать методологию проектирования цифровых и аналого-цифровых БИС; понятия о конструктивно-технологических проектных нормах масштабируемой КМОП-технологии и правила проектирования; основы построения топологии логических элементов и триггеров n-МОП и КМОП БИС	Тест	Выполнение теста на 90-100%	Выполнение теста на 80- 90%	Выполнение теста на 70- 80%	В тесте менее 70% правильных ответов

<p>уметь пользоваться SPICE-моделями МОП транзисторов по субмикронной КМОП-технологии для проведения схемотехнического моделирования в САПР БИС Tanner EDA; восстанавливать из описания топологии электрические схемы по КМОП-технологии</p>	Решение стандартных практических задач	Задачи решены в полном объеме и получены верные ответы	Продемонстрирован верный ход решения всех, но не получен верный ответ во всех задачах	Продемонстрирован верный ход решения в большинстве задач	Задачи не решены
<p>владеть процессом проектирования сложно-функциональных блоков в базе ПЛИС в САПР Quartus II компании Altera, с использованием высокоуровневых языков VHDL/Verilog</p>	Решение прикладных задач в конкретной предметной области	Задачи решены в полном объеме и получены верные ответы	Продемонстрирован верный ход решения всех, но не получен верный ответ во всех задачах	Продемонстрирован верный ход решения в большинстве задач	Задачи не решены

## 7.2 Примерный перечень оценочных средств (типовые контрольные задания или иные материалы, необходимые для оценки знаний, умений, навыков и (или) опыта деятельности)

### 7.2.1 Примерный перечень заданий для подготовки к тестированию

#### Задание 1

Какое последовательностное устройство представляет фрагмент VHDL-кода?

```

architecture behav of ff is
begin
process (clk) begin
if (clk'event and clk = '1') then
q <= data;
end if;
end process;
end behav;

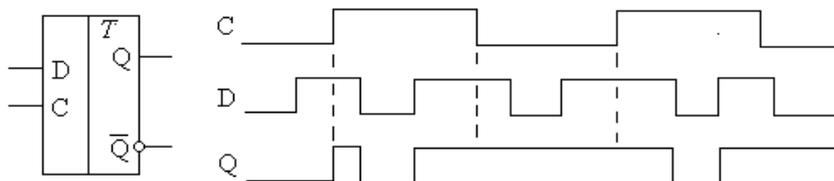
```

1	2	3	4
D-триггер	T-триггер	JK-триггер	RS-триггер

**Правильный ответ: 1**

#### Задание 2.

По условному графическому изображению и временной диаграмме определите функциональное назначение логического элемента



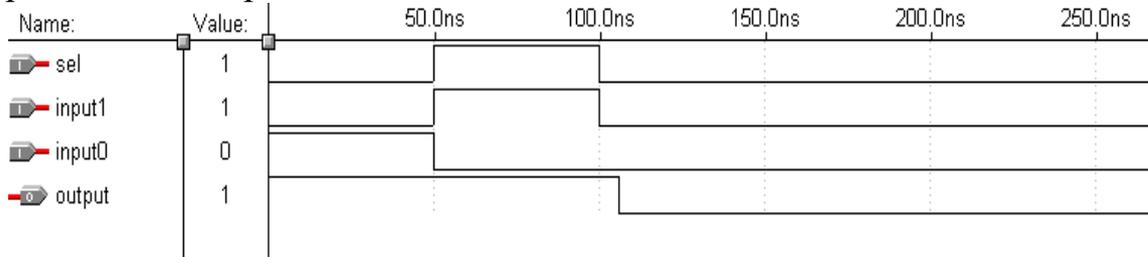
1	2	3	4
D-триггер	D-триггер	JK-триггер	T-триггер

тактируемый уровнем синхросигнала	тактируемый фронтом синхросигнала		
---	---	--	--

**Правильный ответ: 1**

**Задание 3**

Принцип действия, какого комбинационного устройства, описывают данные временные диаграммы.

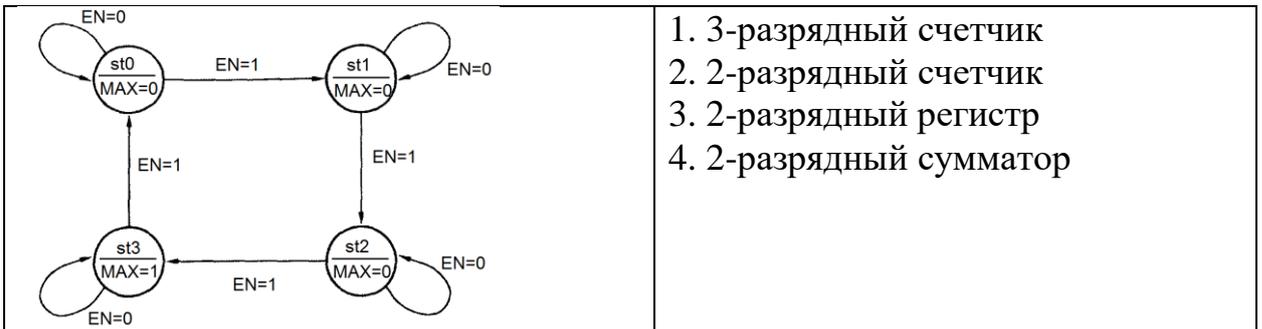


1	2	3	4
2-разрядный счетчик	2-разрядный регистр	D-триггер	Мультиплексор 2 в 1

**Правильный ответ: 4**

**Задание 4**

Диаграмма состояний, какого последовательного устройства представлена на рисунке?

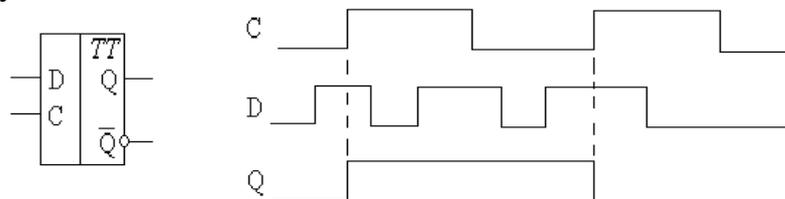


1. 3-разрядный счетчик
2. 2-разрядный счетчик
3. 2-разрядный регистр
4. 2-разрядный сумматор

**Правильный ответ: № 2**

**Задание 5**

По условному графическому изображению и временной диаграмме определите функциональное назначение логического элемента.

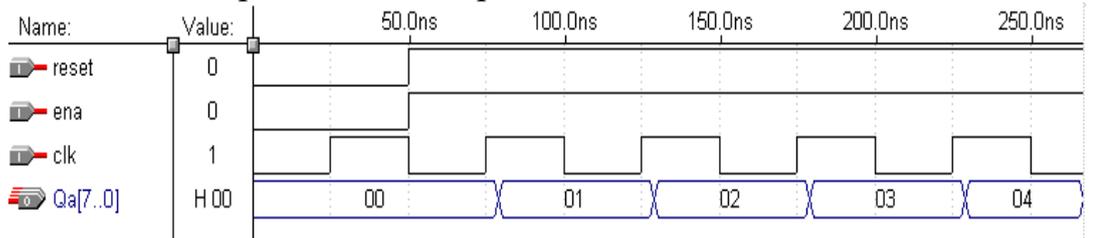


1	2	3	4
D-триггер тактируемый фронтом синхросигнала	D-триггер тактируемый уровнем синхросигнала	JK-триггер	T-триггер

**Правильный ответ: 1**

### Задание 6

Принцип действия, какого последовательного устройства, описывают представленные временные диаграммы.

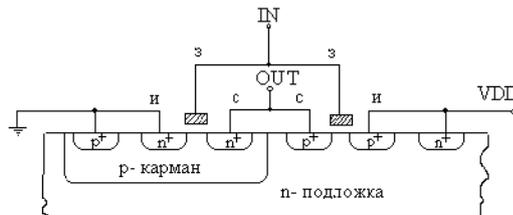


1	2	3	4
8-разрядный счетчик	8-разрядный регистр	Сумматор	Мультиплексор 8 в 1

**Правильный ответ: 1**

### Задание 7

Используя сечение КМОП-структуры с р-карманом определите функциональное назначение логического элемента.

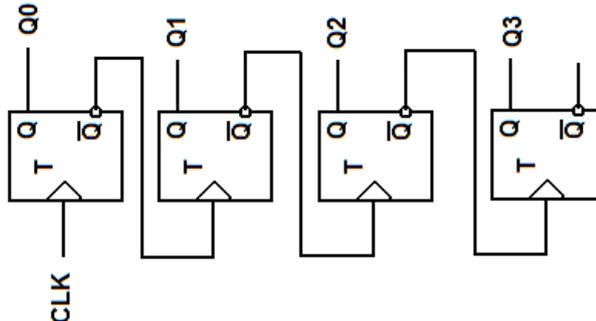


1	2	3	4
Инвертор	2И-НЕ	2ИЛИ-НЕ	3И-НЕ

**Правильный ответ: № 1**

### Задание 8

По электрической схеме последовательного устройства определите его функциональное назначение.

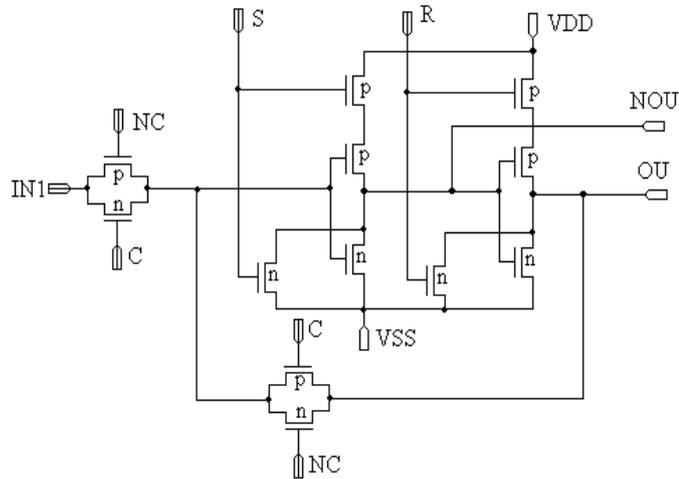


1	2	3	4
4-разрядный двоичный суммирующий счетчик с последовательным переносом	4-разрядный регистр с параллельной загрузкой данных	4-разрядный синхронный двоичный суммирующий счетчик с последовательной логикой разрешения	4-разрядный двоично-десятичный счетчик

**Правильный ответ: № 1**

**Задание 9.**

По электрической схеме последовательного устройства определите его функциональное назначение.



1	2	3	4
Одноступенчатый D-триггер на проходных ключах	Одноступенчатый D-триггер на проходных ключах с асинхронным входом Reset	Одноступенчатый D-триггер на проходных ключах с асинхронным входом Set	Одноступенчатый D-триггер на проходных ключах с асинхронными входами Set и Reset

**Правильный ответ: 4**

**Задание 10.**

Какая схема защищает входные буферы интегральной схемы от статического электричества по КМОП-технологии.

1	2	3	4

**Правильный ответ: № 1**

**7.2.2 Примерный перечень заданий для решения стандартных задач**

**Задача 1.**

Какое последовательное устройство реализовано? С использованием фрагмента VHDL-кода разработайте проект в САПР ПЛИС Altera Quartus II. BEGIN

```

PROCESS (clk)
BEGIN
IF(clk'EVENT AND clk = '1') THEN IF load = '1' then cnt<= data;
ELSE cnt<=cnt+'1'; END IF; END IF; END PROCESS;
Qa <= cnt;
END a;

```

1	2	3	4
8-разрядный счетчик с асинхронной загрузкой данных	Реверсивный счетчик	8-разрядный счетчик с синхронной загрузкой данных	Вычитающий 8-разрядный счетчик

**Правильный ответ: 3**

### **Задача 2.**

Какое последовательностное устройство реализовано? С использованием фрагмента VHDL-кода разработайте проект в САПР ПЛИС Altera Quartus II. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

```

BEGIN
latch :PROCESS (ena, data)
    BEGIN
        IF (ena = '1') THEN q <= data; END IF;
    END PROCESS latch;

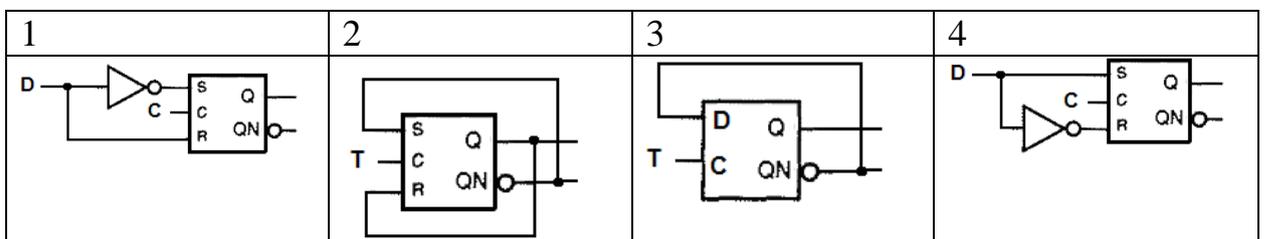
```

1	2	3	4
Зашелка	D-триггер	T-триггер	Инвертор

**Правильный ответ: 1**

### **Задача 3.**

Сконструируйте из синхронного RS-триггера D-триггер, тактируемый уровнем синхросигнала. Разработайте проект устройства с использованием VHDL-кода в САПР ПЛИС Altera Quartus II. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

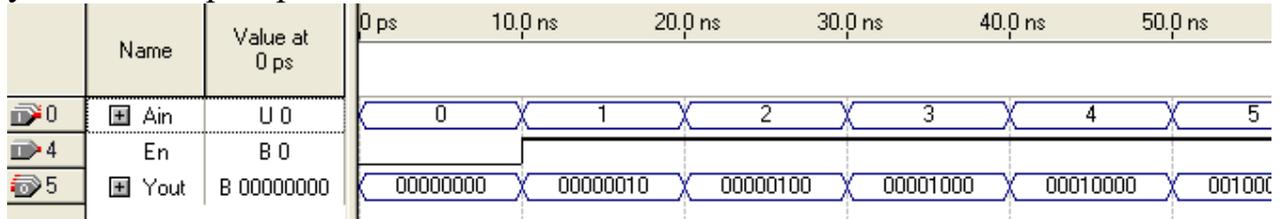


**Правильный ответ: № 4**

### **Задача 4.**

По временной диаграмме определите, работу какого функционального устройства она описывает? Разработайте проект устройства с использованием VHDL-кода в САПР ПЛИС Altera Quartus II. Для отладки проекта используйте

учебно-лабораторный стенд LESO2.1.



1	2	3	4
8-разрядный регистр	Шифратора 8 в 3	Дешифратора 3 в 8	8-разрядный счетчик

**Правильный ответ: № 3**

**Задача 5.**

По фрагменту VHDL-кода определите, какое последовательностное устройство представлено? С использованием фрагмента VHDL-кода разработайте проект в САПР ПЛИС Altera Quartus II. Проведите функциональное моделирование. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

```

PROCESS (clk)
VARIABLE cnt : STD_LOGIC_VECTOR(7 downto 0);
VARIABLE direction : INTEGER;
BEGIN
    IF (up_down = '1') THEN direction := 1;
    ELSE direction := -1; END IF;
    IF (clk'EVENT AND clk = '1')
    THEN cnt := cnt + direction; END IF; qd <= cnt;
END PROCESS;
    
```

1	2	3	4
Двоичный счетчик	Реверсивный счетчик	Регистр	Вычитающий счетчик

**Правильный ответ: 2**

**Задание 6.**

По коду языка VHDL определите синтезируемое функциональное устройство. Реализуйте аналогичный проект на логических элементах в САПР ПЛИС Altera Quartus II. Проведите функциональное моделирование. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

```

ENTITY sel IS
    PORT (d0, d1, d2, d3 : IN STD_LOGIC;
          s : IN INTEGER RANGE 0 TO 3;
          output : OUT STD_LOGIC);
END sel;
ARCHITECTURE maxpld OF sel IS
BEGIN
WITH s SELECT
    
```

```

output <=    d0 WHEN 0,
             d1 WHEN 1,
             d2 WHEN 2,
             d3 WHEN 3;

```

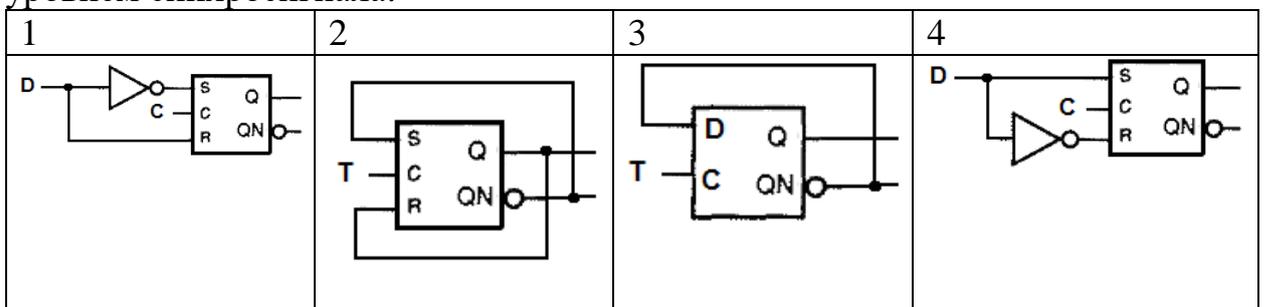
END maxpld;

1	2	3	4
Мультиплексор 4 в 1	Мультиплексор 6 в 1	Шифратор 4 в 1	Дешифратор 2 в 4

**Правильный ответ: № 1**

### Задание 7.

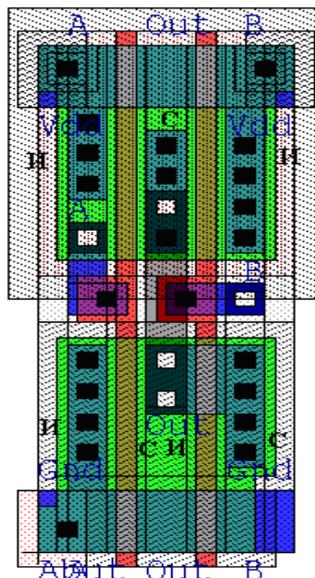
Сконструируйте из синхронного RS-триггера Т-триггер, тактируемый уровнем синхросигнала.



**Правильный ответ: № 2**

### Задание 8.

По топологическому чертежу логического элемента по КМОП-технологии с N-карманом восстановите электрическую схему и проведите схемотехническое моделирование переходных процессов в САПР Tanner EDA.

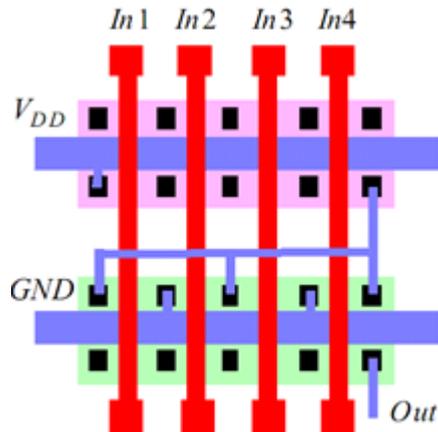


1	2	3	4
2И-НЕ	2ИЛИ-НЕ	2И	Инвертор

**Правильный ответ: 1**

### Задание 9.

По топологическому чертежу логического элемента определите его функциональное назначение и проведите схемотехническое моделирование переходных процессов в САПР Tanner EDA. Постройте передаточную характеристику вентиля.

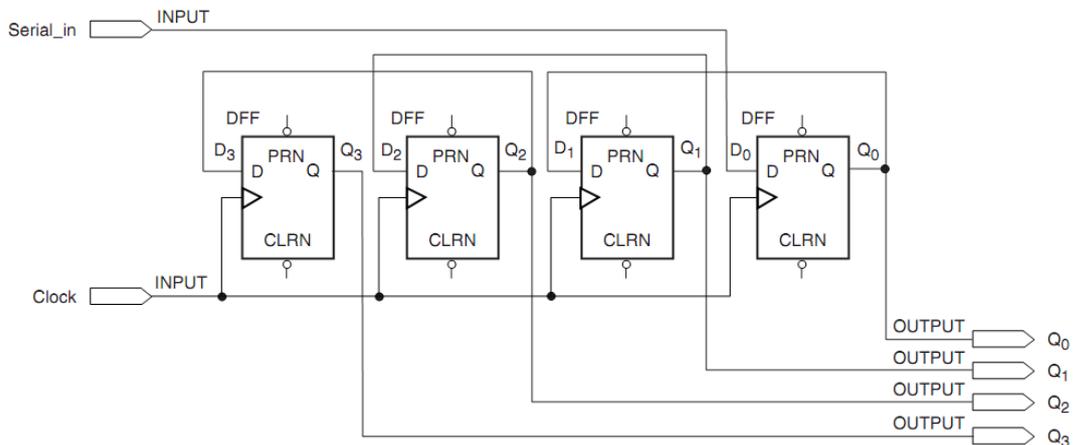


1	2	3	4
4 И	4 И-НЕ	4 ИЛИ-НЕ	4 ИЛИ

**Правильный ответ: № 3**

### Вопрос 10.

Структурная схема, какого последовательного устройства представлена на рисунке. Разработайте на основе этой схемы проект в САПР ПЛИС Altera Quartus II. Проведите функциональное моделирование.



1	2	3	4
4-разрядный регистр со сдвигом в лево	4-разрядный регистр со сдвигом в право	4-разрядный суммирующий счетчик	4-разрядный вычитающий счетчик

### **7.2.4 Примерный перечень вопросов для подготовки к зачету**

Не предусмотрено учебным планом

### **7.2.5 Примерный перечень заданий для решения прикладных задач**

Билет N 1

1. Назначение, применение и перспективы развития специализированных БИС конкретного применения (ASSP) и заказных БИС (ASIC).
2. Стили описания аппаратных архитектур на языке VHDL. Поведенческое описание, потоковое описание, структурное описание.
3. Разработайте проект цифрового устройства с использованием языка описания аппаратуры VHDL в САПР ПЛИС Quartus II: преобразователь 10-разрядного двоичного числа в 3-х разрядное двоично-десятичное число. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

Билет N 2

1. Проектирование КМОП БИС с использованием метода стандартных ячеек. Конструкция стандартной ячейки. Размещение стандартных ячеек на кристалле.
2. Уровни проектирования БИС и ПЛИС.
3. Разработайте проект цифрового устройства с использованием языка описания аппаратуры VHDL в САПР ПЛИС Quartus II: преобразователь 3-разрядного двоично-десятичного числа в 10-разрядный двоичный код. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

Билет N 3

1. Положение в области языков функционального описания. Роль функционального описания в САПР.
2. Назначение, применение и перспективы развития ПЛИС.
3. Разработайте проект цифрового устройства с использованием языка описания аппаратуры VHDL в САПР ПЛИС Quartus II: шинный мультиплексор 4 в 1. Разрядность шины 4 бита. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

Билет N 4

1. Классификация ПЛИС (FPGA и CPLD).
2. Особенности проектирования КМОП-триггеров БИС, тактируемых уровнем синхросигнала.
3. Пример проектирования цифрового устройства с использованием мегафункции и языка описания аппаратуры VHDL в САПР ПЛИС Quartus II: проектирование ОЗУ и ПЗУ емкостью 64 бита. Сформировать файл прошивки. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

Билет N 5

1. Структура ПЛИС. Обобщенная модель ПЛИС.
2. Усовершенствованные варианты электрических схем D-триггеров по КМОП-технологии: на основе динамических ключей, на основе "проходных

ключей”.

3. Разработайте проект цифрового устройства с использованием примитивов и языка описания аппаратуры VHDL в САПР ПЛИС Quartus II: одноклактный триггер с асинхронными входами Set (установка) и Reset (сброс). Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

Билет N 6

1. Маршрут проектирования БИС с использованием САПР Tanner EDA.

2. Схемотехника D-триггеров комбинированного типа по КМОП-технологии.

3. Разработайте проект цифрового устройства с использованием примитивов и языка описания аппаратуры VHDL в САПР ПЛИС Quartus II: одноклактный триггер с асинхронными входами установки (Set) и сброса (Reset). Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

Билет N 7

1. Понятие идеологии “система на кристалле” (System on chip, SOC).

2. Схемотехника статических и динамических КМОП-триггеров, тактируемых фронтом, системы с однофазным тактированием.

3. Разработайте проект цифрового устройства с использованием высокоуровневого языка Verilog в САПР ПЛИС Quartus II: триггер, тактируемый фронтом синхроимпульса с асинхронной установкой (Set) и сигналом разрешения тактирования (Ena).

Билет N 8

1. Маршрут проектирования БИС с использованием САПР Cadence. Схемотехнический и топологический редактор Cadence Virtuoso, программные средства верификации, программные средства экстракции паразитных элементов, программные средства моделирования электрических схем.

2. Схемотехническое моделирование переходных процессов КМОП-триггеров ИС (в САПР OrCAD 16.x или на примере Sedit САПР Tanner).

3. Разработайте проект цифрового устройства с использованием примитивов языка описания аппаратуры VHDL в САПР ПЛИС Quartus II: 4-х разрядный регистр на D-триггерах тактируемых фронтом синхросигнала, с асинхронным сбросом (Reset), синхронной установкой (Set) и синхронным сигналом разрешения загрузки Ena. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

Билет N 9

1. Заказные и полузаказные ИС на основе КМОП базовых матричных

кристаллов.

2. Понятие о конструктивно-технологических проектных нормах КМОП-технологии. Топология конденсатора, резистора, диода, биполярного и МОП-транзистора

3. Пример проектирования цифрового устройства с использованием высокоуровневого языка Verilog в САПР ПЛИС Quartus II: 4-разрядный реверсивный счетчик, с асинхронным входом установки (Set), синхронным сбросом (Reset), сигналом разрешения загрузки Ena. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

#### Билет N 10

1. Отечественные разработки в области БМК, ПЛИС и их применения.

2. Основные элементы конструкции топологии КМОП БМК и заказных БИС. Ручной метод проектирования топологии. Палочная диаграмма.

3. Разработайте проект цифрового устройства с использованием примитивов логических элементов и языка описания аппаратуры VHDL в САПР ПЛИС Quartus II: 4-разрядный сумматор с последовательным переносом. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

### 7.2.6. Методика выставления оценки при проведении промежуточной аттестации

Экзамен проводится по тест-билетам, каждый из которых содержит 10 вопросов и задачу. Каждый правильный ответ на вопрос в тесте оценивается 1 баллом, задача оценивается в 10 баллов (5 баллов верное решение и 5 баллов за верный ответ). Максимальное количество набранных баллов – 20.

1. Оценка «Неудовлетворительно» ставится в случае, если студент набрал менее 6 баллов.

2. Оценка «Удовлетворительно» ставится в случае, если студент набрал от 6 до 10 баллов

3. Оценка «Хорошо» ставится в случае, если студент набрал от 11 до 15 баллов.

4. Оценка «Отлично» ставится, если студент набрал от 16 до 20 баллов.

### 7.2.7 Паспорт оценочных материалов

№ п/п	Контролируемые разделы (темы) дисциплины	Код контролируемой компетенции	Наименование оценочного средства
1	Современные и перспективные цифровые БИС/СБИС типа “система на кристалле” со сложными программируемыми структурами	ПКВ-1	Тест, защита лабораторных работ
2	Архитектуры современных специализированных заказных БИС и ПЛИС	ПКВ-1	Тест, защита лабораторных работ
3	Особенности схемотехники логических элементов и триггеров	ПКВ-1	Тест, защита лабораторных работ,

	цифровых КМОП БИС		решение стандартных задач
4	Особенности схемотехники сложно-функциональных цифровых устройств КМОП БИС	ПКВ-1	Тест, защита лабораторных работ, решение стандартных задач
5	Программные средства с открытым исходным кодом для проектирования цифровых устройств	ПКВ-1	Тест, защита лабораторных работ, решение стандартных задач
6	Проектирование топологии логических элементов и триггеров КМОП БМК	ПКВ-1	Тест, защита лабораторных работ, решение стандартных задач.
8	HDL для описания цифровых БИС. Примеры проектирования цифровых устройств с использованием языка VHDL в САПР Quartus II	ПКВ-1	Тест, защита лабораторных работ, требования к курсовому проекту, решение стандартных задач

### **7.3. Методические материалы, определяющие процедуры оценивания знаний, умений, навыков и (или) опыта деятельности**

Тестирование осуществляется, либо при помощи компьютерной системы тестирования, либо с использованием выданных тест-заданий на бумажном носителе. Время тестирования 30 мин. Затем осуществляется проверка теста экзаменатором и выставляется оценка согласно методики выставления оценки при проведении промежуточной аттестации.

Решение стандартных задач осуществляется, либо при помощи компьютерной системы тестирования, либо с использованием выданных задач на бумажном носителе. Время решения задач 30 мин. Затем осуществляется проверка решения задач экзаменатором и выставляется оценка, согласно методики выставления оценки при проведении промежуточной аттестации.

Решение прикладных задач осуществляется, либо при помощи компьютерной системы тестирования, либо с использованием выданных задач на бумажном носителе. Время решения задач 30 мин. Затем осуществляется проверка решения задач экзаменатором и выставляется оценка, согласно методики выставления оценки при проведении промежуточной аттестации.

Защита курсовой работы, курсового проекта или отчета по всем видам практик осуществляется согласно требованиям, предъявляемым к работе, описанным в методических материалах. Примерное время защиты на одного студента составляет 20 мин.

## **8 УЧЕБНО МЕТОДИЧЕСКОЕ И ИНФОРМАЦИОННОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ**

### **8.1 Перечень учебной литературы, необходимой для освоения дисциплины**

8.1 Рекомендуемая литература				
№ п/п	Авторы, составители	Заглавие	Годы издания. Вид издания	Обеспеченность
7.1.1 Основная литература				
1	Вонг Б.П., Миталл А., Старр Г.	Нано-КМОП схемы и проектирование на физическом уровне. Техносфера	2014 Печат.	0.5
2	Попов В.Д., Белова Г.Ф.	Физические основы проектирования кремниевых цифровых интегральных схем в монолитном и гибридном исполнении. СПб.: Лань	2015 ЭБС Лань	1
3	Игнатов А.Н.	Микросхемотехника и нанoeлектроника. СПб.: Лань	2011 ЭБС Лань	1
4	Амосов В.В.	Схемотехника и средства проектирования цифровых устройств. БХВ-Петербург	2007 Печатный	0.1
5	Тарасов И.Е., Потехин И.Е.	Разработка систем цифровой обработки сигналов на базе ПЛИС. М.: Горячая линия - Телеком	2007 Печатный	0.4
6	Тарасов И.Е.	Разработка цифровых устройств на основе ПЛИС фирмы Xilinx с применением языка VHDL	2005 Печатный	0.4
7	Угрюмов Е.П.	Цифровая схемотехника: Учеб. пособие. - 2-е изд., перераб. и доп. - СПб.: БХВ-Петербург	2004 Печатный	1
8	Петров М.Н., Гудков Г.В.	Моделирование компонентов и элементов интегральных схем. СПб.: Лань	2011 ЭБС Лань	1
8.1.2. Дополнительная литература				
1	Строгонов А.В.	Цифровая обработка сигналов в базе программируемых логических интегральных схем	2015 Магнитный носитель	1
2	Строгонов А.В.	Основы цифровой обработки сигналов: учеб. пособие	2014 Магнитный носитель	1
3	Строгонов А.В.	Системное проектирование программируемых логических интегральных схем: учеб. пособие	2012 Магнитный носитель	1
4	Строгонов А.В.	Основы микросхемотехники интегральных схем	2012 Магнитный носитель	1
5	Строгонов А.В.	Проектирование устройств цифровой обработки сигналов для реализации в базе программируемых логических интегральных схем	2015 Магнитный носитель	1
8.1.3. Методические разработки				
1	Строгонов А.В., Шацких Д.С.	Методические указания к курсовому проектированию по дисциплине "Проектирование БИС" для студентов специальности 210104 "Микроэлектроника и твердотельная электроника" очной формы обучения	2010 Печат.	1
2	Строгонов А.В., Кошелева Н.Н.	Методические указания к выполнению лабораторных работ по дисциплине "Проектирование БИС"	2009 Печат.	1

		для студентов специальности 210104 “Микроэлектроника и твердотельная электроника” очной формы обучения (рег. номер 68-2009)		
3	Строгонов А.В., Кошелева Н.Н.	Методические указания к выполнению лабораторных работ по дисциплине “Проектирование БИС” для студентов специальности 210104 “Микроэлектроника и твердотельная электроника” очной формы обучения (рег. номер 105-2009)	2009 Печат.	1

## 8.2 Перечень информационных технологий, используемых при осуществлении образовательного процесса по дисциплине, включая перечень лицензионного программного обеспечения, ресурсов информационно-телекоммуникационной сети «Интернет», современных профессиональных баз данных и информационных справочных систем:

САПР БИС Tanner САПР ПЛИС Altera Quartus II+ Altera DSP Builder САПР ПЛИС Xilinx ISE+ Xilinx System Generator Системы цифрового моделирования ModelSim-Altera Система визуально-имитационного моделирования Matlab/Simulink Программа синтеза логики Synplify Synplify
<a href="http://www.labfor.ru">www.labfor.ru</a> Лаборатории электронных средств обучения, ЛЭСО ГОУ ВПО «СибГУТИ» <a href="http://www.asic.ru">www.asic.ru</a> НПК "Технологический центр" <a href="http://www.tcen.ru">www.tcen.ru</a> НПК "Технологический центр" <a href="http://www.e-kir.ru">www.e-kir.ru</a> Электронные версии журнала “Компоненты и технология”

## 9 МАТЕРИАЛЬНО-ТЕХНИЧЕСКАЯ БАЗА, НЕОБХОДИМАЯ ДЛЯ ОСУЩЕСТВЛЕНИЯ ОБРАЗОВАТЕЛЬНОГО ПРОЦЕССА

Учебный лабораторный стенд на ПЛИС структуры FPGA - LESO2.

Лабораторный стенд LESO2 – уникальная разработка СИБГУТИ для обучения основам проектирования устройств на ПЛИС. Логика работы схемы задается во время проектирования ПЛИС, что позволяет использовать ее во многих сферах техники.

Учебный стенд LESO7 предназначен для изучения цифровой обработки сигналов. Конструктивно стенд выполнен в виде печатной платы в прозрачном корпусе из органического стекла. Большинство компонентов расположены с верхне стороны и доступно обзору. Стенд подключается к персональному компьютеру (ПК) или ноутбуку через разъем USB.

На плате расположена программируемая логическая интегральная схема (ПЛИС) с набором аналоговой периферии: аналого-цифровые (АЦП) и цифро-аналоговые преобразователи (ЦАП). Ввод и вывод аналогового сигнала осуществляется через разъемы типа BNC.

В основе стенда ПЛИС FPGA Cyclone IV. На плате установлен

высокоскоростной двуканальный USB конвертор FT2232H. Один канал использован для конфигурации ПЛИС, другой предназначен для высокоскоростного обмена данными между компьютером и стендом. Питание платы осуществляется от USB.

## 10. МЕТОДИЧЕСКИЕ УКАЗАНИЯ ДЛЯ ОБУЧАЮЩИХСЯ ПО ОСВОЕНИЮ ДИСЦИПЛИНЫ (МОДУЛЯ)

По дисциплине «Проектирование БИС».

Основой изучения дисциплины являются лекции, на которых излагаются наиболее существенные и трудные вопросы, а также вопросы, не нашедшие отражения в учебной литературе.

Практические занятия направлены на приобретение практических навыков расчета \_\_\_\_\_. Занятия проводятся путем решения конкретных задач в аудитории.

Лабораторные работы выполняются на лабораторном оборудовании в соответствии с методиками, приведенными в указаниях к выполнению работ.

Методика выполнения курсового проекта изложена в учебно-методическом пособии. Выполнять этапы курсового проекта должны своевременно и в установленные сроки.

Контроль усвоения материала дисциплины производится проверкой курсового проекта, защитой курсового проекта.

Методика выполнения курсовой работы изложена в учебно-методическом пособии. Выполнять этапы курсовой работы должны своевременно и в установленные сроки.

Контроль усвоения материала дисциплины производится проверкой курсовой работы, защитой курсовой работы.

Вид учебных занятий	Деятельность студента
Лекция	Написание конспекта лекций: кратко, схематично, последовательно фиксировать основные положения, выводы, формулировки, обобщения; пометить важные мысли, выделять ключевые слова, термины. Проверка терминов, понятий с помощью энциклопедий, словарей, справочников с выписыванием толкований в тетрадь. Обозначение вопросов, терминов, материала, которые вызывают трудности, поиск ответов в рекомендуемой литературе. Если самостоятельно не удастся разобраться в материале, необходимо сформулировать вопрос и задать преподавателю на лекции или на практическом занятии.
Лабораторная работа	Лабораторные работы позволяют научиться применять теоретические знания, полученные на лекции при решении конкретных задач. Чтобы наиболее рационально и полно использовать все возможности лабораторных для подготовки к ним необходимо: следует разобрать лекцию по соответствующей теме, ознакомиться с соответствующим разделом учебника, проработать дополнительную литературу и источники, решить задачи и выполнить другие письменные задания.
Самостоятельная работа	Самостоятельная работа студентов способствует глубокому усвоения учебного материала и развитию навыков самообразования.

	<p>Самостоятельная работа предполагает следующие составляющие:</p> <ul style="list-style-type: none"> <li>- работа с текстами: учебниками, справочниками, дополнительной литературой, а также проработка конспектов лекций;</li> <li>- выполнение домашних заданий и расчетов;</li> <li>- работа над темами для самостоятельного изучения;</li> <li>- участие в работе студенческих научных конференций, олимпиад;</li> <li>- подготовка к промежуточной аттестации.</li> </ul>
<p>Подготовка к промежуточной аттестации</p>	<p>Готовиться к промежуточной аттестации следует систематически, в течение всего семестра. Интенсивная подготовка должна начаться не позднее, чем за месяц-полтора до промежуточной аттестации. Данные перед экзаменом, экзаменом три дня эффективнее всего использовать для повторения и систематизации материала.</p>