ФГБОУ ВО "Воронежский государственный технический университет"

Кафедра полупроводниковой электроники и наноэлектроники

МЕТОДИЧЕСКИЕ УКАЗАНИЯ

к выполнению лабораторных работ № 1 - 4 по дисциплине «Системы автоматизированного проектирования» для студентов направления 11.03.04 «Электроника и наноэлектроника» (направленность «Микроэлектроника и твердотельная электроника») очной формы обучения



Воронеж 2017

Составители: канд. техн. наук А.В. Арсентьев, канд. техн. наук Е.Ю. Плотникова, ассистент А.А. Винокуров

УДК 621.382

Методические указания к выполнению лабораторных работ № 1 - 4 по дисциплине «Системы автоматизированного проектирования» для студентов направления 11.03.04 «Электроника и наноэлектроника» (направленность «Микроэлектроника и твердотельная электроника») очной формы обучения / ФГБОУ ВО «Воронежский государственный технический университет»; сост. А.В. Арсентьев, Е.Ю. Плотникова, А.А. Винокуров. Воронеж, 2017. 35 с.

В методических указаниях описывается процесс проектирования электрической схемы устройства, её функциональное моделирование, процессы создания библиотеки стандартных топологических ячеек и автоматической генерации топологии ядра интегральной схемы.

Методические указания подготовлены в электронном виде и содержатся в файле «МУ САПР.pdf».

Табл. 2. Ил. 39. Библиогр.: 4 назв.

Рецензент д-р техн. наук, проф. А.В. Строгонов

Ответственный за выпуск зав. кафедрой д-р физ.-мат. наук, проф. С.И. Рембеза

Издается по решению редакционно-издательского совета Воронежского государственного технического университета

© ФГБОУ ВО "Воронежский государственный технический университет", 2017

ЛАБОРАТОРНАЯ РАБОТА №1

Создание библиотечного компонента по ГОСТ

Задание на лабораторную работу.

1. Создать новый проект в схемотехническом редакторе S-Edit.

2. Создать новую ячейку, содержащую схему, символ и интерфейс элемента 2ИЛИ-НЕ, выполненного по КМОП-технологии.

3. Автоматически создать символ ячейки по имеющейся схеме.

Теоретические сведения

Структура проекта и основная терминология, используемые в S-Edit.

Проект (Design) является контейнером для всех элементов базы данных проекта.

Библиотека – это проект, ячейки которого ссылаются на другие внешние проекты. Проект может ссылаться на несколько библиотек, и любая библиотека может ссылаться на несколько проектов.

Ячейка является основной единицей проекта. Проект содержит много ячеек. Ячейки могут ссылаться на другие ячейки, но циклические ссылки не допускаются.

Представление (View) ячейки – компонент определения ячейки. Каждое представление обеспечивает разные способы описания ячеек. Типы представлений в S-Edit – это символ (symbol), схема (shematic) и интерфейс (interface).

Типы представлений:

Символьное представление (Symbol).

Графическое описание ячейки, которое используется в схемных представлениях других ячеек. Символьное представление содержит порты ячейки и неэлектрическую геометрию, которая показывает только внешний вид.

Схемное представление (Shematic).

Более детальное представление ячейки, содержащее порты, добавленные элементы, ссылки на порты в родительской ячейке на добавненные ячейки, соединительные проводники и графические объекты, не имеющие электрического смысла (например, прямоугольники, многоугольники, контуры, текстовые метки).

Интерфейсное представление (Interface).

Интерфейсное представление показывает определение электрической схемы, содержащей порты, необязательную изменяемую информацию об этих портах, а также набор определяемых пользователем параметров.

Каждое схемное и символьное представление в ячейке должно быть связано с определенным интерфейсом. При создании экземпляра ячейки необходимо указать интерфейс, которому он принадлежит. Ячейки могут быть связаны с несколькими интерфейсами.

Символьное представление содержит следующие элементы:

– Графическое изображение символа. Это изображение, которое отображается, когда символ вставлен в схему. Графическое изображение строится на основе примитивов (прямоугольники, многоугольники, линии, круги). Данные примитивы представлены на панели инструментов Draw (рис. 1.1).

Рис. 1.1. Панель инструментов Draw

Допустимые углы многоугольников (Polygon) и линий (Path) задаются при помощи панели инструментов Segment (рис. 1.2).



Рис. 1.2. Панель инструментов Segment

 Метки. Текстовые метки могут быть добавлены к символу и отображаются, когда символ добавлен в проект. Создаются при помощи инструмента Label на панели Draw.

 Порты определяют точки, через которые элемент соединяется со схемой, когда символ добавлен в проект.

Порядок выполнения работы

Создание схемного представления ячейки

1. Создаем новый проект (File/New Design), создаем новую ячейку (Cell/New View) (рис. 1.3). Вводим имя ячейки, имя интерфейса, имя представления, выбираем тип представления shematic.

New View			×
<u>D</u> esign:	NOR2	•	ОК
<u>C</u> ell:	NOR2_User	•	Cancel
View <u>t</u> ype:	schematic	•	
Interface name:	NOR2_Int1	•	
View <u>n</u> ame:	NOR2_Shem1		
Dis <u>a</u> ble name v	validation		

Рис. 1.3. Создание новой ячейки

2. В рабочей области создаем элемент 2ИЛИ-НЕ по КМОП технологии, добавляем порты (рис. 1.4). Для создания схемы используем транзисторы PMOS_3_3v и NMOS_3_3v из библиотеки Generic_250nm_Devices. Сохраняем проект.



Рис. 1.4. Схемное представление стандартной ячейки NOR2_User

Создание символьного представления ячейки

3. Создаем символьное представление ячейки. Выбираем Cell / New View и тип представления – Symbol (рис. 1.5).

New View			×
<u>D</u> esign:	NOR2	•	ОК
<u>C</u> ell:	NOR2_User	•	Cancel
View type:	symbol	•	
Interface name:	NOR2_Int1	•	
View <u>n</u> ame:	NOR2_Symb		
Dis <u>a</u> ble name v	validation		

Рис. 1.5. Создание символьного представления

4. Выбираем инструмент Вох на панели Draw и рисуем прямоугольник размером 4 на 4. Единицы измерения и масштаб сетки можно изменить в меню Setup / Preferences / General. На вкладке Technology / Schematic Units выбираются единицы измерения (дюймы, миллиметры, сантиметры, метры), а на вкладке Schematic Grids настраиваются параметры сетки (рис. 1.6).

Setup of NOR2		
□- □ Technology □ Schematic Colors □ Schematic Grids □ Schematic Units □ Schematic Page □ Protection □ Preferences □ General □ Mouse □ Selection □ Text Editor and Styles □ Design checks	Schematic Grids Major grid Size: 1.000 Style: Dots ✓ Display Snap grid Size: Size: 0.100 inch	Minor grid Si <u>z</u> e: 0.100 Stvle: Dots I Displa Autocalculate
Save Load	Hot spots Siz <u>e</u> : 0.040 inch	
{project setup folder}	•	Close

Рис. 1.6. Настройка параметров сетки

5. При помощи инструмента Circle рисуем круг, при помощи инструмента Path рисуем выводы (рис. 1.7). Изменить размеры или координаты центра выделенного объекта можно в окне Properties (рис. 1.8).

6. Выбираем инструмент Label и создаем метку «1» (рис. 1.7).

					\frown		
•					\sim		
*							
•		· _					

Рис. 1.7. Внешний вид элемента 2ИЛИ-НЕ

Pro	perties	Ø×
Cire	cle	
1	🗙 🕇 🖧 ş	ļþ
	. A _{BC} 🥏 🕸	
	System	
	Х	0.450
	Y	0.200
	Radius	0.050

Рис. 1.8. Свойства геометрических примитивов

7. Создаем порты аналогично тому, как это делалось при создании схемы (рис. 1.9). Присоединение портов к какимто линиям не является обязательным, их расположение выбирается из соображений удобства.



Рис. 1.9. Внешний вид элемента 2ИЛИ-НЕ с портами

8. В рабочей области также размещены 2 текстовых элемента: Cell и InstanceName. Cell показывает, к какой ячейке относится символ, и заполняется автоматически. InstanceName показывает имя, которое будет отображаться при использовании символа в схеме.

Выделим элемент InstanceName и в окне Prorerties в поле Value зададим имя NOR2User, а в списке Display выберем ValueOnly. Далее разместим InstanceName, как показано на рис. 1.10.



Рис. 1.10. Размещение элемента InstanceName

9. Сохраняем проект. Пользовательский библиотечный элемент 2ИЛИ-НЕ готов к использованию в других схемах.

создание

Автоматическое представления ячейки

Существует альтернативный способ создания символьного представления ячейки. Схемотехнический редактор S-Edit позволяет автоматически генерировать символы будущих элементов на основе портов схемы (на основе интерфейса).

Если символьное представление пусто, формируется прямоугольник с портами, соответствующими тем, которые присутствуют в схемном представлении, а также любыми другими, которые вы добавляете.

Команда для генерации символа: Cell / Generate Symbols... В списках группы Source выбираются проект, ячейка и интерфейс. Генерируемое символьное представление будет иметь то же имя, что и выбранный интерфейс.

В группе Ports можно назначить порты на любую из сторон символа. Имена портов записываются через запятую. Также можно задать порты, не существующие в схеме, на основе которой создается символ. Для этого нужно ввести имена портов и включить чекбокс Create non-existing ports.

В группе Preferences задаются ориентация портов по виду (например, входные – слева, выходные – справа), а также размеры символа. Заполним поля, как показано на рис. 1.11.

После нажатия кнопки Replace будет создан символ (рис. 1.12).

Generate Symbols	×
Source	Replace
Design: NOR2 Apply to all cells	Modify
Cell: NOR2_User	<u></u> ,
View: NOR2_Int1 -	Cancel
Ports	
Left side:	
Right side:	
Top side:	
Bottom side:	
Create non-existing ports	
Preferences	_
Input ports go on:	
Output ports go on:	
In/Out ports go on:	
Other ports go on:	
Global ports go on:	
Minimum symbol size: 6 x 6 snap grid units	
Port spaging: 2 snap grid units	
Whisker length: 4 snap grid units	
I Add text labels for ports I Add back-annotations for ports	
Image: Display cell name Image: Display ingtance name	
Font size: 0.33 snap grid units	

Рис. 1.11. Автоматическая генерация символа



Рис. 1.12. Сгенерированный символ

ЛАБОРАТОРНАЯ РАБОТА №2

Создание проекта с многоуровневой иерархией

Задание на лабораторную работу

1. Открыть проект, созданный в предыдущей работе.

2. Создать ячейку для элемента 2И-НЕ.

3. Создать ячейку D-триггера на основе элементов 2И-НЕ

4. Создать ячейку 4-разрядного двоичного счётчика на основе D-триггеров.

5. Провести временной анализ схемы. Убедиться в работоспособности счетчика.

Порядок выполнения работы

1. Ячейка для элемента 2И-НЕ с именем NAND2_User. Ячейка создается аналогично тому, как это делалось для 2ИЛИ-НЕ в лабораторной работе №1. Схема элемента представлена на рис. 2.1. Символ элемента представлен на рис. 2.2.

2. Создаем ячейку с именем D_Trigger. Создать схемное представление. Вставляем в схему 4 элемента NAND2_User. Вставка осуществляется аналогично вставке элементов из библиотек. В данном случае библиотекой служит сам проект NOR2 (рис. 2.3). Соединяем элементы, как показано на рис. 2.4. Добавляем входные (D, C) и выходные порты (Q, QN).



Рис. 2.1. Схема элемента 2И-НЕ



Рис. 2.2. Символ элемента 2И-НЕ



Рис. 2.3. Вставка пользовательских элементов 2И-НЕ

	NAND2User1	NAND2User3
· · · · · · · · · · · · · · · · · · ·		
	· · · · · · · · · · · · · · · ·	
	NAND2User2	NAND2User4
· · · · · · · · · · · ·		

Рис. 2.4. Схема D-триггера, тактируемого уровнем

3. Создаем символьное представление D-триггера (рис. 2.5).



Рис. 2.5. Символ элемента D-триггер

4. Созданный в п.3. D-триггер тактируется уровнем. Создадим ячейку D-триггера, тактируемого передним фронтом сигнала. Ячейка будет иметь имя D_Trigger_2. Схема представлена на рисунке 2.6, символ – на рисунке 2.7.



Рис. 2.6. Схема D-триггера, тактируемого фронтом



Рис. 2.7. Символ D-триггера, тактируемого фронтом

5. Создаем ячейку с именем Counter. Создаем схемное представление и рисуем схему 4-разрядного двоичного счётчика на D-триггерах, тактируемых фронтом (рис. 2.8).



Рис. 2.8. Схема 4-разрядного двоичного счетчика

6. Для того, чтобы убедиться в том, что схема построена верно, проведем временной анализ. Подробные сведения о моделировании в Tanner представлены в [2].

Ниже представлен код T-Spice, позволяющий провести моделирование данного счётчика после извлечения списка со-единений (Netlist):

.lib "C:\Tanner Tools v16.0\Process\Generic_250nm\Generic_ 250nm_Tech\Generic_250nm.lib" TT VU Vdd GND 5 VC C GND PULSE (0 5 0 10u 10u 100u 200u) VD D GND PULSE (0 5 0 10u 10u 150u 300u) .tran 10u 2m .print tran v(C) v(D) v(Q0) v(Q1) v(Q2) v(Q3)

Результат моделирования представлен на рисунке 2.9.

Инструментом просмотра иерархии проекта служит Hierarchy Navigator (рис. 2.10). В нем отображается иерархическая информация для активной ячейки, в том числе о родительских и дочерних ячейках, общем количестве каждой из них, и сколько раз они вставлены. Кнопка Full Hierarchy позволяет отобразить ячейки всех уровней, которые были использованы. В противном случае отображаются только ячейки предыдущего и последующего уровней иерархии.



Рис. 2.9. Результаты моделирования работы счётчика

Hierarchy 🤇	9 🗵
≤ →	
<u>C</u> ell: <u>D Tirgger</u>	
Eilter:	
Ancestors [1]	
Counter	
Descendants [5]	
Vdd PMOS_3_3V NMOS_3_3V NAND2_User Gnd	
Libraries Hierarchy	

Рис. 2.10. Hierarchy Navigator

ЛАБОРАТОРНАЯ РАБОТА №3

Создание библиотеки стандартных топологических ячеек

Задание на лабораторную работу

1. Создать библиотеку стандартных топологических ячеек.

2. Создать топологию элемента 2И-НЕ.

3. При помощи стандартного средства Design Rule Check (DRC) проверить стандартную ячейку на наличие ошибок.

4. Исправить найденные ошибки.

Методические указания к выполнению работы

1. Создание проекта. Топология интегральной схемы создается в редакторе L-Edit. В меню выбираем File / New / Design. В диалоговом окне (рис. 3.1) выбираем OpenAccess, задаем имя и расположение проекта. В Technology Reference выбираем TDB и выбираем технологический процесс, на основе которого будет создаваться топология (Generic_250nm). Библиотечный файл находится в каталоге\Tanner Tools v16.0\Process\Generic_250nm\Generic_250nm_Tech\TDB\ Generic 250nm TechSetup.tdb.

lew Design	×
Database © <u>O</u> penAc	ccess (multi-user, multiple files)
<u>N</u> ame:	LAB3_SAPR
<u>P</u> ath:	C:\Tanner_projects\LAB3_SAPR
C TDB (sir	ngle-user, single file)
C:\Tanr	er_projects\Generation\InvTPR\InvTPR.tdb
- Technology	reference
TDB	
TDB	eneric_250nm\Generic_250nm_Tech\TDB\Generic_250nm_TechSetup.tdb 💌
☑ One-tim	e import (do not create technology reference)
	OK Cancel

Рис. 3.1. Создание проекта

2. Создание ячейки. В меню выбираем Cell/New View, вводим имя проекта, представление – layout, текущий проект.

3. Настройка проекта. В меню Setup\Design (рис. 3.2) задаем следующие параметры:

1 Lambda = 1/8 Microns. Данное значение выбрано так, чтобы минимальный размер в схеме (длина канала) соответствовал 2 Lambda (250 нм).

Далее производится настройка сетки (рис. 3.3). Для удобства устанавливаем привязку мыши к узлам сетки, кратным λ .

	Interactive DI	RC Node H	lighlighting	Valid Vias
Technology	Grid	Selection	Drawing	Libraries
Technology name			Disp	lav units:
Generic 0.25um	Technology			ubda ▼
,	2,			
Technology units				
C Microns (🗅 Millimeters 🔿 🤉	Centimeters		
C Miļs 🛛 🤇	lnches 🤉 🤆	<u>O</u> ther: Lambda		
- Lambda per Int	emal Unit			
i internal Unit	= 1000	- Lambda		
Technology to mi	cron mapping			
Technology to mi — Lambda ————	cron mapping	1		
Technology to mi - Lambda	cron mapping	- Microns		
Technology to mi - Lambda	cron mapping $\frac{1}{8}$	- Microns		

Рис. 3.2. Настройка проекта

Object Snap	Interactive	DRC	Node Highlig	nting	Valid Via
Technology	Grid	Select	ion Dra	awing	Librarie
Grid display				_	
Major displayed grid	d: 10	0.000	Lambda		
Suppress major grid	l if less than:	20	Pixels		
Minor displ <u>a</u> yed grid	l: 1.	000	Lambda		
Suppress minor grid	l if less than:	8	Pixels		
Mouse grid					
Cursor type:	e	Snapping	C Smooth		
Mouse snap <u>g</u> rid:	1.	000	Lambda		
Manufacturing grid					
Manufa <u>c</u> turing grid:	0.	020	Lambda		
Dis <u>p</u> lay curves	using manufa	cturing grid			



Создаваемая топология будет содержать слои, представленные в табл. 3.1 и порты различной формы.

Таблица 3.1

СЛОИ СТАНЛАНТНОЙ ЯЧЕЙКИ ЭЛЕМЕНТА ДИЛИ-ПГ	Слои	станларти	юй яче	ейки	элемента	2ИЛИ-	-HE
--	------	-----------	--------	------	----------	-------	-----

Название	Цвет по	Назначение
	умолчанию	
SubCkt_ID		Область, ограничивающая подсхему
		для распознавания иерархических
		ячеек
N_Well	**	N-карман для создания р-канального
		транзистора
N_Implant		Высоколегированная область n-типа
P_Implant	8	Высоколегированная область р-типа
Active		Области истока и стока транзисто-
		ров
Poly		Область поликремния для создания
		затворов транзисторов
Contact		Контакт к активной области или по-
		ликремнию
Metal 1		Первый слой металлизации
Via1	.1.1 1.1	Контакт между первым и вторым
		слоями металлизации
Metal 2		Второй слой металлизации

Рисование осуществляется следующим образом.

Выбираем инструмент Вох, выбираем слой SubCkt_ID и рисуем прямоугольник размерами 26 на 52 λ (рис. 3.4), левый нижний угол прямоугольника должен находиться в начале координат. Аналогично рисуем остальные области с размерами, показанными на рис. 3.4. Области N-Implant в верхней части ячейки и P-Implant в нижней части размерами 7×9 λ нужны для создания контактов к подложке (или карману для n-канального транзистора).

Далее создаются области истока и стока (Active) и поликремниевые затворы (Poly). Области поликремния размером $6 \times 6 \lambda$ в центральной части ячейки создаются для формирования контактов (рис. 3.5, б).

Далее формируются контакты к активным областям и поликремнию. В библиотеке Generic 0.25um эти виды контактов не различаются и изображаются одним слоем (Contact). Контакты имеют форму квадрата со стороной 2λ . Контакты соединяются согласно электрической схеме слоем металла (Metall). Металл должен перекрывать контакт на 0,1 мкм со всех сторон, поэтому минимальную толщину слоя Metall примем равной 4λ (0,5 мкм). Контакты, соединенные слоем металла, представлены на рис. 3.5. Расстояние между дорожками Metall не должно быть меньше 0,35 мкм.



Рис. 3.4. Слои SubCkt_ID, N-Well, N-Implant, P-Implant (a); Active, Poly (б)



Рис. 3.5. Стандартная ячейка со слоями Contact и Metall (a); слой Metall отдельно (б)

Далее формируется второй слой металлизации (Metal2). Он соединяется с первым слоем контактами Via1. Via1 должен располагаться на пересечении слоев Metal1 и Metal2. Для данного технологического процесса Via имеет форму квадрата со стороной 0,35 мкм. Так как $\lambda = 0,125$ мкм и шаг рисования кратен λ , контакт можно нарисовать любым, а затем в его свойствах выставить ширину и высоту, равными 0,35 мкм. Топология со вторым слоем металлизации представлена на рис. 3.6.



Рис. 3.6. Стандартная ячейка со слоями Via1 и Metal2 (a); слой Metal2 отдельно (б)

Далее формируются порты. Имена портов в топологии должны соответствовать именам портов в схеме, построенной в S-Edit. Порты различного назначения должны иметь определенные размеры и размещаться в соответствующих слоях (табл. 3.2).

Для рисования порта необходимо выбрать инструмент Switch to drawing rectangular ports (P_{\Box}) и создать порт нужных размеров. Затем в свойствах порта указать нужный слой (табл. 3.2). Все порты имеют тип InOut.

Каждая стандартная ячейка должна содержать опорный порт (Abutment Port). Этот порт имеет имя «Abut», располагается в слое Icon/Outline и имеет размеры области SubCkt_ID. Левый нижний край порта должен находиться в начале коор-

динат. Этот порт ограничивает область стандартной ячейки при генерации топологии ИС. Опорный порт должен иметь одинаковую высоту во всех стандартных ячейках в библиотеке. Ширина опорного порта должна быть целым числом, кратным вертикальному шагу размещения.

Каждая ячейка должна иметь по 2 порта питания Vdd и Gnd, которые должны быть размещены на левой и правой границах ячейки (рис. 3.7). Имена портов питания указываются в диалоговом окне SPR Setup Dialog в полях Power Signal и Ground Signal.

Порты питания (Vdd или Gnd) должны иметь одинаковую высоту и положение относительно опорного порта в каждой стандартной ячейке в библиотеке. Ширина порта питания должна быть равна нулю.

Таблица 3.2

Имя порта	Слой	Ширина	Высота
		(Width), λ	(Height), λ
Abut	Icon/Outline	26	56
Vdd	Metall	0	6
Vdd	Metal2	6	0
Gnd	Metall	0	6
Gnd	Metal2	6	0
In1	Metal2	6	0
In2	Metal2	6	0
Out	Metal2	6	0

Параметры портов стандартной ячейки

После завершения рисования топологии стандартной ячейки необходимо проверить её на соответствие правилам проектирования. В меню Tools\DRC Setup выбирается файл с правилами Tanner Tools v16.0\Process\Generic_250nm\Generic_250nm_Tech\TDB\Rules\Generic_250nm_DRC-Main.cal. Далее запускается проверка нажатием кнопки DRC или в меню Tools\DRC. На рис. 3.8 представлены результаты проверки с ошибками (а) и без них (б).



Рис. 3.7. Стандартная ячейка с портами (а); порты отдельно (б)

Verification Navigator ×	Verification Navigator ×
I error NAND2_User ▼ ↔ ↔	I 🖤 🖉 😚 😨 🏂 詰 🗖 🔟 😈 🗙 × 0 errors NAND2_User 💽 🗢 🖙
□-□	No errors to display. Run DRC or Extract to find rule violations and display them here.

Рис. 3.8. Результаты проверки стандартной ячейки: a) ошибки есть; б) ошибок нет

На рис. 3.8, а приведена ошибка, которая показывает, что две дорожки слоя Metall расположены слишком близко друг к другу. Перечень возможных ошибок приведен в L-Edit 16 User Guide. Необходимо добиться отсутствия ошибок.

ЛАБОРАТОРНАЯ РАБОТА №4

Автоматическое размещение и трассировка топологии ядра интегральной схемы

Задание на лабораторную работу

1. Извлечь текстовое описание в формате .tpr из схемы, созданной в S-Edit.

2. Настроить параметры автоматического размещения и трассировки и получить топологию ядра интегральной схемы.

Методические указания к выполнению работы

1. Для автоматического размещения и трассировки топологии ядра ИС библиотека должна содержать специальные стандартные ячейки: RowCrosser, Tie-to-Power и Tie-to-Ground.

Ячейка Row Crosser представляет собой стандартную ячейку, которая содержит порт Cross и размещается для того, чтобы обеспечить соединения между каналами коммутации, расположенными выше и ниже строки стандартных ячеек (рис. 4.1).

Ячейки Tie-to-Power (связь с питанием) и Tie-to-Ground (связь с землей) необходимы там, где стандартная ячейка имеет вывод, непосредственно связанный с Vdd или Gnd. По умолчанию эти ячейки имеют имена TieHigh, TieLow.

Топология ячейки RowCrosser представлена на рис. 4.2. Высоты областей N_Well, N_Implant, P_Implant, Active, Metall и портов Abut, Vdd, Gnd должны соответствовать высотам этих областей в ячейке NAND2_User. Ширина ячейки RowCrosser должна обеспечивать прохождение через неё дорожки Metal2 и не нарушать правила DRC.



Рис. 4.1. Использование ячеек RowCrosser для коммутации



Рис. 4.2. Топология ячейки RowCrosser: a) слои N_Well, N-Implant, P-Implant, Active; б) слои Contact, Metal1, Metal2 с портами

Топология ячеек TieHigh и TieLow представлена на рис. 4.3. Размеры областей соответствуют размерам в ячейках RowCrosser и NAND2_USER.



Рис. 4.3. Топология ячеек TieHigh (a) и TieLow (б)

Из схемы 4-разрядного двоичного счетчика, созданного в лабораторной работе №2, извлекаем текстовое описание для автоматического построения топологии.

В редакторе S-Edit открываем проект со счётчиком, в меню выбираем File/Export/Export TPR..., в окне Export TPR (рис. 4.4) задаем путь и имя для создаваемого файла и нажимаем Export.

·		Cancel
Export source		
Design:	NorTPR.	
<u>C</u> ell:	Cell0 💌	
<u>V</u> iew:	schematic 🗨	
Export contro	l property	
Property nam	ne: TPR 💌	

Рис. 4.4. Настройка экспорта текстового описания из электрической схемы

2. В проекте L-Edit, содержащем созданную в лабораторной работе №3 библиотеку, выбираем Tools/SPR/SPR Setup. В окне (рис. 4.5) в поле Netlist file указываем путь к файлу, созданному в пункте 1, с расширением tpr.

NOR 2\Count	er.tor	Browse	
Read netlist, sh	ow mapping table;	Mapping Table,	Cancel
	ializo cotus dialogos	Initialize Setup	
Read netlist, init Remove pov	ver and ground nets f	from the netlist	
Read netlist, init Remove pov and power a reading Power/Ground n	ver and ground nets f and ground pins from ode and port names	from the netlist the gates during	1
Read netiist, init Remove pov and power a reading Power/Ground n Power signal:	ver and ground nets f and ground pins from ode and port names	from the netlist the gates during	<u>C</u> ore Setup

Рис. 4.5. Настройка автоматического размещения и трассировки (SPR)

3. В диалоге Tools/SPR/SPR Setup/Core Setup выбираем двухуровневую металлизацию и определяем слои, которыми будет производиться трассировка (рис. 4.6). Сохраняем изменения.

PR Core Setup	2
General Lay	ers Design Rules Placement Global Signals Power I/O Signals
2-layer	routing C 3-layer routing Dever-the-cell routing Reset
Signal routi	ing layers
H2 Jayer:	Grid Layer 👻
	V-H2 via layer: Poly_keepout
V layer:	Metal2
	H <u>1</u> -V via layer: Via 1 🗨
H1 layer:	Metal1 •
- Power/Gro	und routing layer
Vdd/Gnd	Metal1
Layer-to-lay	ver area capacitances (aF/sq. micron)
V layer to H	12 layer: 65.2
H1 layer to	Vlayer: 0.0
	ОК Отмена

Рис. 4.6. Настройка трассировочных слоев

4. В диалоге Tools/SPR/Place and Route выбираем размещение и трассировку ядра (Core place and route). Для размещения контактных площадок (Padframe generation, Pad route) в библиотеке должны присутствовать дополнительные ячейки, которые не создавались в лабораторных работах, поэтому эти опции размещения и трассировки нужно отключить.

SPR позволяет автоматически оптимизировать топологию ядра. Возможны варианты размещения топологии в виде квадрата или с фиксированной длиной строки (Width) или фиксированным количеством строк (Hight).

После завершения построения топологии на экран будет выведена статистика затраченных трассировочных ресурсов (рис. 4.8). Рассмотрите различные варианты трассировки и размещения и выберете оптимальный. Один из вариантов топологии ядра ИС представлен на рис. 4.9.

Global input signal rout	ing		<u>Eun</u>
Core configuration			Accept
Constraint	Square	-	
Row lengt <u>h</u> (Lambda)		1500.000	Cancel
Number of rows		0	
Indent middle rows	Middle/top rațio:	1.0	Setup
Placement			
✓ Optimization	Optimization factor:	1.0	
Optimization	Netlength and Via	Reduction 👻	
	, -		
Output options			
		Province	
		DIOWSE	
Write SDF file sdf		Browse	

Рис. 4.7. Настройка оптимизации размещения и трассировки

SPR Complete	×
Standard Cell Place and Route done : - Core cell "Core" generated.	
Number of standard cells : 40 Number of signals in netlist : 43 Consistential architet : 600.05 yr. 510.00	
Longth of all nets in core : 44075.21 Lambda Generated vias in core : 587	
SPR elapsed time : 0:00:02	
OK Summary	

Рис. 4.8. Отчет о размещении и трассировке ядра интегральной схемы



Рис. 4.9. Топология ядра интегральной схемы

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. L-Edit 16 User Guide.

2. Арсентьев А.В. Методические указания к выполнению лабораторных работ № 1 – 4 по дисциплине «Основы проектирования электронной компонентной базы» [Текст] / А.В. Арсентьев, Е.Ю. Плотникова, А.А. Винокуров. – Воронеж: ВГТУ. – 2016. – 26 с.

3. Уейкерли, Дж.Ф. Проектирование цифровых устройств [Текст] / Дж.Ф. Уейкерли. – М.: Постмаркет. – 2002. Т.2. – 528 с.

4. Бордаков Е.В. Проектирование топологии и технологии интегральных микросхем. Часть 1 [Текст] / Е.В. Бордаков, В.И. Пантелеев. – Воронеж: ВГТУ. – 2005. – 243 с.

СОДЕРЖАНИЕ

Лабораторная работа № 1	1
Лабораторная работа № 2	12
Лабораторная работа № 3	18
Лабораторная работа № 4	27
Библиографический список	35

МЕТОДИЧЕСКИЕ УКАЗАНИЯ

к выполнению лабораторных работ № 1 - 4 по дисциплине «Системы автоматизированного проектирования» для студентов направления 11.03.04 «Электроника и наноэлектроника» (направленность «Микроэлектроника и твердотельная электроника») очной формы обучения

> Составители: Арсентьев Алексей Владимирович Плотникова Екатерина Юрьевна Винокуров Александр Александрович

> > В авторской редакции

Подписано к изданию 17.01.2017 Уч.-изд. л. 2,2

ФГБОУ ВО "Воронежский государственный технический университет" 394026 Воронеж, Московский просп., 14