

**МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ
РОССИЙСКОЙ ФЕДЕРАЦИИ**

Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Воронежский государственный технический университет»

УТВЕРЖДАЮ

Декан факультета _____ В.А. Небольсин
«30» августа 2017 г.

РАБОЧАЯ ПРОГРАММА

дисциплины

«Проектирование ИС на функциональном и логическом уровнях»

Направление подготовки 28.03.02 Наноинженерия

Профиль Инженерные нанотехнологии в приборостроении

Квалификация выпускника Бакалавр

Нормативный период обучения 4 года

Форма обучения очная

Год начала подготовки 2017

Автор программы _____ /Строгонов А.В./

Заведующий кафедрой
Полупроводниковой электроники и
наноэлектроники _____ /Рембеза С.И./

Руководитель ОПОП _____ /Липатов Г.И./

Воронеж 2017

1. ЦЕЛИ И ЗАДАЧИ ДИСЦИПЛИНЫ

1.1. Цели дисциплины:

формирование у обучающихся знаний о методах синтеза и логического моделирования цифровых ИС, а также верификации моделей ИС на различных уровнях проектирования.

1.2. Задачи изучения дисциплины:

ознакомление обучающихся с методами автоматизированного схемотехнического и топологического проектирования ИС — выполнять описание электрических схем на схемотехническом уровне; разрабатывать символьные представления для описания функциональных блоков; составлять иерархическое описание проекта на структурном уровне; применять тестовые схемы для моделирования характеристик схем; определять параметры, характеризующие работу схем, по полученным зависимостям; работать в графическом схемотехническом редакторе.

2. МЕСТО ДИСЦИПЛИНЫ В СТРУКТУРЕ ОПОП

Дисциплина «Проектирование ИС на функциональном и логическом уровнях» относится к дисциплинам вариативной части блока Б1 учебного плана.

3. ПЕРЕЧЕНЬ ПЛАНИРУЕМЫХ РЕЗУЛЬТАТОВ ОБУЧЕНИЯ ПО ДИСЦИПЛИНЕ

Процесс изучения дисциплины «Проектирование ИС на функциональном и логическом уровнях» направлен на формирование следующих компетенций:

ПКВ-1 — Способность владеть современными методами моделирования и проектирования приборов и устройств микро- и наноэлектроники, способностью к восприятию, разработке и критической оценке новых способов их проектирования;

ПКВ-5 — Способность осуществлять формализацию и алгоритмизацию функционирования исследуемой системы.

Компетенция	Результаты обучения, характеризующие сформированность компетенции
ПКВ-1	<p>Знает основные законы и теоремы алгебры логики Буля, методы минимизации, основные логические элементы; маршрут проектирования аналого-цифровых БИС; основы высокоуровневого языка описания аппаратных средств (VHDL).</p> <p>Умеет настраивать программные средства с открытым исходным кодом для проектирования цифровых устройств на функциональном и логическом уровнях; строить функциональные модели цифровых устройств с применением языка VHDL и мегафункций в САПР ПЛИС Quartus II.</p> <p>Владеет навыками работы с САПР ПЛИС Quartus II и отладочными средствами;</p>

		ка на передаточных вентилях. Шифраторы/дешифраторы, мультиплексоры/ демultipлексоры, коммутаторы, компараторы по КМОП-технологии. Использование мультиплексоров для реализации различных логических функций. Схемы сравнения кодов. Полусумматоры и сумматоры. Комбинационные сумматоры. Многоразрядные сумматоры с ускоренным переносом.				
2	Особенности проектирования триггеров цифровых КМОП БИС	Особенности проектирования КМОП-триггеров БИС, тактируемых уровнем синхросигнала. Особенности проектирования КМОП-триггеров БИС, тактируемых фронтом синхросигнала.	4	4	9	17
3	Особенности проектирования последовательностных цифровых устройств КМОП БИС	Последовательностные логические схемы. Конечные автоматы. Сдвиговые регистры, счетчики, блоки ОЗУ, ПЗУ.	4	4	9	17
4	Особенности проектирования сложно-функциональных цифровых блоков КМОП БИС на функциональном и логическом уровнях	Логические элементы схем потоковой обработки информации: сумматоры/вычитатели, умножители, делители. Умножение с накоплением методом правого сдвига. Схемы ускоренного умножения. Параллельные векторные умножители.	4	4	9	17
5	Особенности схемотехники сложно-функциональных аналоговых блоков КМОП БИС	Сложно-функциональные блоки АЦП/ЦАП, ФАПЧ в составе цифровых БИС. Программируемые логические матрицы, их использование для реализации логических функций.	4	4	9	17
6	Программные средства с открытым исходным кодом для проектирования цифровых устройств на логическом уровне	Программный инструмент Yosys для Verilog-синтеза в базис БИС и ПЛИС. Маршрут проектирования заказных цифровых БИС Qflow с использованием программных инструментов с открытым кодом Yosys/ABC, GrayWolf, Qrouter, Magic.	4	4	9	17
7	Индустриальные САПР для проектирования смешанных аналого-цифровых БИС	Описание САПР TannerEDA. Маршрут проектирования в САПР TannerEDA. Понятие о конструктивно-технологических нормах и правилах проектирования по масштабируемой КМОП-технологии. Основные элементы конструкции топологии заказных КМОП БИС	4	4	9	17
8	Высокоуровневые языки HDL для описания цифровых устройств на функциональном и логи-	Положение в области языков функционального описания. Роль функционального описания в САПР. Общее содержание языка VHDL: синтаксис, базовые конструкции, примеры реализаций.	4	4	9	17

	ческом уровнях.	Стили описания аппаратурных архитектур. Поведенческое описание, потоковое описание, структурное описание.				
9	Примеры проектирования цифровых устройств на логическом уровне с использованием языка VHDL в САПР Altera Quartus II	Проектирование комбинационных устройств на языке VHDL: дешифраторы, шифраторы, мультиплексоры, сумматоры, преобразователи кодов. Проектирование последовательностных устройств на языке VHDL: защелки, триггеры, регистры, счетчики, блоки памяти (ОЗУ, ПЗУ) конечные автоматы. Конечные автоматы. Диаграммы переходов. Автоматы Мили. Автоматы Мура. Методы кодирования конечных автоматов.	4	4	9	17
Итого			36	36	81	153

5.2 Перечень лабораторных работ

1. Общая методика синтеза комбинационных схем. Минимизация булевых функций. Исследование свойств комбинационных схем на испытательных стендах.
2. Синтез и анализ функционирования триггеров КМОП БИС тактируемых уровнем и фронтом синхросигнала.
3. Исследование свойств последовательностных устройств на испытательных стендах с применением VHDL в САПР Quartus II.
4. Автоматизированные методы проектирования последовательностных схем. Примеры синтеза и анализа.
5. Проект АЦП/ЦАП с использованием сложно-функциональных блоков для реализации в базисе цифровой БИС.
6. Настройка маршрута проектирования заказных БИС Qflow.
7. Проектирование 4-разрядного АЦП последовательного приближения. в САПР БИС Tanner.
8. Проектирование последовательностных устройств на языке VHDL: различные варианты реализации защелок, триггеров, регистров, счетчиков. Проектирование модулей памяти (ОЗУ, ПЗУ).
9. Реализация цифровых устройств на мегафункциях САПР Altera Quartus II.

6. ПРИМЕРНАЯ ТЕМАТИКА КУРСОВЫХ ПРОЕКТОВ (РАБОТ) И КОНТРОЛЬНЫХ РАБОТ

В соответствии с учебным планом освоение дисциплины не предусматривает выполнение курсового проекта (работы) или контрольной работы.

7. ОЦЕНОЧНЫЕ МАТЕРИАЛЫ ДЛЯ ПРОВЕДЕНИЯ ПРОМЕЖУТОЧНОЙ АТТЕСТАЦИИ ОБУЧАЮЩИХСЯ ПО ДИСЦИПЛИНЕ

7.1. Описание показателей и критериев оценивания компетенций на различных этапах их формирования, описание шкал оценивания

7.1.1 Этап текущего контроля

Результаты текущего контроля знаний и межсессионной аттестации оценива-

ются по следующей системе: «аттестован» или «не аттестован».

Компетенция	Результаты обучения, характеризующие сформированность компетенции	Критерии оценивания	Аттестован	Не аттестован
ПКВ-1	Знать основные законы и теоремы алгебры логики Буля, методы минимизации, основные логические элементы; маршрут проектирования аналого-цифровых БИС; основы высокоуровневого языка описания аппаратных средств (VHDL)	Защита лабораторной работы. Тест	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
	Уметь настраивать программные средства с открытым исходным кодом для проектирования цифровых устройств на функциональном и логическом уровнях; строить функциональные модели цифровых устройств с применением языка VHDL и мегафункций в САПР ПЛИС Quartus II	Защита лабораторной работы. Тест	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
	Владеть навыками работы с САПР ПЛИС Quartus II и отладочными средствами; с системой визуально-имитационного моделирования Matlab/Simulink и пакетом расширения Altera DSP Builder	Защита лабораторной работы. Тест	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
ПКВ-5	Знать основные схемотехнические решения, используемые для разработки комбинационных и последовательностных цифровых устройств по ТТЛ- и КМОП-технологиям; основные схемотехнические решения, используемые для разработки аналого-цифровых устройств; основные функциональные узлы микропроцессорных устройств для реализации в базе ПЛИС	Защита лабораторной работы. Тест	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
	Уметь строить имитационные модели сложнофункциональных цифровых устройств в системе Matlab/Simulink. с применением пакетов расширения Altera DSP Builder САПР Altera Quartus II	Защита лабораторной работы. Тест	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
	Владеть навыками работы с библиотекой цифровых устройств на транзисторно-транзисторной логике (ТТЛ) серии 7400 фирмой Texas Instruments ИС средней степени интеграции	Защита лабораторной работы. Тест	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах

7.1.2 Этап промежуточного контроля знаний

Результаты промежуточного контроля знаний оцениваются в 8 семестре для очной формы обучения по двухбалльной системе:

«зачтено»

«не зачтено».

Компетенция	Результаты обучения, характеризующие сформированность компетенции	Критерии оценивания	Зачтено	Не зачтено
-------------	-------------------------------------------------------------------	---------------------	---------	------------

ПКВ-1	Знать основные законы и теоремы алгебры логики Буля, методы минимизации, основные логические элементы; маршрут проектирования аналого-цифровых БИС; основы высокоуровневого языка описания аппаратных средств (VHDL).	Тест	Выполнение теста на 70-100 %	Выполнение менее 70 %
	Уметь настраивать программные средства с открытым исходным кодом для проектирования цифровых устройств на функциональном и логическом уровнях; строить функциональные модели цифровых устройств с применением языка VHDL и мегафункций в САПР ПЛИС Quartus II.	Решение стандартных практических задач	Продемонстрирован верный ход решения в большинстве задач	Задачи не решены
	Владеть навыками работы с САПР ПЛИС Quartus II и отладочными средствами; с системой визуально-имитационного моделирования Matlab/Simulink и пакетом расширения Altera DSP Builder.	Решение прикладных задач в конкретной предметной области	Продемонстрирован верный ход решения в большинстве задач	Задачи не решены
ПКВ-5	Знать основные схемотехнические решения, используемые для разработки комбинационных и последовательностных цифровых устройств по ТТЛ- и КМОП-технологиям; основные схемотехнические решения, используемые для разработки аналого-цифровых устройств; основные функциональные узлы микропроцессорных устройств для реализации в базе ПЛИС;	Тест	Выполнение теста на 70-100 %	Выполнение менее 70 %
	Уметь строить имитационные модели сложнофункциональных цифровых устройств в системе Matlab/Simulink. с применением пакетов расширения Altera DSP Builder САПР Altera Quartus II;	Решение стандартных практических задач	Продемонстрирован верный ход решения в большинстве задач	Задачи не решены
	Владеть навыками работы с библиотекой цифровых устройств на транзисторно-транзисторной логике (ТТЛ) серии 7400 фирмой Texas Instruments ИС средней степени интеграции;	Решение прикладных задач в конкретной предметной области	Продемонстрирован верный ход решения в большинстве задач	Задачи не решены

7.2 Примерный перечень оценочных средств (типовые контрольные задания или иные материалы, необходимые для оценки знаний, умений, навыков и (или) опыта деятельности)

7.2.1 Примерный перечень заданий для подготовки к тестированию

Задание 1

Какое последовательностное устройство представляет фрагмент VHDL-кода?

```

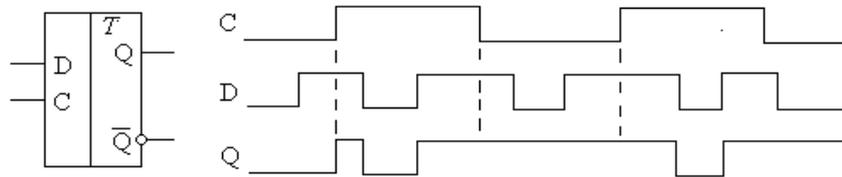
architecture behav of ff is
begin
process (clk) begin
if (clk'event and clk = '1') then
q <= data;
end if;
end process;
end behav;

```

1	2	3	4
D-триггер	T-триггер	JK-триггер	RS-триггер

Задание 2.

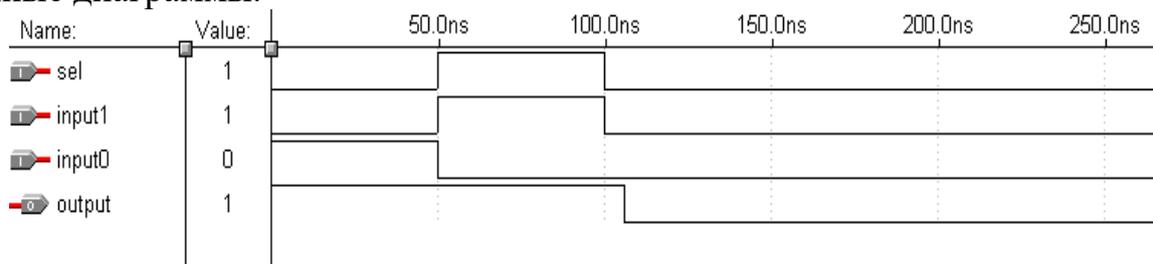
По условному графическому изображению и временной диаграмме определите функциональное назначение логического элемента



1	2	3	4
D-триггер тактируемый уровнем синхросигнала	D-триггер тактируемый фронтом синхросигнала	JK-триггер	T-триггер

Задание 3

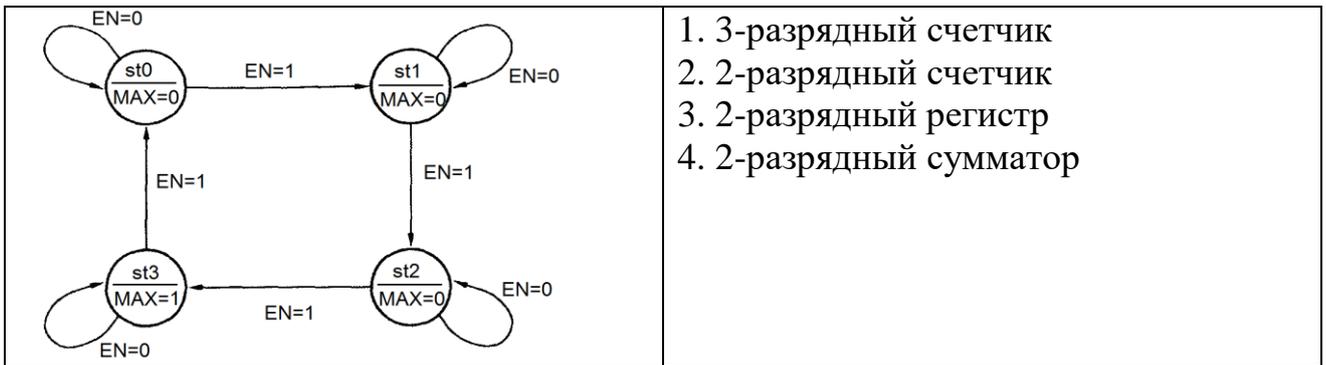
Принцип действия, какого комбинационного устройства, описывают данные временные диаграммы.



1	2	3	4
2-разрядный счетчик	2-разрядный регистр	D-триггер	Мультиплексор 2 в 1

Задание 4

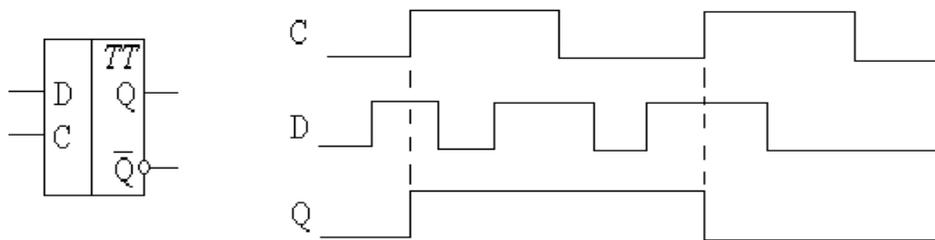
Диаграмма состояний, какого последовательного устройства представлена на рисунке?



1. 3-разрядный счетчик
2. 2-разрядный счетчик
3. 2-разрядный регистр
4. 2-разрядный сумматор

Задание 5

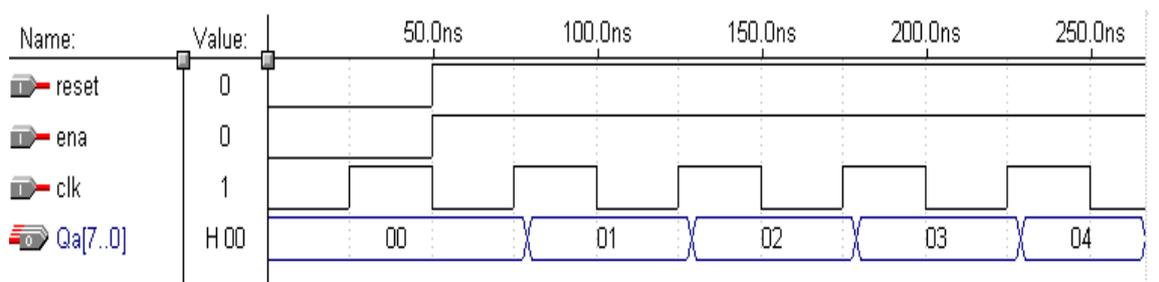
По условному графическому изображению и временной диаграмме определите функциональное назначение логического элемента.



1	2	3	4
D-триггер тактируемый фронтом синхросигнала	D-триггер тактируемый уровнем синхросигнала	JK-триггер	T-триггер

Задание 6

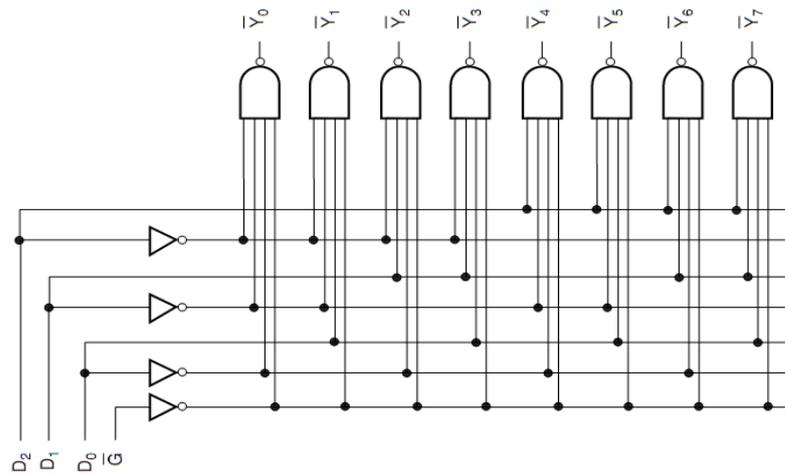
Принцип действия, какого последовательного устройства, описывают представленные временные диаграммы.



1	2	3	4
8-разрядный счетчик	8-разрядный регистр	Сумматор	Мультиплексор 8 в 1

Задание 7

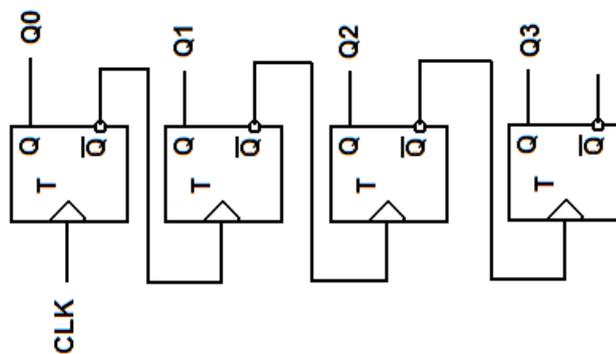
По электрической схеме определите ее функциональное назначение.



1	2	3	4
Дешифратор 3 в 8 с сигналом разрешения	Шифратор 8 в 3	Мультиплексор 8 в 3	Прямоугольный шифратор

Задание 8

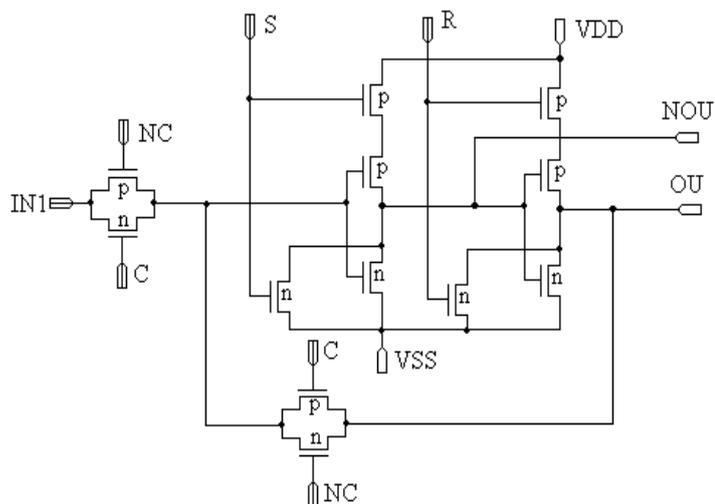
По электрической схеме последовательного устройства определите его функциональное назначение.



1	2	3	4
4-разрядный двоичный суммирующий счетчик с последовательным переносом	4-разрядный регистр с параллельной загрузкой данных	4-разрядный синхронный двоичный суммирующий счетчик с последовательной логикой разрешения	4-разрядный двоично-десятичный счетчик

Задание 9.

По электрической схеме последовательного устройства определите его функциональное назначение.

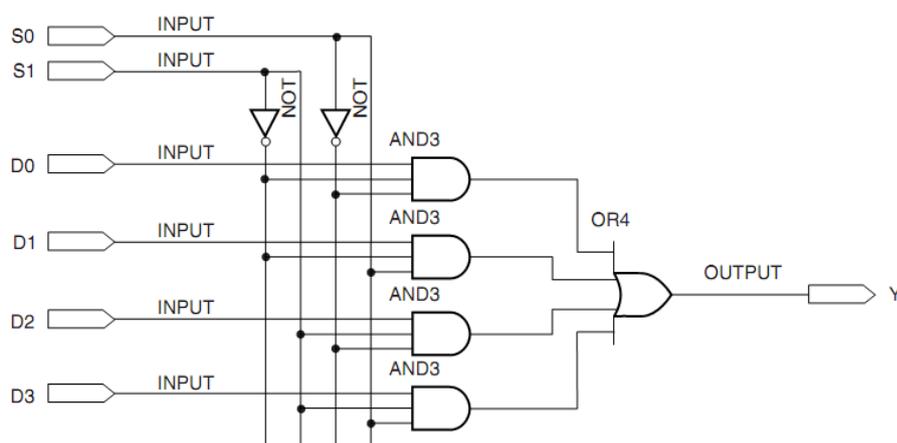


1	2	3	4
Одноступенчатый D-триггер на проходных ключах	Одноступенчатый D-триггер на проходных ключах с асинхронным входом Reset	Одноступенчатый D-триггер на проходных ключах с асинхронным входом Set	Одноступенчатый D-триггер на проходных ключах с асинхронными входами Set и Reset

Задание 10.

Какая схема защищает входные буферы интегральной схемы от статического электричества по КМОП-технологии.

По электрической схеме определите ее функциональное назначение.



1	2	3	4
Мультиплексор 4 в 1	Демультимплексор 4 в 1	Шифратор 4 в 1	Дешифратор 1 в 4

7.2.2 Примерный перечень заданий для решения стандартных задач

Задание 1.

Какое последовательностное устройство реализовано? С использованием фрагмента

VHDL-кода разработайте проект в САПР ПЛИС Altera Quartus II.

```

BEGIN
PROCESS (clk)
BEGIN
IF(clk'EVENT AND clk = '1') THEN IF load = '1' then cnt<= data;
ELSE cnt<=cnt+'1'; END IF; END IF; END PROCESS;
Qa <= cnt;
END a;

```

1	2	3	4
8-разрядный счетчик с асинхронной загрузкой данных	Реверсивный счетчик	8-разрядный счетчик с синхронной загрузкой данных	Вычитающий 8-разрядный счетчик

Задание 2.

Какое последовательностное устройство реализовано? С использованием фрагмента VHDL-кода разработайте проект в САПР ПЛИС Altera Quartus II. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

```

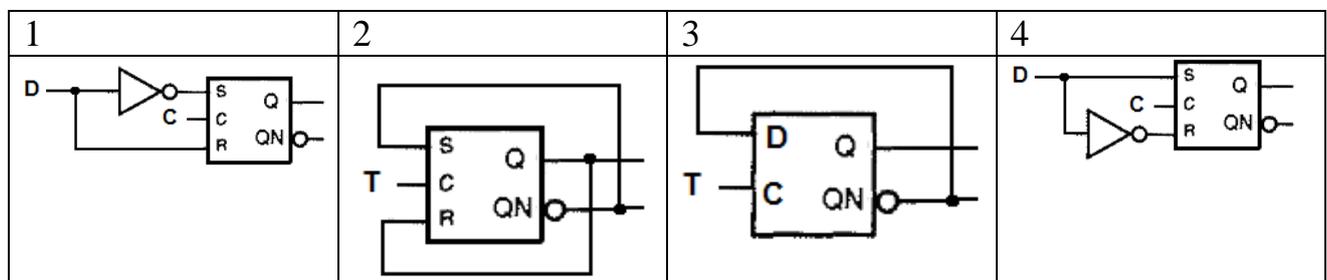
BEGIN
latch : PROCESS (ena, data)
BEGIN
IF (ena = '1') THEN q <= data; END IF;
END PROCESS latch;

```

1	2	3	4
Защелка	D-триггер	T-триггер	Инвертор

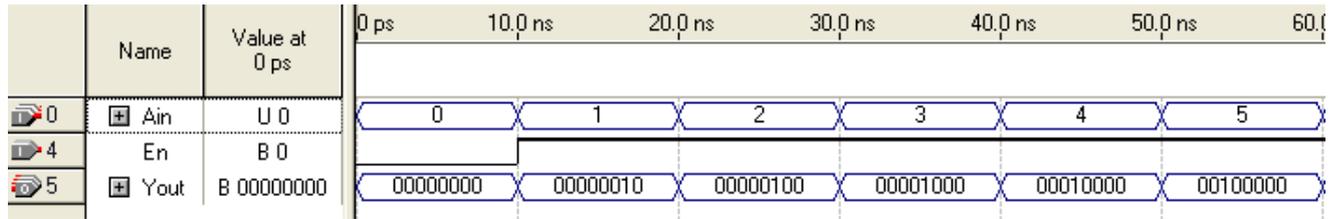
Задание 3.

Сконструируйте из синхронного RS-триггера D-триггер, тактируемый уровнем синхросигнала. Разработайте проект устройства с использованием VHDL-кода в САПР ПЛИС Altera Quartus II. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.



Задание 4.

По временной диаграмме определите, работу какого функционального устройства она описывает? Разработайте проект устройства с использованием VHDL-кода в САПР ПЛИС Altera Quartus II. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.



1	2	3	4
8-разрядный регистр	Шифратора 8 в 3	Дешифратора 3 в 8	8-разрядный счетчик

Задание 5.

По фрагменту VHDL-кода определите, какое последовательностное устройство представлено? С использованием фрагмента VHDL-кода разработайте проект в САПР ПЛИС Altera Quartus II. Проведите функциональное моделирование. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

```

PROCESS (clk)
VARIABLE cnt : STD_LOGIC_VECTOR(7 downto 0);
VARIABLE direction : INTEGER;
BEGIN
    IF (up_down = '1') THEN direction := 1;
    ELSE direction := -1; END IF;
    IF (clk'EVENT AND clk = '1')
    THEN cnt := cnt + direction; END IF; qd <= cnt;
END PROCESS;

```

1	2	3	4
Двоичный счетчик	Реверсивный счетчик	Регистр	Вычитающий счетчик

Задание 6.

По коду языка VHDL определите синтезируемое функциональное устройство. Реализуйте аналогичный проект на логических элементах в САПР ПЛИС Altera Quartus II. Проведите функциональное моделирование. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

```

ENTITY sel IS
    PORT (d0, d1, d2, d3 : IN STD_LOGIC;
          s : IN INTEGER RANGE 0 TO 3;
          output : OUT STD_LOGIC);
END sel;
ARCHITECTURE maxpld OF sel IS
BEGIN
WITH s SELECT
    output <=
        d0 WHEN 0,
        d1 WHEN 1,
        d2 WHEN 2,
        d3 WHEN 3;

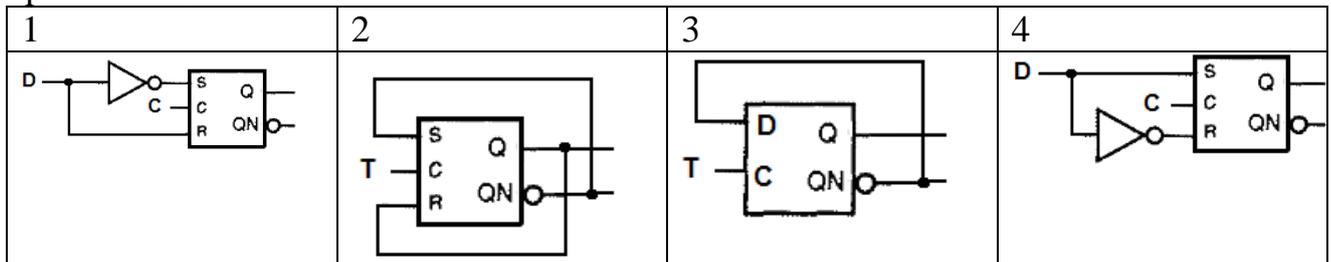
```

END maxpld;

1	2	3	4
Мультиплексор 4 в 1	Мультиплексор 6 в 1	Шифратор 4 в 1	Дешифратор 2 в 4

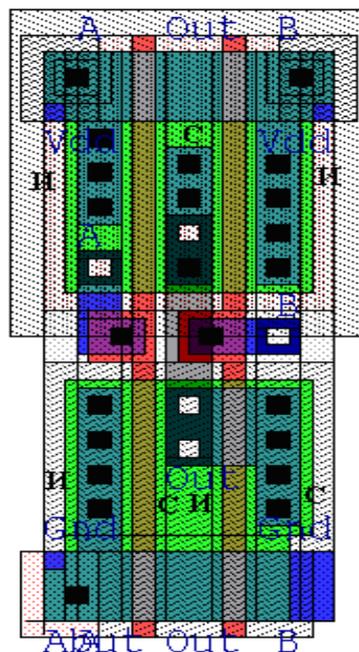
Задание 7.

Сконструируйте из синхронного RS-триггера Т-триггер, тактируемый уровнем синхросигнала.



Задание 8.

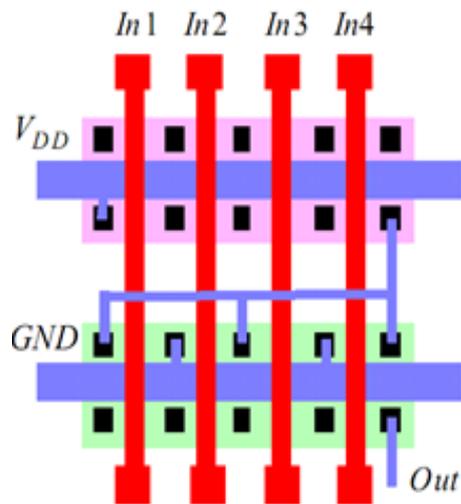
По топологическому чертежу логического элемента по КМОП-технологии с N-карманом восстановите электрическую схему и проведите схемотехническое моделирование переходных процессов в САПР Tanner EDA.



1	2	3	4
2И-НЕ	2ИЛИ-НЕ	2И	Инвертор

Задание 9.

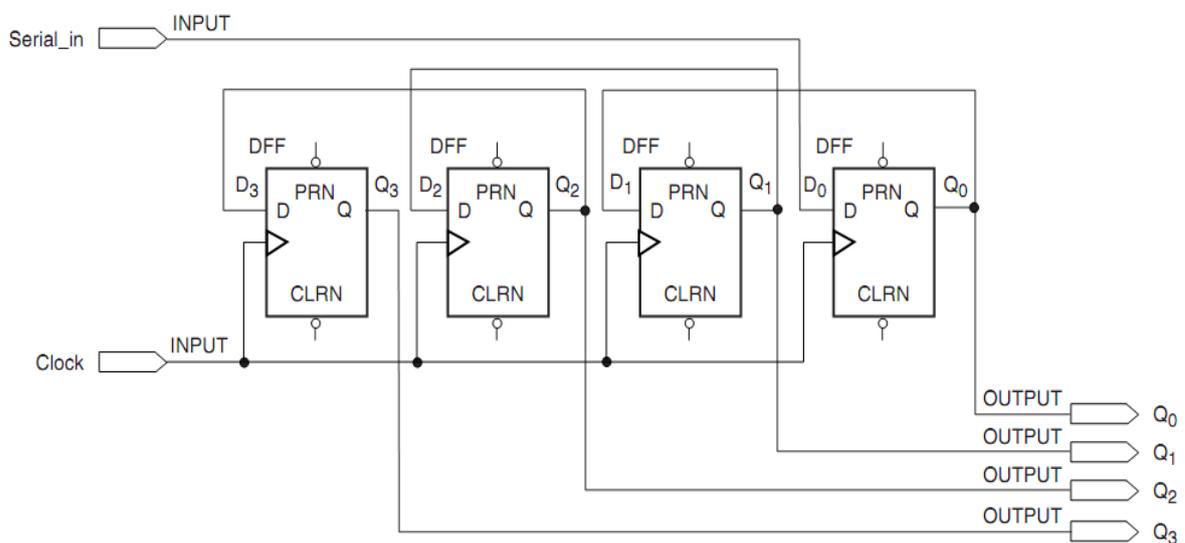
По топологическому чертежу логического элемента определите его функциональное назначение и проведите схемотехническое моделирование переходных процессов в САПР Tanner EDA. Постройте передаточную характеристику вентиля.



1	2	3	4
4 И	4 И-НЕ	4 ИЛИ-НЕ	4 ИЛИ

Задание 10.

Структурная схема, какого последовательного устройства представлена на рисунке. Разработайте на основе этой схемы проект в САПР ПЛИС Altera Quartus II. Проведите функциональное моделирование.



1	2	3	4
4-разрядный регистр со сдвигом в лево	4-разрядный регистр со сдвигом в право	4-разрядный суммирующий счетчик	4-разрядный вычитающий счетчик

7.2.4 Примерный перечень вопросов для подготовки к зачету

Не предусмотрено учебным планом

7.2.5 Примерный перечень заданий для решения прикладных задач

Задача № 1

Разработайте проект цифрового устройства с использованием языка описания аппаратуры VHDL в САПР ПЛИС Quartus II: преобразователь 10-разрядного двоичного числа в 3-х разрядное двоично-десятичное число. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

Задача № 2

Разработайте проект цифрового устройства с использованием языка описания аппаратуры VHDL в САПР ПЛИС Quartus II: преобразователь 3-разрядного двоично-десятичного числа в 10-разрядный двоичный код. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

Задача № 3

Разработайте проект цифрового устройства с использованием языка описания аппаратуры VHDL в САПР ПЛИС Quartus II: шинный мультиплексор 4 в 1. Разрядность шины 4 бита. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

Задача № 4

Пример проектирования цифрового устройства с использованием мегафункции и языка описания аппаратуры VHDL в САПР ПЛИС Quartus II: проектирование ОЗУ и ПЗУ емкостью 64 бита. Сформировать файл прошивки. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

Задача № 5

Разработайте проект цифрового устройства с использованием примитивов и языка описания аппаратуры VHDL в САПР ПЛИС Quartus II: одноклапный триггер с асинхронными входами Set (установка) и Reset (сброс). Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

Задача № 6

Разработайте проект цифрового устройства с использованием примитивов и языка описания аппаратуры VHDL в САПР ПЛИС Quartus II: одноклапный триггер с асинхронными входами установки (Set) и сброса (Reset). Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

Задача № 7

Разработайте проект цифрового устройства с использованием высокоуровневого языка Verilog в САПР ПЛИС Quartus II: триггер, тактируемый фронтом синхронимпульса с асинхронной установкой (Set) и сигналом разрешения тактирования (Ena).

Задача № 8

Разработайте проект цифрового устройства с использованием примитивов языка описания аппаратуры VHDL в САПР ПЛИС Quartus II: 4-х разрядный регистр на D-триггерах тактируемых фронтом синхросигнала, с асинхронным сбросом (Reset), синхронной установкой (Set) и синхронным сигналом разрешения загрузки Ena. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

Задача № 9

Пример проектирования цифрового устройства с использованием высокоуровневого языка Verilog в САПР ПЛИС Quartus II: 4-разрядный реверсивный счетчик, с асинхронным входом установки (Set), синхронным сбросом (Reset), сигналом разрешения загрузки Ena. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

Задача № 10

Разработайте проект цифрового устройства с использованием примитивов логических элементов и языка описания аппаратуры VHDL в САПР ПЛИС Quartus II: 4-разрядный сумматор с последовательным переносом. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

7.2.6. Методика выставления оценки при проведении промежуточной аттестации

Экзамен проводится по тест-билетам, каждый из которых содержит по 2 вопроса и задачу. Каждый правильный ответ на вопрос в тесте оценивается 1 баллом, задача оценивается в 10 баллов (5 баллов верное решение и 5 баллов за верный ответ). Максимальное количество набранных баллов – 20.

1. Оценка «Неудовлетворительно» ставится в случае, если студент набрал менее 6 баллов.

2. Оценка «Удовлетворительно» ставится в случае, если студент набрал от 6 до 10 баллов

3. Оценка «Хорошо» ставится в случае, если студент набрал от 11 до 15 баллов.

4. Оценка «Отлично» ставится, если студент набрал от 16 до 20 баллов.

7.2.7 Паспорт оценочных материалов

№ п/п	Контролируемые разделы (темы) дисциплины	Код контролируемой компетенции	Наименование оценочного средства
1	Особенности схемотехники логических элементов цифровых КМОП БИС	ПКВ-1, ПКВ-5	Тест, защита лабораторных работ
2	Особенности проектирования триггеров цифровых КМОП БИС	ПКВ-1, ПКВ-5	Тест, защита лабораторных работ
3	Особенности проектирования последовательных цифровых устройств КМОП БИС	ПКВ-1, ПКВ-5	Тест, защита лабораторных работ
4	Особенности проектирования сложно-функциональных цифровых блоков КМОП БИС	ПКВ-1, ПКВ-5	Тест, защита лабораторных работ

	на функциональном и логическом уровнях		
5	Особенности схемотехники сложно-функциональных аналоговых блоков КМОП БИС	ПКВ-1, ПКВ-5	Тест, защита лабораторных работ
6	Программные средства с открытым исходным кодом для проектирования цифровых устройств на логическом уровне	ПКВ-1, ПКВ-5	Тест, защита лабораторных работ
7	Индустриальные САПР для проектирования смешанных аналого-цифровых БИС	ПКВ-1, ПКВ-5	Тест, защита лабораторных работ
8	Высокоуровневые языки HDL для описания цифровых устройств на функциональном и логическом уровнях.	ПКВ-1, ПКВ-5	Тест, защита лабораторных работ
9	Примеры проектирования цифровых устройств на логическом уровне с использованием языка VHDL в САПР Altera Quartus II	ПКВ-1, ПКВ-5	Тест, защита лабораторных работ

8 УЧЕБНО МЕТОДИЧЕСКОЕ И ИНФОРМАЦИОННОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ)

8.1 Перечень учебной литературы, необходимой для освоения дисциплины

8.1 Рекомендуемая литература				
№ п/п	Авторы, составители	Заглавие	Вид и годы издания	Обеспеченность
8.1.1 Основная литература				
1	Вонг Б.П., Миталл А., Старр Г.	Нано-КМОП схемы и проектирование на физическом уровне. — М.: Техносфера, 2014. — 657 с.	Монография, 2014	0.1
2	Кестер У.	Проектирование систем цифровой и смешанной обработки сигналов. — М.: Техносфера, 2011. — 523 с.	Монография, 2011	0.2
3	Попов В.Д., Белова Г.Ф.	Физические основы проектирования кремниевых цифровых интегральных схем в монолитном и гибридном исполнении. — СПб.: Лань, 2013. — 433 с.	Учеб. для вузов, 2013	0.4
4	Грушевицкий Р., Мурсаев А., Угрюмов Е.	Проектирование систем на микросхемах с программируемой структурой. — СПб.: БХВ-Петербург, 2006. — 419 с.	Учеб. для вузов, 2006	0.1
5	Амосов В.В.	Схемотехника и средства проектирования цифровых устройств. — СПб.: БХВ – Петербург, 2007. — 296 с.	Учеб. для вузов, 2007	0.1
6	Тарасов И.Е., Потехин И.Е.	Разработка систем цифровой обработки сигналов на базе ПЛИС. — М.: Горячая линия – Телеком, 2007. — 354 с.	Учеб. для вузов, 2007	0.4
7.1.2. Дополнительная литература				
1	Строгонов А.В.	Основы цифровой обработки сигналов. — Воронеж: ФГБОУ ВПО «ВГТУ», 2014. — 438 с.	Учеб. для вузов, 2014	1
2	Строгонов А.В.	Проектирование устройств цифровой обработки сигналов для реализации в базисе программируемых логических интегральных схем. — Воронеж: ФГБОУ ВПО «ВГТУ», 2013. — 323 с.	Учеб. для вузов, 2013	1
3	Строгонов А.В.	Системное проектирование программируемых логических интегральных схем. — Воронеж:	Учеб. для вузов, 2012	1

		ФГБОУ ВПО «ВГТУ», 2012. — 322 с.		
4	Строгонов А.В.	Основы микросхемотехники интегральных схем. — Воронеж: ФГБОУ ВПО «ВГТУ», 2012. – 238 с.	Учеб. для вузов, 2012	1
8.1.3. Методические разработки				
1	Строгонов А.В.	Методические указания к выполнению лабораторных работ № 1, 2 по дисциплине «Проектирование цифровых устройств в базисе ПЛИС». — Воронеж: ФГБОУ ВПО «ВГТУ», 2014. 57 с.	Метод. указ., 2014	1
8.1.4 Программное обеспечение и интернет ресурсы				
1	САПР БИС Tanner САПР ПЛИС Altera Quartus II САПР ПЛИС Xilinx ISE Системы цифрового моделирования ModelSim-Altera Система визуально-имитационного моделирования Matlab/Simulink Программа синтеза логики Synplicity Synplify			
2	www.labfor.ru Лаборатории электронных средств обучения, ЛЭСО ГОУ ВПО «СибГУТИ» www.asic.ru НПК "Технологический центр" www.tcen.ru НПК "Технологический центр" www.e-kir.ru Электронные версии журнала “Компоненты и технология”			

8.2 Перечень информационных технологий, используемых при осуществлении образовательного процесса по дисциплине, включая перечень лицензионного программного обеспечения, ресурсов информационно-телекоммуникационной сети «Интернет», современных профессиональных баз данных и информационных справочных систем:

САПР ПЛИС Altera Quartus II+ Altera DSP Builder САПР ПЛИС Xilinx ISE+ Xilinx System Generator Системы цифрового моделирования ModelSim-Altera Система визуально-имитационного моделирования Matlab/Simulink
www.labfor.ru Лаборатории электронных средств обучения, ЛЭСО ГОУ ВПО «СибГУТИ» www.asic.ru НПК "Технологический центр" www.tcen.ru НПК "Технологический центр" www.e-kir.ru Электронные версии журнала “Компоненты и технология”

9 МАТЕРИАЛЬНО-ТЕХНИЧЕСКАЯ БАЗА, НЕОБХОДИМАЯ ДЛЯ ОСУЩЕСТВЛЕНИЯ ОБРАЗОВАТЕЛЬНОГО ПРОЦЕССА

Учебный лабораторный стенд на ПЛИС структуры FPGA — LESO2.

10. МЕТОДИЧЕСКИЕ УКАЗАНИЯ ДЛЯ ОБУЧАЮЩИХСЯ ПО ОСВОЕНИЮ ДИСЦИПЛИНЫ (МОДУЛЯ)

По дисциплине «Проектирование ИС на функциональном и логическом уровнях».

Основой изучения дисциплины являются лекции, на которых излагаются наиболее существенные и трудные вопросы, а также вопросы, не нашедшие отражения в учебной литературе.

Лабораторные работы выполняются на лабораторном оборудовании в соответствии с методиками, приведенными в указаниях к выполнению работ.

Вид учебных занятий	Деятельность студента
Лекция	Написание конспекта лекций: кратко, схематично, последовательно фиксировать основные положения, выводы, формулировки, обобщения; помечать важные мысли, выделять ключевые слова, термины. Проверка терминов, понятий с помощью энциклопедий, словарей, справочников с выписыванием толкований в тетрадь. Обозначение вопросов, терминов, материала, которые вызывают трудности, поиск ответов в рекомендуемой литературе. Если самостоятельно не удается разобраться в материале, необходимо сформулировать вопрос и задать преподавателю на лекции или на практическом занятии.
Лабораторная работа	Лабораторные работы позволяют научиться применять теоретические знания, полученные на лекции при решении конкретных задач. Чтобы наиболее рационально и полно использовать все возможности лабораторных для подготовки к ним необходимо: следует разобрать лекцию по соответствующей теме, ознакомиться с соответствующим разделом учебника, проработать дополнительную литературу и источники, решить задачи и выполнить другие письменные задания.
Самостоятельная работа	Самостоятельная работа студентов способствует глубокому усвоения учебного материала и развитию навыков самообразования. Самостоятельная работа предполагает следующие составляющие: <ul style="list-style-type: none"> - работа с текстами: учебниками, справочниками, дополнительной литературой, а также проработка конспектов лекций; - выполнение домашних заданий и расчетов; - работа над темами для самостоятельного изучения; - участие в работе студенческих научных конференций, олимпиад; - подготовка к промежуточной аттестации.
Подготовка к промежуточной аттестации	Готовиться к промежуточной аттестации следует систематически, в течение всего семестра. Интенсивная подготовка должна начаться не позднее, чем за месяц-полтора до промежуточной аттестации. Данные перед зачетом три дня эффективнее всего использовать для повторения и систематизации материала.

ЛИСТ РЕГИСТРАЦИИ ИЗМЕНЕНИЙ

№ п/п	Перечень вносимых изменений	Дата внесения изменений	Подпись заведующего ка- федрой, ответственной за реализацию ОПОП
1			
2			
3			