

**МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ
РОССИЙСКОЙ ФЕДЕРАЦИИ**

**Федеральное государственное бюджетное образовательное
учреждение высшего образования
“Воронежский государственный технический университет”**

Строительно-политехнический колледж

ТЕХНОЛОГИИ ПРОГРАММИРОВАНИЯ МЕХАТРОННЫХ СИСТЕМ

МЕТОДИЧЕСКИЕ УКАЗАНИЯ

**к проведению лабораторных работ № 6-13
для студентов специальностей**

**15.02.10 “Мехатроника и мобильная робототехника (по отраслям)”
и 15.02.10 “Мехатроника и робототехника (по отраслям)”
всех форм обучения**

Воронеж 2025

УДК 621.38:681.3(07)
ББК 32.97:32.81я7

Составитель В. Н. Коротков

Технологии программирования мехатронных систем: методические указания к проведению лабораторных работ № 6-13 для студентов специальностей 15.02.10 «Мехатроника и мобильная робототехника (по отраслям)» и 15.02.10 «Мехатроника и робототехника (по отраслям)» всех форм обучения / ФГБОУ ВО «Воронежский государственный технический университет»; сост.: В. Н. Коротков. - Воронеж: Изд-во ВГТУ, 2025. – 49 с.

Методические указания содержат теоретические сведения, необходимые для выполнения лабораторных работ № 6-13. Методические указания разработаны с целью организации и проведения лабораторных занятий по дисциплине «Технологии программирования мехатронных систем».

Предназначены для студентов специальностей 15.02.10 «Мехатроника и мобильная робототехника (по отраслям)» и 15.02.10 «Мехатроника и робототехника (по отраслям)» всех форм обучения.

Методические указания подготовлены в электронном виде и содержатся в файле ТПМС_МУ_ЛР6-13.pdf.

Ил. 32. Табл. 7. Библиогр.: 9 назв.

**УДК 621.38:681.3(07)
ББК 32.97:32.81я7**

Рецензент – В. А. Трубецкой, канд. техн. наук, доц. кафедры электропривода, автоматики и управления в технических системах ВГТУ

*Издается по решению редакционно-издательского совета
Воронежского государственного технического университета*

ОГЛАВЛЕНИЕ

1. Лабораторная работа № 6. Исследование устройств равнозначности и неравнозначности.....	5
1.1. Теоретические сведения об устройствах равнозначности и неравнозначности.....	5
1.2. Цель лабораторной работы.....	8
1.3. Задание на лабораторную работу.....	9
1.4. Выполнение лабораторной работы.....	9
2. Лабораторная работа № 7. Исследование полусумматора и сумматора.....	10
2.1. Теоретические сведения об комбинационных полусумматора и сумматорах.....	10
2.2. Цель лабораторной работы.....	14
2.3. Задание на лабораторную работу.....	14
2.4. Выполнение лабораторной работы.....	14
3. Лабораторная работа № 8. Исследование дешифратора.....	15
3.1. Теоретические сведения о дешифраторах.....	15
3.2. Цель лабораторной работы.....	19
3.3. Задание на лабораторную работу.....	20
3.4. Выполнение лабораторной работы.....	21
4. Лабораторная работа № 9. Исследование шифратора.....	22
4.1. Теоретические сведения о шифраторах.....	22
4.2. Цель лабораторной работы.....	26
4.3. Задание на лабораторную работу.....	26
4.4. Выполнение лабораторной работы.....	27
5. Лабораторная работа № 10. Исследование мультиплексора.....	28
5.1. Теоретические сведения о мультиплексорах.....	28
5.2. Цель лабораторной работы.....	29
5.3. Задание на лабораторную работу.....	30
5.4. Выполнение лабораторной работы.....	30
6. Лабораторная работа № 11. Исследование демультимплексора.....	31
6.1. Теоретические сведения о демультимплексорах.....	31
6.2. Цель лабораторной работы.....	32
6.3. Задание на лабораторную работу.....	32
6.4. Выполнение лабораторной работы.....	33
7. Лабораторная работа № 12. Исследование коммутатора.....	34
7.1. Теоретические сведения о цифровых коммутаторах.....	34
7.2. Цель лабораторной работы.....	40
7.3. Задание на лабораторную работу.....	40
7.4. Выполнение лабораторной работы.....	41
8. Лабораторная работа № 13. Исследование преобразователя кодов.....	42

8.1. Теоретические сведения о преобразователях кодов.....	42
8.2. Цель лабораторной работы.....	47
8.3. Задание на лабораторную работу.....	47
8.4. Выполнение лабораторной работы.....	48
Библиографический список.....	48

1. ЛАБОРАТОРНАЯ РАБОТА № 6

ИССЛЕДОВАНИЕ УСТРОЙСТВ РАВНОЗНАЧНОСТИ И НЕРАВНОЗНАЧНОСТИ

1.1. Теоретические сведения об устройствах равнозначности и неравнозначности

Цифровые комбинационные устройства (КУ) - логические схемы с несколькими входами и несколькими выходами, у которых состояния выходов, то есть информационные значения выходных сигналов, в данный момент времени определяются лишь состояниями входов в этот же момент времени. Синтез КУ выполняется на основе правил функционирования КУ, которые могут быть заданы словесно, в виде таблицы истинности, структурной формулой. Далее на основании правил алгебры логики или с помощью специальных методов (карт Карно и т. д.) производится минимизация структурной формулы КУ. На основании структурной формулы составляют функциональную и принципиальную схемы КУ с использованием ЛЭ И, ИЛИ, И-НЕ, ИЛИ-НЕ, НЕ.

Устройство равнозначности (УР) — это логическая схема с двумя входами X_1 и X_2 и выходом Y , условия работы которой таковы: сигнал $Y=1$ только при совпадении информационных значений входных сигналов [1. 2].

Структурная формула схемы для наборов, где $Y=1$

$$Y = X_1 X_2 + \overline{X_1} \overline{X_2} \quad (1.1)$$

Принципиальная электрическая схема УР приведена на рисунке 1.1. Она содержит пять логических элементов — два инвертора, два элемента И и один элемент ИЛИ.

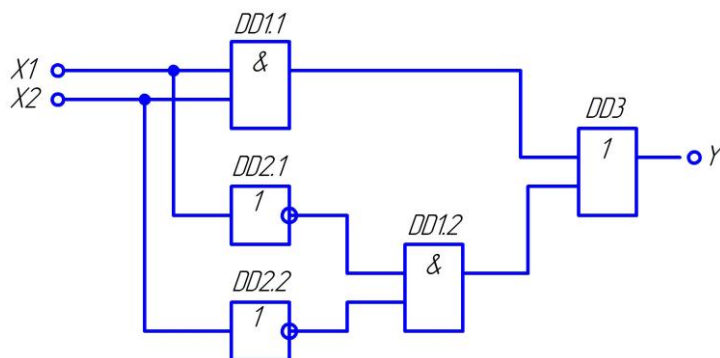


Рис. 1.1. Принципиальная электрическая схема устройства равнозначности

Если рассматривать схему на рисунке 1.1 с точки зрения конструирования устройства, то здесь требуется 3 корпуса микросхем. Обычно микросхемы в 14-выводном корпусе типа DIP-14 могут содержать 4 двухвходовых ЛЭ И, 4 двух-

входных ЛЭ ИЛИ, 6 ЛЭ НЕ. На рисунке 1.2 показано условное графическое обозначение (УГО) микросхем К555ЛИ1 – 4 двухвходовых ЛЭ И, К555ЛЕ1 – 4

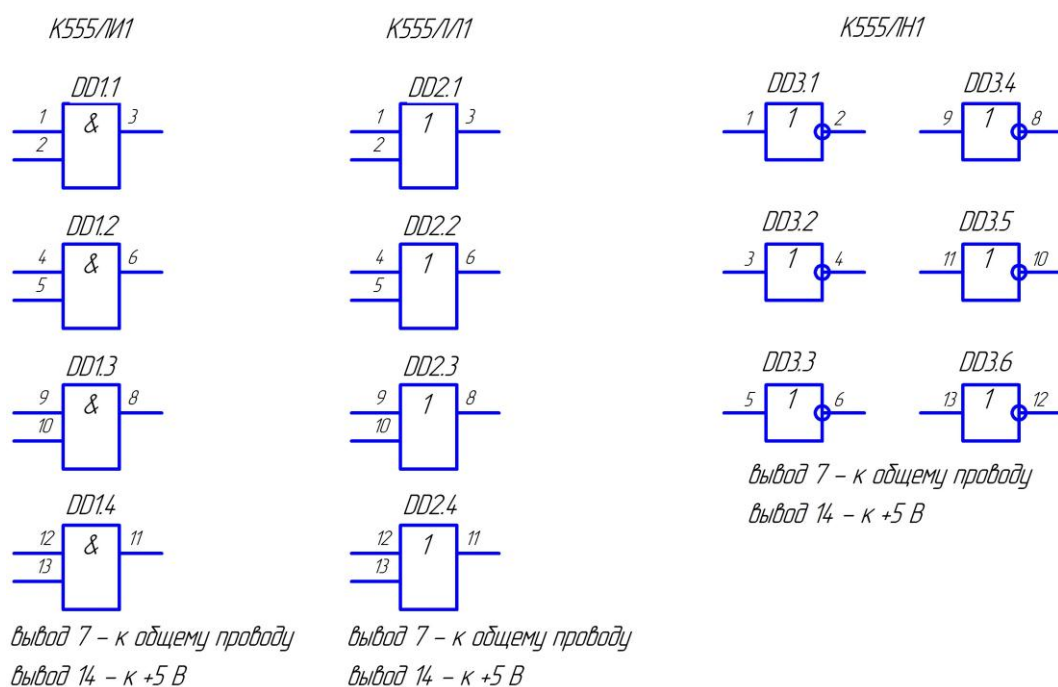


Рис. 1.2. УГО ЛЭ микросхем К555ЛИ1, К555ЛЛ1 и К555ЛН1

двухвходовых ЛЭ ИЛИ и К555ЛН1 – 6 ЛЭ НЕ [3, 4].

В позиционном обозначении микросхемы:

- первый символ – буква D – начальная буква обозначения любых интегральных микросхем;
- второй символ – буква D – обозначает, что микросхема цифровая или аналого-цифровая. Если микросхема аналоговая, то ставится буква А.
- третий символ – цифра или две цифры – порядковый номер микросхемы на принципиальной электрической схеме;
- четвертый символ – разделительная точка – используется, если микросхема содержит два и более независимых функциональных устройства, и они используются на принципиальной электрической схеме одновременно, хоть и в разных частях схемы (может отсутствовать, если микросхема имеет только одно функциональное устройство, используемое на принципиальной электрической схеме);
- порядковый номер функционального устройства микросхемы.

Возле каждого вывода ЛЭ или функционального устройства микросхемы устанавливается его номер в соответствии с техническим описанием микросхемы. На УГО ЛЭ И, ИЛИ, НЕ, И-НЕ, ИЛИ-НЕ не указываются выводы для подключения питания ввиду отсутствия места. Эти выводы упоминаются на принципиальной электрической схеме отдельно. В частности, на рисунке 1.2 указано, что вывод 7 всех показанных микросхем должен быть подключен к общему проводу схемы, который, как правило, является отрицательным выводом ис-

точника питания +5 В, а вывод 14 должен быть подключен к источнику питания +5 В.

Сказанное справедливо не только для упомянутых микросхем ТТЛ, к которым принадлежат серии К155, К555, К530, К531, К555, К1531, К1533, но и для микросхем КМОП, к которым принадлежат серии К176, К561, К564, К1564 [4].

На основе правила де Моргана устройство равнозначности можно выполнить на ЛЭ И-НЕ микросхемы К555ЛА3 [3, 4]:

$$Y = X_1 X_2 + \overline{X_1 X_2} = \overline{\overline{X_1 X_2} \overline{X_1 X_2}} \quad (1.2)$$

что показано на рисунке 1.3.

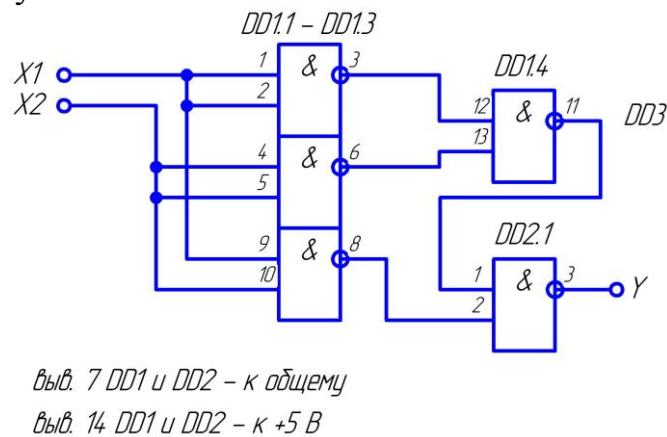


Рис. 1.3. Принципиальная электрическая схема устройства равнозначности на ЛЭ И-НЕ микросхемы К555ЛА3

Устройства равнозначности применяются в основном в схемах сравнения цифровых кодов.

Устройство неравнозначности - это устройство с двумя входами X_1 и X_2 и выходом Y , реализующее логическую функцию, называемую "исключающее ИЛИ", когда $Y=1$ только при несовпадении информативных значений входных сигналов. Таблица истинности устройства неравнозначности представлена в таблице 1.1.

Таблица 1.1

Таблица истинности устройства неравнозначности (исключающее ИЛИ)

X_1	X_2	Y
1	2	3
0	0	0
1	0	1
0	1	1
1	1	0

Согласно таблице истинности можно записать структурную формулу

$$Y = X_1 \overline{X_2} + \overline{X_1} X_2 = X_1 \oplus X_2 \quad (1.3)$$

Символ $\oplus$ означает операцию "исключающее ИЛИ". Устройство может быть реализовано схемой, содержащей пять логических элементов: два инвер-

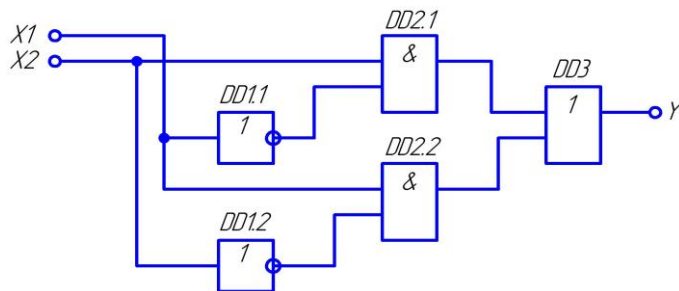


Рис. 1.4. Принципиальная электрическая схема устройства неравнозначности

тора, два элемента И и один элемент ИЛИ, что показано на рисунке 1.4.

Эту схему можно построить, используя по одной микросхеме К555ЛН16 К555ЛИ1 и К555ЛЛ1. Также можно эту схему построить на микросхемах с аналогичными по функционалу ЛЭ КМОП.

Элементы исключающее ИЛИ выпускаются в виде микросхем. Например, микросхемы К555ЛП5 условное графическое обозначение которой приведено на рисунке 1.5, которая содержит 4 элемента исключающее ИЛИ.

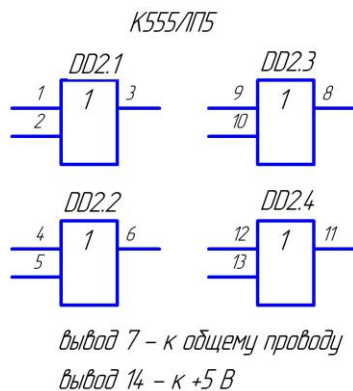


Рис. 1.5. УГО микросхемы исключающее ИЛИ К555ЛП5

1.2. Цель лабораторной работы

Целью лабораторной работы является получение и закрепление навыков разработки схем устройств равнозначности и неравнозначности из заданных ЛЭ, исследование их работы и составление их таблиц истинности.

1.3. Задание на лабораторную работу

Получить у преподавателя вариант задания, где должны быть указаны:

- типы ЛЭ или типы микросхем, на основе которых должны быть выполнены схемы устройств равнозначности и неравнозначности;
- по варианту задания тип микросхемы исключающее ИЛИ К555ЛП5 или К564ЛП2;
- разработать схемы устройств равнозначности и неравнозначности с использованием заданных ЛЭ или микросхем;
- разработать схему включения заданной микросхемы исключающее ИЛИ;
- исследовать работу разработанных схем в программе ISIS пакета программ “Proteus VSM” [5, 6];
- по результатам исследования составить таблицы истинности исследованных схем.

1.4. Выполнение лабораторной работы

В ходе выполнения работы требуется, используя приведенные теоретические сведения решить поставленные задачи. Задачи выполнить любым из способов. При решении каждой из задач требуется подробно описать каждый из шагов. По окончании выполнения работы пройти защиту ее результатов у преподавателя с ответами на поставленные контрольные вопросы.

2. ЛАБОРАТОРНАЯ РАБОТА № 7 ИССЛЕДОВАНИЕ КОМБИНАЦИОННОГО ПОЛУСУММАТОРА И СУММАТОРА

2.1. Теоретические сведения об комбинационных полусумматора и сумматорах

Логическая схема полусумматора, предназначена для суммирования двух одноразрядных двоичных чисел. Логическая функция полусумматора задается таблицей истинности (таблица 2.1) [1, 2].

Таблица 2.1
Таблица истинности полусумматора

X_1	X_2	S'	P'
1	2	3	4
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Здесь X_1 и X_2 - переменные, S' - частичная сумма (сумма по модулю два), P' - перенос в старший разряд. Из таблицы истинности видно, что

$$\begin{cases} S' = X_1 \oplus X_2 \\ P' = X_1 X_2 \end{cases} \quad (2.1)$$

То есть полусумматор имеет два выхода и реализуется с помощью устройства неравнозначности и ЛЭ И. Схема полусумматора представлена на рисунке 2.1.

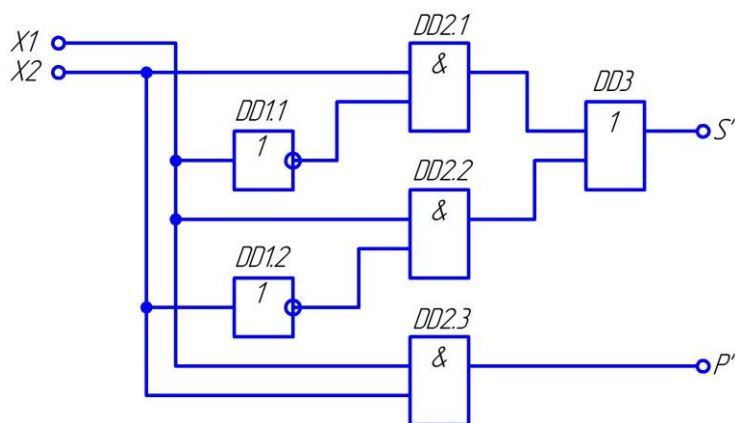


Рис. 2.1. Принципиальная электрическая схема полусумматора

Как видно, данная схема полностью повторяет схему устройства неравно-

значности (рисунок 1.4) с добавленным ЛЭ И DD2.3.

Два одноразрядных полусумматора образуют одноразрядный сумматор. Сумматор - логическая схема, имеющая три входа:

- входы разрядов X_1 и X_2 суммируемых чисел;
- вход X_3 для возможного переноса, образованного при сложении младших разрядов.

Сумматор может быть образован с помощью двух полусумматоров и ЛЭ ИЛИ. Логическая функция сумматора задается таблицей истинности (таблица 2.2). Схема сумматора показана на рисунке 2.2.

Таблица 2.2

Таблица истинности сумматора

X_1	X_2	X_3	S	P
1	2	3	4	5
0	0	0	0	0
0	0	1	1	0
1	2	3	4	5
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

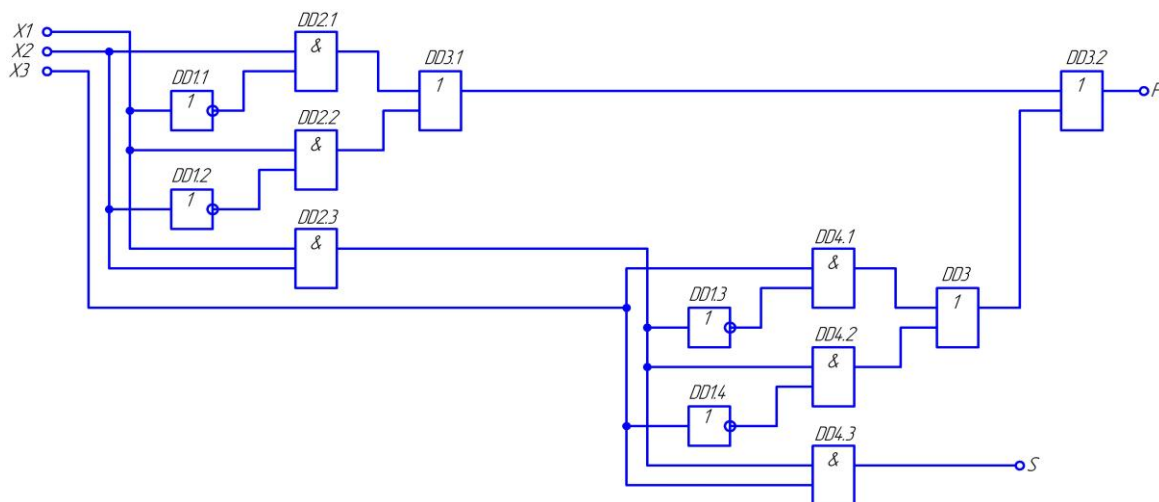


Рис. 2.2. Принципиальная электрическая схема сумматора

В суммирующем устройстве последовательного действия для суммирования многоразрядных чисел перенос P подается на вход X_3 с задержкой на один такт сложения. Для ускорения процесса сложения двух многоразрядных чисел можно построить суммирующее устройство параллельного действия, в котором используются несколько сумматоров одноразрядных чисел.

В настоящее время одно-, двух- и четырехразрядные двоичные сумматоры выпускаются в виде отдельных ИМС. Примером могут служить микросхемы К155ИМ1, К155ИМ2, К155ИМ3 [3, 4].

На рисунке 2.3 показано условное графическое обозначение микросхемы сумматора К155ИМ1. Выводы имеют следующее назначение:

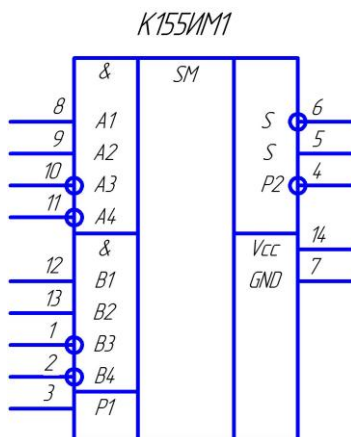


Рис. 2.3. УГО микросхемы сумматора К155ИМ1

- 1 – вход инверсный слагаемого В3;
- 2 – вход инверсный слагаемого В4;
- 3 – вход переноса Р1;
- 4 – выход инверсный переноса Р2;
- 5 – выход суммы S;
- 6 – выход инверсный суммы S;
- 7 - вывод для соединения с минусом источника питания (с общим проводом);
- 8 – вход слагаемого А1;
- 9 – вход слагаемого А2;
- 10 – вход инверсный слагаемого А3;
- 11 – вход инверсный слагаемого А4;
- 12 – вход инверсный слагаемого В1;
- 13 – вход инверсный слагаемого В2;
- 14 – вывод для соединения с плюсом источника питания +5 В.

На рисунке 2.4 показано УГО микросхемы сумматора К155ИМ2. Выводы имеют следующее назначение:

- 1 – выход суммы S1;
- 2 – вход слагаемого А1;
- 3 – вход слагаемого В1;
- 4 – вывод для соединения с плюсом источника питания +5 В;
- 5 – вход переноса Р1;
- 6 – 9 – свободные;
- 10 – выход инверсный переноса Р2;

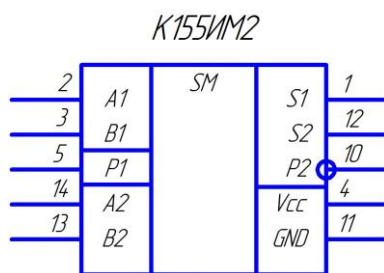


Рис. 2.4. УГО микросхемы сумматора K155IM2

- 11 - вывод для соединения с минусом источника питания (с общим проводом);
- 12 – выход суммы S2;
- 13 – вход слагаемого B2;
- 14 – вход слагаемого A2.

На рисунке 2.5 показано УГО микросхемы сумматора K155IM3. Выводы имеют следующее назначение:

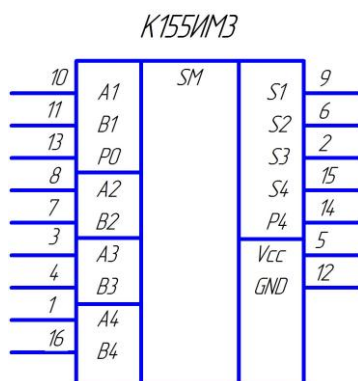


Рис. 2.5. УГО микросхемы сумматора K155IM3

- 1 – вход слагаемого A4;
- 2 – выход суммы S3;
- 3 – вход слагаемого A3;
- 4 – вход слагаемого B3;
- 5 – вывод для соединения с плюсом источника питания +5 В;
- 6 – выход суммы S2;
- 7 – вход слагаемого B2;
- 8 – вход слагаемого A2;
- 9 – выход суммы S1;
- 10 – вход слагаемого A1;
- 11 – вход слагаемого B1;
- 12 - вывод для соединения с минусом источника питания (с общим проводом);
- 13 – вход переноса P0;
- 14 – выход переноса P4;

- 15 – выход суммы S4;
- 16 – вход слагаемого В4.

Таблицы истинности для этих микросхем можно найти в специальных справочниках по микросхемам ТТЛ [].

2.2. Цель лабораторной работы

Целью лабораторной работы является получение и закрепление навыков разработки и исследования схем полусумматоров и сумматоров из заданных ЛЭ, исследование их работы и составление их таблиц истинности.

2.3. Задание на лабораторную работу

Получить у преподавателя вариант задания, где должны быть указаны:

- типы ЛЭ или типы микросхем, на основе которых должны быть выполнены схемы полусумматора и сумматора;
- по варианту задания тип микросхемы сумматора K155ИМ1, K155ИМ2, K155ИМ3 или K564ИМ1;
- разработать схемы полусумматоров и сумматоров с использованием заданных ЛЭ или микросхем;
- разработать схему включения заданной микросхемы сумматора;
- исследовать работу разработанных схем в программе ISIS пакета программ “Proteus VSM”;
- по результатам исследования составить таблицы истинности исследованных схем.

2.4. Выполнение лабораторной работы

В ходе выполнения работы требуется, используя приведенные теоретические сведения решить поставленные задачи. Задачи выполнить любым из способов. При решении каждой из задач требуется подробно описать каждый из шагов. По окончании выполнения работы пройти защиту ее результатов у преподавателя с ответами на поставленные контрольные вопросы.

3. ЛАБОРАТОРНАЯ РАБОТА № 8 ИССЛЕДОВАНИЕ ДЕШИФРАТОРА

3.1. Теоретические сведения о дешифраторах

Дешифратором называется комбинационное устройство, имеющее несколько входов и выходов, у которого каждой комбинации входных сигналов соответствует активное значение только одного определенного выходного сигнала [1, 2]. Полный дешифратор с m входами имеет 2^m выходов. Таблица истинности трехвходового полного дешифратора с единичным активным значением выходных сигналов представлена в таблице 3.1.

Таблица 3.1

Таблица истинности трехвходового дешифратора

X_3	X_2	X_1	Y_0	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7
1	2	3	4	5	6	7	8	9	10	11
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
1	2	3	4	5	6	7	8	9	10	11
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

На практике часто используются неполные дешифраторы, предусматривающие декодирование только отдельных входных сигналов. Если задачу синтеза соответствующего КУ с тремя входами и восемью выходами рассматривать как синтез восьми одноходовых КУ, то для каждой из булевых функций Y можно записать структурную формулу:

$$\begin{aligned} Y_0 = \overline{X_3} \overline{X_2} \overline{X_1}; Y_1 = \overline{X_3} \overline{X_2} X_1; Y_2 = \overline{X_3} X_2 \overline{X_1}; Y_3 = \overline{X_3} X_2 X_1; \\ Y_4 = X_3 \overline{X_2} \overline{X_1}; Y_5 = X_3 \overline{X_2} X_1; Y_6 = X_3 X_2 \overline{X_1}; Y_7 = X_3 X_2 X_1 \end{aligned} \quad (3.1)$$

Переключательную функцию формуле 3.1 можно реализовать на отдельном ЛЭ И. В этом случае получается наиболее простой по структуре линейный дешифратор, который можно реализовать также на ЛЭ И-НЕ, что показано на рисунке 3.1.

Достоинство линейного дешифратора – высокое быстродействие. Недостаток – большое количество требуемых входов ЛЭ, равное количеству разрядов дешифрируемого слова. Кроме того, ограниченная нагрузочная способ-

ность микросхем ограничивает разрядность дешифрируемых слов до 4 – 5. Поэтому широко применяются пирамидальные дешифраторы, характерным отли-

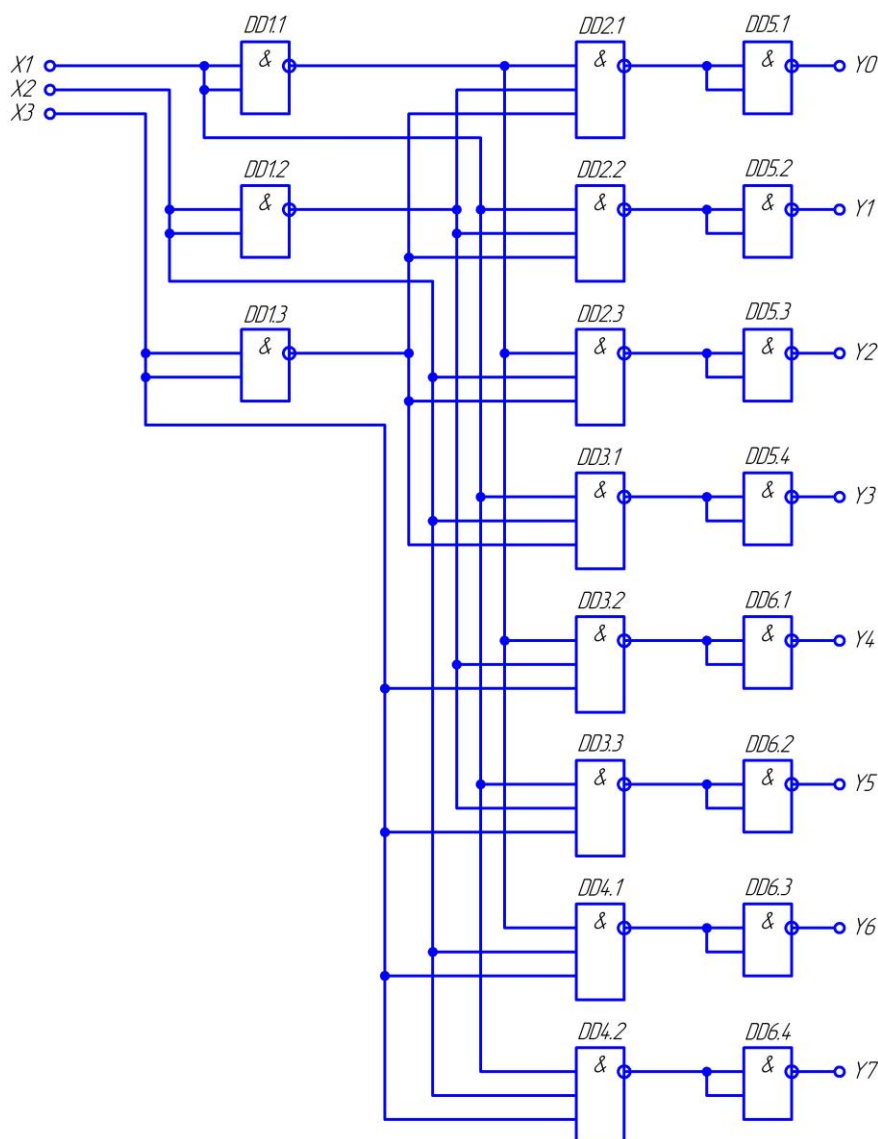


Рис. 3.1. Принципиальная электрическая схема линейного дешифратора на ЛЭ И-НЕ

чем которых от линейных является использование только двухвходовых элементов.

Чтобы построить дешифратор по схеме на рисунке 3.1 требуются 3 микросхемы К555ЛА3, каждая из которых содержит по 4 2-входовых ЛЭ И-НЕ и 3 микросхемы К555ЛА4, каждая из которых содержит по 3 3-входовых ЛЭ И-НЕ.

На рисунке 3.2 представлена принципиальная электрическая схема пирамидального дешифратора на 3 входа, выполненная на 2-входовых ЛЭ И-НЕ. В пирамидальных дешифраторах требуется большее количество ЛЭ, но по числу корпусов микросхем пирамидальная схема эквивалентна линейной, так как 2-входовых ЛЭ в одном корпусе размещается больше.

Чтобы построить дешифратор по схеме на рисунке 3.2 требуются 7 мик-

росхем К555ЛА3.

Таким образом, линейный дешифратор проще пирамидального при равных технических характеристиках. Его элементы конструктивно занимают

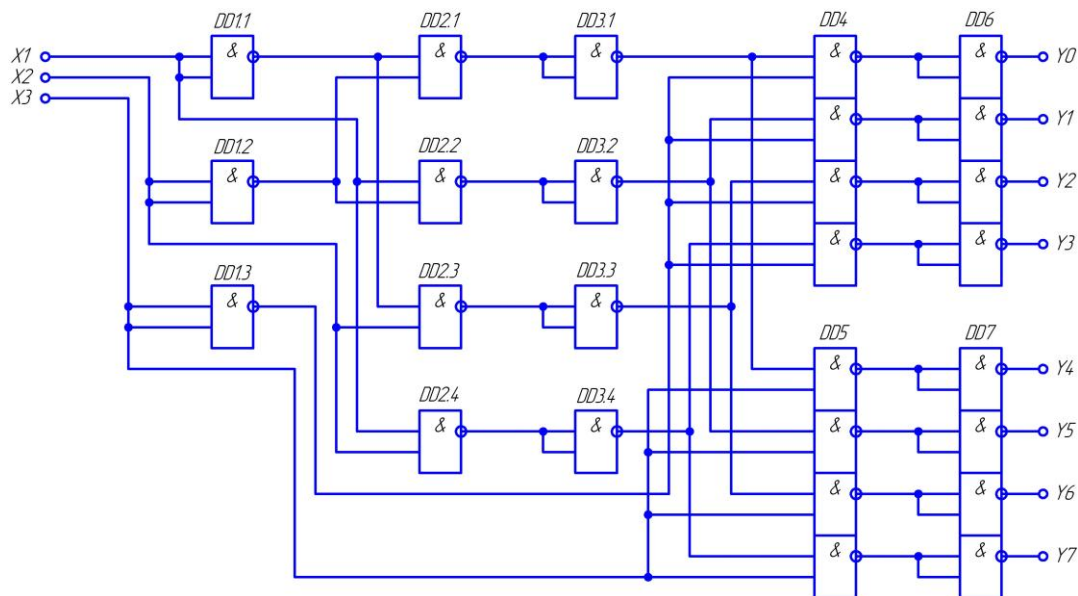


Рис. 3.2. Принципиальная электрическая схема пирамидального дешифратора на ЛЭ И-НЕ

меньшую площадь и меньший объем. Однако требуется 2 типа микросхем вместо одного.

В интегральном исполнении выпускаются различные дешифраторы, в которых используются 2, 3, 4 входа. Примерами могут служить микросхемы де-

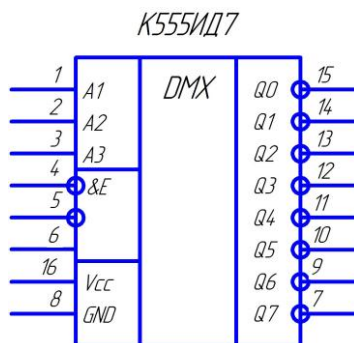


Рис. 3.3. УГО микросхемы дешифратора К555ИД7

шифраторов К555ИД7 и К1533ИД3 [3, 4]. Их УГО показано на рисунках 3.3 и 3.4 соответственно.

Назначение выводов микросхемы К555ИД7 следующее:

- 1 – вход информационный A1;
- 2 – вход информационный A2;
- 3 – вход информационный A3;
- 4 – вход инверсный разрешения;

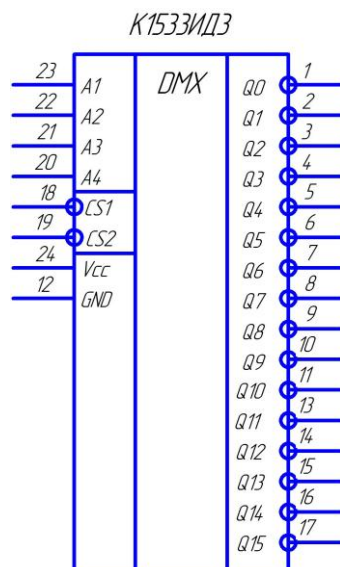


Рис. 3.4. УГО микросхемы дешифратора К1533ИД3

- 5 – вход инверсный разрешения;
- 6 – вход прямой разрешения;
- 7 – выход инверсный 7;
- 8 - вывод для соединения с минусом источника питания (с общим проводом);
- 9 – выход инверсный 6;
- 10 – выход инверсный 5;
- 11 – выход инверсный 4;
- 12 – выход инверсный 3;
- 13 – выход инверсный 2;
- 14 – выход инверсный 1;
- 15 – выход инверсный 0;
- 16 – вывод для соединения с плюсом источника питания +5 В.

Назначение выводов микросхемы К1533ИД3 следующее:

- 1 – выход инверсный 0;
- 2 – выход инверсный 1;
- 3 – выход инверсный 2;
- 4 – выход инверсный 3;
- 5 – выход инверсный 4;
- 6 – выход инверсный 5;
- 7 – выход инверсный 6;
- 8 – выход инверсный 7;
- 9 – выход инверсный 8;
- 10 - выход инверсный 9;
- 11 - выход инверсный 10;
- 12 – вывод для соединения с минусом источника питания (с общим проводом);

- 13 – выход инверсный 11;
- 14 – выход инверсный 12;
- 15 – выход инверсный 13;
- 16 – выход инверсный 14;
- 17 – выход инверсный 15;
- 18 – вход инверсный разрешения CS1;
- 19 – вход инверсный разрешения CS2;
- 20 – вход информационный A4;
- 21 – вход информационный A3;
- 22 – вход информационный A2;
- 23 – вход информационный A1;
- 24 – вывод для соединения с плюсом источника питания +5 В.

Для увеличения функциональных возможностей устройств часто предусматривается использование нескольких сигналов управления (разрешения).

Для расширения функциональных возможностей дешифраторов, а также для создания устройств дешифрирования применяется каскадное включение микросхем дешифраторов. На рисунке 3.5 показан пример принципиальной электрической схемы каскадного включения дешифраторов К1533ИД3.

Дешифратор DD1 дешифрирует старшую половину байта входных данных (сигналы X4 – X7), которая поступает на его входы A1 – A4 (выводы 23 – 20) соответственно. Его входы разрешения работы CS1 и CS2 (выводы 18 и 19) соединены с общим проводом, поэтому на них постоянно присутствует лог. 0, что разрешает работу. В зависимости от кодовой комбинации на входах, активный сигнал (лог. 0) появляется на выходах Q0 – Q15 (выводы 1 – 11, 13 – 17). Если лог. 0 появляется на одном из выходов Q0 – Q2 (выводы 1 – 3), то разрешается работа одного из дешифраторов DD2 – DD4.

Дешифраторы DD2 – DD4 дешифрируют младшую половину байта входных данных (сигналы X0 – X3), которая поступает на их входы A1 – A4 (выводы 23 – 20) соответственно. Если работа одного из дешифраторов DD2 – DD4 разрешена, то, в зависимости от кодовой комбинации на их входах, активный сигнал (лог. 0) появляется на выходах Q0 – Q15 (выводы 1 – 11, 13 – 17) одного из них, а, соответственно, на одном из выходов Y0 – Y47 устройства дешифрирования.

Входы Vcc (выводы 24) дешифраторов DD1 – DD4 подключены к источнику напряжения +5 В, а входы GND (выводы 12) – к общему проводу.

Таким образом, каскадно соединяя дешифраторы, можно строить схемы с большим числом выходов, используя в качестве составных частей микросхемы дешифраторов.

3.2. Цель лабораторной работы

Целью лабораторной работы является получение и закрепление навыков разработки и исследования схем дешифраторов из заданных ЛЭ, а также

специальных микросхем дешифраторов, исследование их работы и составление их таблиц истинности.

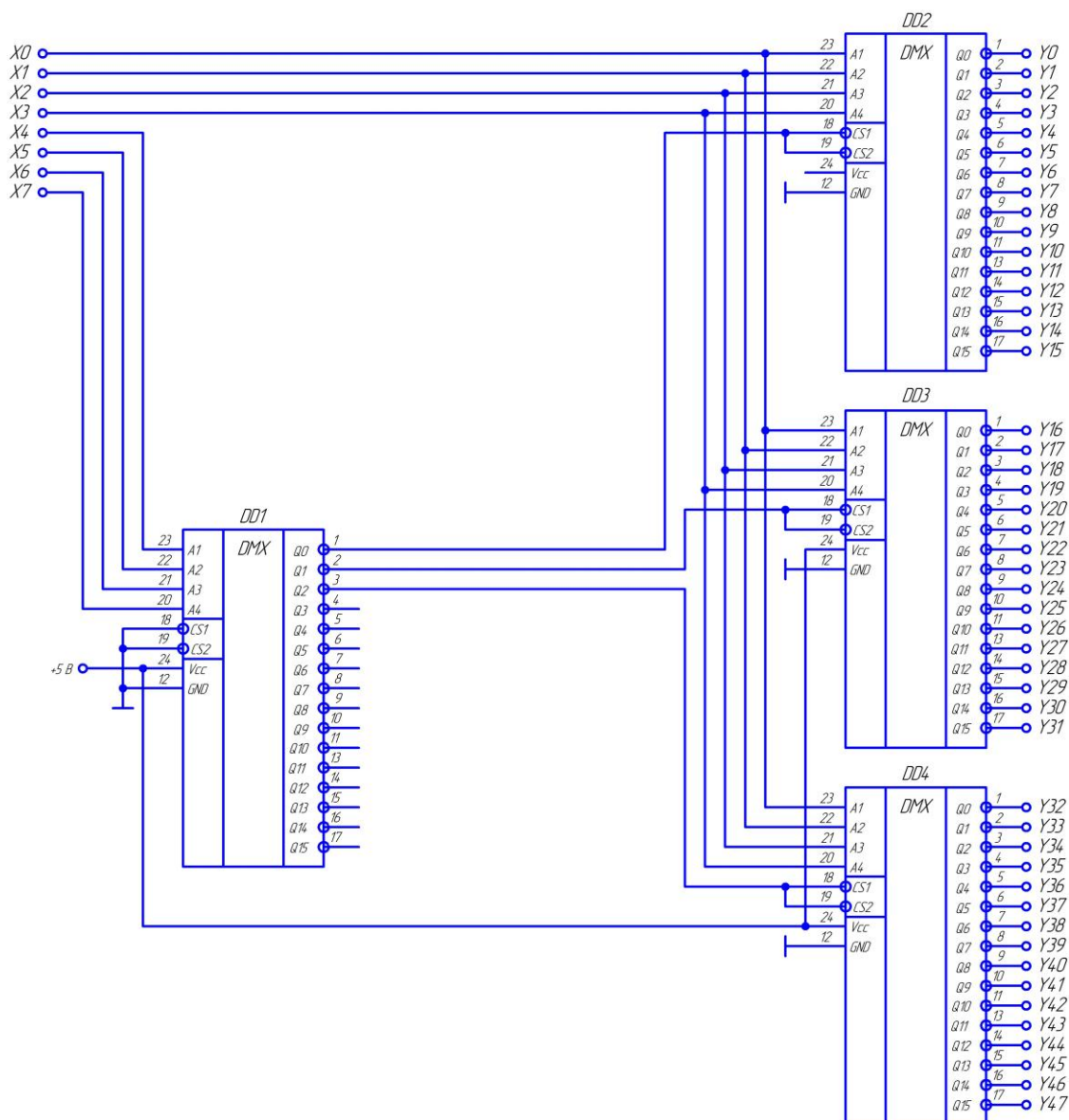


Рис. 3.5. Принципиальная электрическая схема одного из вариантов каскадного включения дешифратора К1533ИДЗ

3.3. Задание на лабораторную работу

Получить у преподавателя вариант задания, где должны быть указаны:

- типы ЛЭ или типы микросхем, на основе которых должна быть выполнена схема линейного или пирамидального дешифратора;
- характеристики схемы дешифратора (количество входов и выходов);
- по варианту задания тип микросхемы дешифратора.

Далее требуется:

- разработать схему дешифратора с использованием заданных ЛЭ;

- разработать схему включения заданной микросхемы дешифратора;
- исследовать работу разработанных схем в программе ISIS пакета программ “Proteus VSM”;
- по результатам исследования составить таблицы истинности исследованных схем.

3.4. Выполнение лабораторной работы

В ходе выполнения работы требуется, используя приведенные теоретические сведения решить поставленные задачи. Задачи выполнить любым из способов. При решении каждой из задач требуется подробно описать каждый из шагов. По окончании выполнения работы пройти защиту ее результатов у преподавателя с ответами на поставленные контрольные вопросы.

4. ЛАБОРАТОРНАЯ РАБОТА № 9 ИССЛЕДОВАНИЕ ШИФРАТОРА

4.1. Теоретические сведения о шифраторах

Шифраторы выполняют задачи, обратные дешифраторам. С их помощью активным значением определяемых входных сигналов можно поставить в соответствие заданные выходные коды - комбинации выходных сигналов. Полный шифратор имеет n выходов и $m = 2^n$ входов. Выходной сигнал шифратора в числовой интерпретации соответствует номеру возбужденного входа, то есть входа, на который подан активный логический уровень [1, 2]. Таблица истинности одного из вариантов восьмивходового полного шифратора с единичными активными значениями входных сигналов представлена в таблице 4.1.

Таблица 4.1

Таблица истинности восьмивходового шифратора

X_7	X_6	X_5	X_4	X_3	X_2	X_1	X_0	Y_3	Y_2	Y_1
1	2	3	4	5	6	7	8	9	10	11
0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	0	0	1	0	0
0	0	1	0	0	0	0	0	1	0	1
0	1	0	0	0	0	0	0	1	1	0
1	0	0	0	0	0	0	0	1	1	1

Для построения схемы шифратора нужно рассмотреть закономерности формирования двоичных переменных на его выходах. Выход Y_0 соответствующий младшему разряду выходного кода, имеющему вес 1, должен принимать значение лог. 1 при возбуждении любого из нечетных входов. Следовательно, это должен быть выход ЛЭ ИЛИ, к $\frac{m}{2}$ входам которого подключены все входы с нечетными номерами, то есть такими, двоичное представление номера которых в младшем разряде имеет лог. 1.

Следующий выход Y_1 , имеющий вес 2, должен возбуждаться при подаче сигнала на входы с номерами 2, 3, 6, 7, то есть с номерами, двоичное представление которых во втором по старшинству разряде имеет лог. 1. Следовательно, Y_1 также формируется элементом ИЛИ, имеющим $\frac{m}{2}$ входов. Таким образом, в общем случае Y_k формируется элементом ИЛИ с числом входов $\frac{m}{2}$, на который подаются те из входных переменных, двоичное представление номера которых

в k -м разряде имеют единицу.

При практической реализации шифратора может оказаться выгоднее использовать элементы И-НЕ. Тогда, в соответствии с двойственностью операций конъюнкции и дизъюнкции, входные переменные нужно брать с инверсией. Это показано на рисунке 4.1.

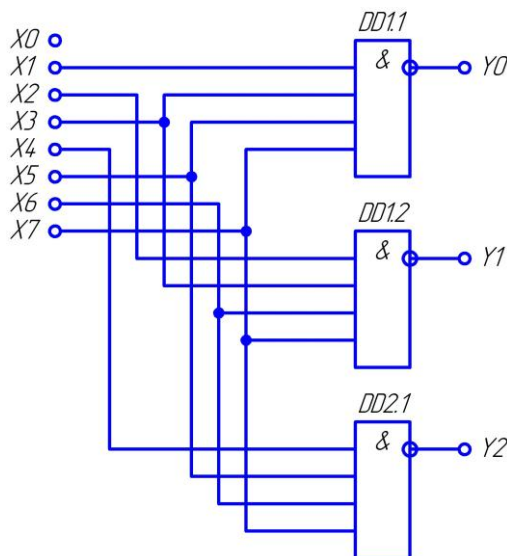


Рис. 4.1. Принципиальная электрическая схема восьмивходового шифратора на ЛЭ И-НЕ

Однако, показанный на рисунке 4.1 шифратор имеет ряд недостатков:

- невозможно наращивать информационную емкость (число входов и выходов), соединяя между собой шифраторы меньшей емкости;
- для правильной работы шифратора необходимо, чтобы возбужден был всегда строго один из входов. Во всех других случаях получаемый на выходе сигнал не отражает реальной ситуации на входе.

От этих недостатков свободен приоритетный шифратор. Такой шифратор работает, как и рассмотренный, когда возбужденным является единственный вход. Когда возбуждено несколько входов, на выходе формируется число, указывающее максимальный из номеров возбужденных входов. Так, если возбуждены входы 3, 5, 6, то на выходе установится код числа 6.

Чтобы выделить ситуацию, когда отсутствуют возбужденные входы, в приоритетном шифраторе имеется дополнительный выход P , называемый выходом признака невозбуждения. Двоичная переменная Y_P , формируемая на этом выходе, принимает значение 0, когда возбужден, по крайней мере, один из входов, и значение единицы в противном случае. Один из вариантов принципиальной электрической схемы приоритетного шифратора с инверсными входами и выходами показан на рисунке 4.2. Чтобы сделать возможным наращивание информационной емкости шифратора, в него введен дополнительный вход разрешения E .

С той же целью его выходы выполняют, либо с открытым коллектором,

либо с тремя устойчивыми состояниями. Когда на вход разрешения ЕО подан лог. 0, шифратор функционирует в соответствии с рассмотренным правилом. В противном случае сигналы на выходах принимают третье состояние.

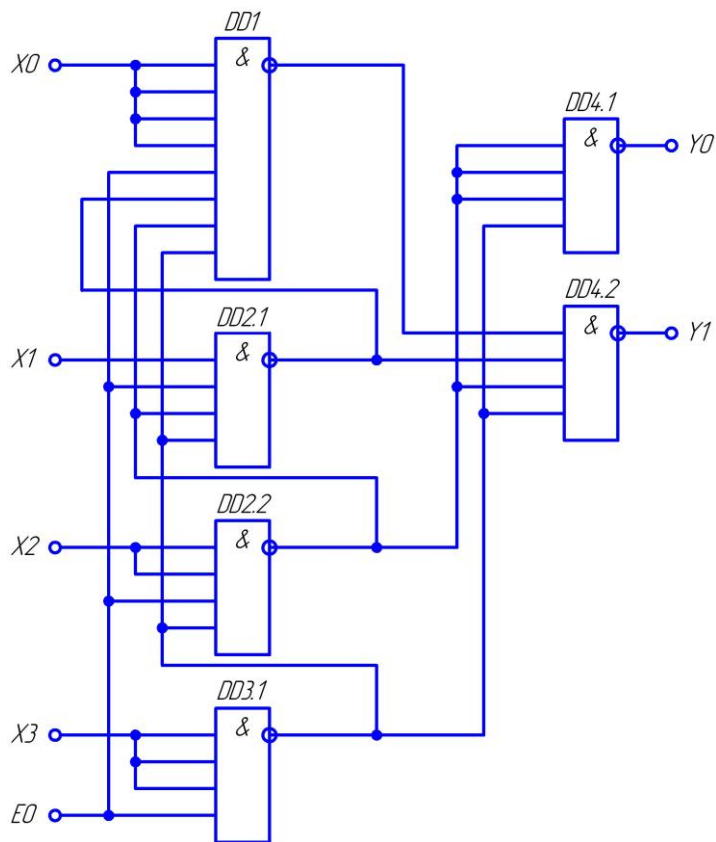


Рис. 4.2. Принципиальная электрическая схема восьмивходового приоритетного шифратора на ЛЭ И-НЕ

В качестве примера можно рассмотреть микросхемы приоритетных шифраторов К555ИБ1 и К555ИБ3 [3, 4], УГО которых показано на рисунках 4.3 и 4.4 соответственно.

Выводы шифратора К555ИБ1 имеют следующее назначение:

- 1 – вход информационный инверсный X4;
- 2 – вход информационный инверсный X5;
- 3 – вход информационный инверсный X6;
- 4 – вход информационный инверсный X7;
- 5 – вход разрешения EI;
- 6 – выход информационный инверсный A2;
- 7 – выход информационный инверсный A1;
- 8 – соединение с общим проводом схемы;
- 9 – выход информационный инверсный A0;
- 10 – вход информационный инверсный X0;
- 11 – вход информационный инверсный X1;
- 12 – вход информационный инверсный X2;

- 13 – вход информационный инверсный X3;
- 14 – выход инверсный CS;
- 15 – выход EO;
- 16 – питание +5 В.

В таблице 4.2 приведена таблица истинности микросхемы приоритетного шифратора К555ИБ1.

Таблица 4.2

Таблица истинности приоритетного шифратора К555ИБ1

Входы									Выходы				
E0	X0	X1	X2	X3	X4	X5	X6	X7	A2	A1	A0	CS	E0
1	2	3	4	5	6	7	8	9	10	11	12	13	14
1	X	X	X	X	X	X	X	X	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	X	X	X	X	X	X	X	0	0	0	0	0	1
0	X	X	X	X	X	X	0	1	0	0	1	0	1
0	X	X	X	X	X	0	1	1	0	1	0	0	1
0	X	X	X	X	0	1	1	1	0	1	1	0	1
0	X	X	X	0	1	1	1	1	1	0	0	0	1
0	X	X	0	1	1	1	1	1	1	0	1	0	1
0	X	0	1	1	1	1	1	1	1	1	0	0	1
0	0	1	1	1	1	1	1	1	1	1	1	0	1

На рисунке 4.4 показано УГО микросхемы приоритетного шифратора К555ИБ3. Выводы имеют следующее назначение:

- 1 – вход информационный инверсный 3;
- 2 – вход информационный инверсный 4;
- 3 – вход информационный инверсный 5;
- 4 – вход информационный инверсный 6;
- 5 – вход информационный инверсный 7;

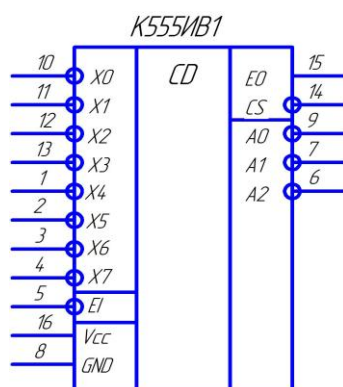


Рис. 4.3. УГО микросхемы приоритетного шифратора К555ИБ1

- 6 - выход информационный инверсный С;

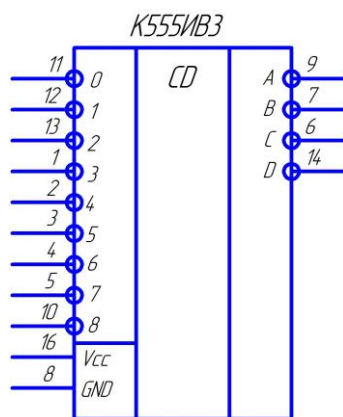


Рис. 4.4. УГО микросхемы приоритетного шифратора К555ИБ3

- 7 – выход информационный инверсный В;
- 8 – соединение с общим проводом схемы;
- 9 – выход информационный инверсный А;
- 10 – вход информационный инверсный 8;
- 11 – вход информационный инверсный 0;
- 12 – вход информационный инверсный 1;
- 13 – вход информационный инверсный 2;
- 14 – выход информационный инверсный D;
- 15 – свободный;
- 16 – питание +5 В.

4.2. Цель лабораторной работы

Целью лабораторной работы является получение и закрепление навыков разработки и исследования схем шифраторов из заданных ЛЭ, а также специальных микросхем шифраторов, исследование их работы и составление их таблиц истинности.

4.3. Задание на лабораторную работу

Получить у преподавателя вариант задания, где должны быть указаны:

- типы ЛЭ или типы микросхем, на основе которых должна быть выполнена схема шифратора;
- характеристики схемы шифратора (количество входов и выходов);
- по варианту задания тип микросхемы шифратора.

Далее требуется:

- разработать схему шифратора с использованием заданных ЛЭ;
- разработать схему включения заданной микросхемы шифратора;
- исследовать работу разработанных схем в программе ISIS пакета программ “Proteus VSM”;
- по результатам исследования составить таблицы истинности исследованных схем.

4.4. Выполнение лабораторной работы

В ходе выполнения работы требуется, используя приведенные теоретические сведения решить поставленные задачи. Задачи выполнить любым из способов. При решении каждой из задач требуется подробно описать каждый из шагов. По окончании выполнения работы пройти защиту ее результатов у преподавателя с ответами на поставленные контрольные вопросы.

5. ЛАБОРАТОРНАЯ РАБОТА № 10 ИССЛЕДОВАНИЕ МУЛЬТИПЛЕКСОРА

5.1. Теоретические сведения о мультиплексорах

Мультиплексор – цифровое коммутационное устройство, обеспечивающее коммутацию на выходе одного из нескольких информационных входных сигналов в соответствии с заданным кодом на управляющих входах [1, 2]. На рисунке 5.1 показана принципиальная электрическая схема одного из вариантов четырехвходового мультиплексора. В зависимости от комбинации сигналов управления на адресных входах A0 и A1, он обеспечивает коммутацию одного

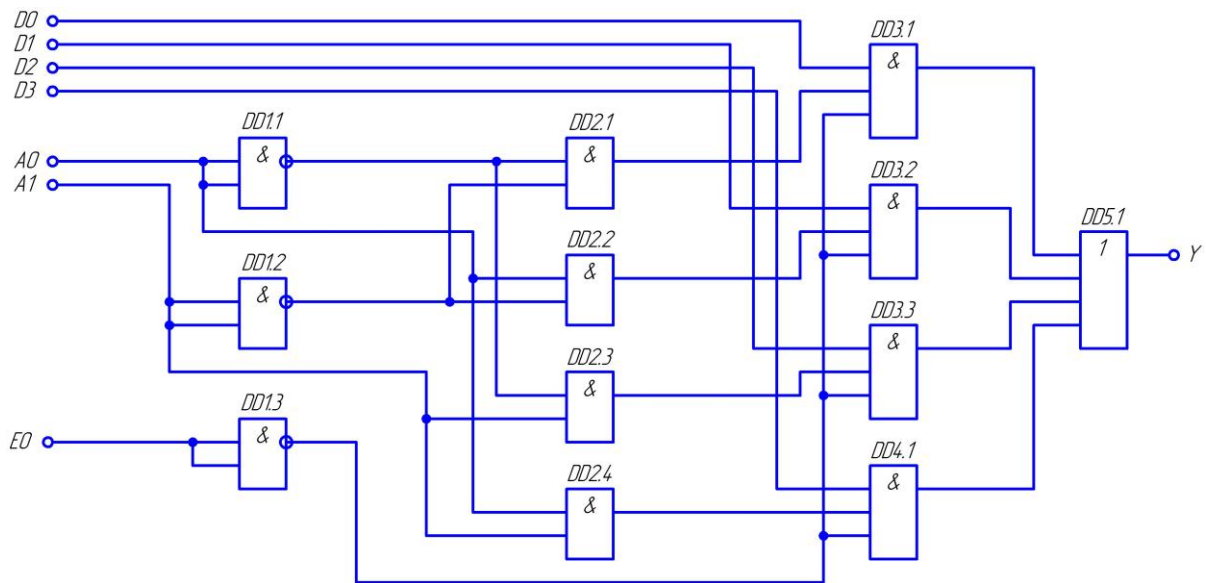


Рис. 5.1. Принципиальная электрическая схема четырехвходового мультиплексора

из четырех информационных входных сигналов D0 – D3 на выход Y.

Здесь линии D0 – D3 – входы данных, потоки данных с которых проходят на выход Y в порядке, определяемом кодовой комбинацией на адресных входах A0 и A1. При этом поток данных с любого из входов D0 – D3 проходит на выход Y только при наличии сигнала разрешения (лог. 0) на входе разрешения EO.

Четырехвходовой мультиплексор является усеченной модификацией восьмивходового мультиплексора, структурная формула, определяющая его функционирование, имеет вид:

$$Y = \overline{X_3} \overline{X_2} \overline{X_1} \overline{V} D_0 + \overline{X_3} \overline{X_2} X_1 \overline{V} D_1 + \overline{X_3} X_2 \overline{X_1} \overline{V} D_2 + \overline{X_3} X_2 X_1 \overline{V} D_3 + \\ + X_3 \overline{X_2} \overline{X_1} \overline{V} D_4 + X_3 \overline{X_2} X_1 \overline{V} D_5 + X_3 X_2 \overline{X_1} \overline{V} D_6 + X_3 X_2 X_1 \overline{V} D_7 \quad (5.1)$$

Мультиплексор можно реализовать с помощью ЛЭ заданного базиса. В

его структуру можно ввести и более сложные цифровые устройства. Можно заметить, что для каждого входа D комбинации сигналов управления (адреса) в мультиплексоре такие же, как и в дешифраторе. Следовательно, составной частью мультиплексора является дешифратор. На рисунке 5.1 элементы DD1.1 – DD1.3, DD2.1 – DD2.4 образуют дешифратор.

В качестве примера можно привести микросхему мультиплексора K555КП7 [3, 4]. Ее УГО показано на рисунке 5.2. Выводы имеют следующее назначение:

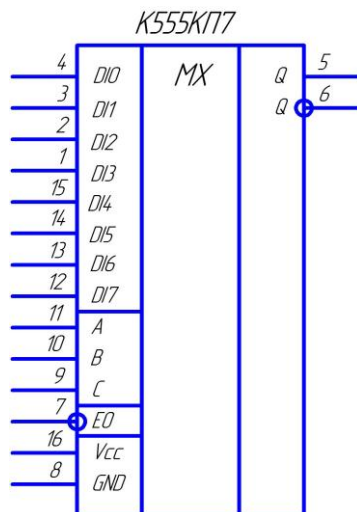


Рис. 5.2. УГО микросхемы мультиплексора K555КП7

- 1 – вход информационный D3;
- 2 – вход информационный D2;
- 3 – вход информационный D1;
- 4 – вход информационный D0;
- 5 – выход информационный Q;
- 6 – выход информационный инверсный Q;
- 7 – вход инверсный разрешения EO;
- 8 – соединение с общим проводом схемы;
- 9 – вход адресный C;
- 10 – вход адресный B;
- 11 – вход адресный A;
- 12 – вход информационный D7;
- 13 – вход информационный D6;
- 14 – вход информационный D5;
- 15 – вход информационный D4;
- 16 – питание +5 В.

5.2. Цель лабораторной работы

Целью лабораторной работы является получение и закрепление навыков

разработки и исследования схем мультиплексоров из заданных ЛЭ, а также специальных микросхем мультиплексоров, исследование их работы и составление их таблиц истинности.

5.3. Задание на лабораторную работу

Получить у преподавателя вариант задания, где должны быть указаны:

- типы ЛЭ или типы микросхем, на основе которых должна быть выполнена схема мультиплексора;

- характеристики схемы мультиплексора;

- по варианту задания тип микросхемы мультиплексора.

Далее требуется:

- разработать схему мультиплексора с использованием заданных ЛЭ;

- разработать схему включения заданной микросхемы мультиплексора;

- исследовать работу разработанных схем в программе ISIS пакета программ “Proteus VSM”;

- по результатам исследования составить таблицы истинности исследованных схем.

5.4. Выполнение лабораторной работы

В ходе выполнения работы требуется, используя приведенные теоретические сведения решить поставленные задачи. Задачи выполнить любым из способов. При решении каждой из задач требуется подробно описать каждый из шагов. По окончании выполнения работы пройти защиту ее результатов у преподавателя с ответами на поставленные контрольные вопросы.

6. ЛАБОРАТОРНАЯ РАБОТА № 11 ИССЛЕДОВАНИЕ ДЕМУЛЬТИПЛЕКСОРА

6.1. Теоретические сведения о демультиплексорах

Демультиплексоры - цифровые комбинационные устройства для коммутации информационного входного сигнала на один из нескольких выходов в соответствии с заданным кодом на управляющих входах [1, 2]. Демультиплексоры решают задачи обратные мультиплексированию. Принципиальная электрическая схема демультиплексора с четырьмя информационными выходами представлена на рисунке 6.1.

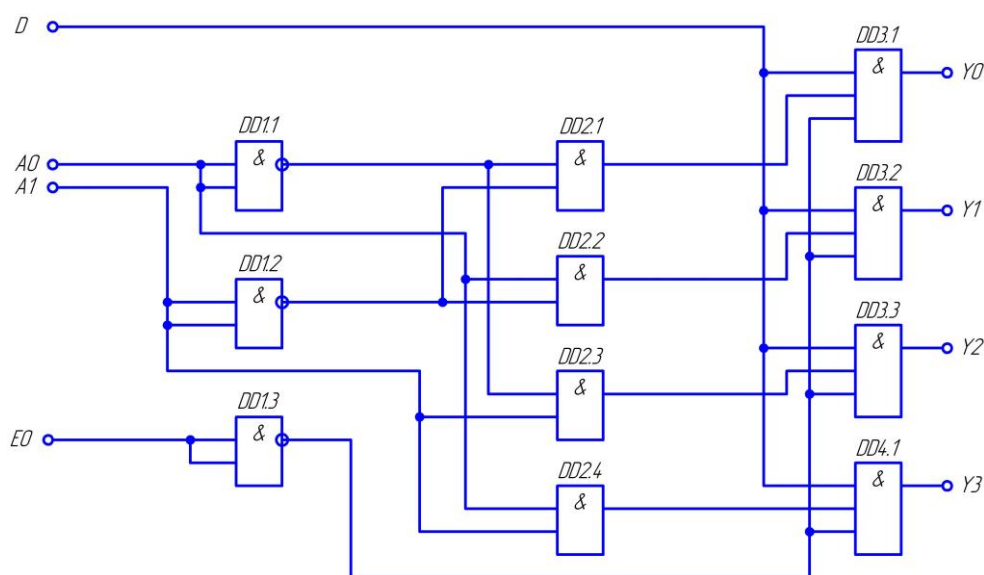


Рис. 6.1. Принципиальная электрическая схема демультиплексора с четырьмя выходами

Структурные формулы, определяющие формирование выходных сигналов такого демультиплексора, имеют вид:

$$Y_0 = \overline{X_2} \overline{X_1} D; Y_1 = \overline{X_2} X_1 D; Y_2 = X_2 \overline{X_1} D; Y_3 = X_2 X_1 D \quad (6.1)$$

Точно такими же выражениями определяется формирование выходных сигналов дешифратора, использующего синхронизацию по входу D . Поэтому в качестве демультиплексора можно применять дешифратор, в котором информационный входной сигнал подан на вход синхронизации. Примером является реализация 2-разрядного демультиплексора с нулевыми активными сигналами на основе сдвоенного дешифратора К555ИД4 [3, 4], УГО которого показано на рисунке 6.2. Выводы имеют следующее назначение:

- 1 – вход информационный канала 1;
- 2 – вход инверсный разрешения канала 1;
- 3 – вход адресный $A1$;

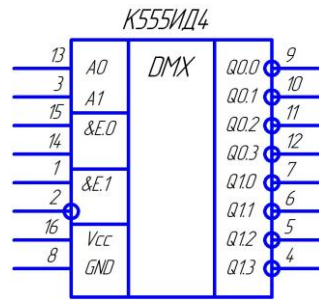


Рис. 6.2. УГО микросхемы демультиплексора К555ИД4

- 4 – выход информационный инверсный 3 канала 1;
- 5 – выход информационный инверсный 2 канала 1;
- 6 – выход информационный инверсный 1 канала 1;
- 7 – выход информационный инверсный 0 канала 1;
- 8 – соединение с общим проводом схемы;
- 9 – выход информационный инверсный 0 канала 0;
- 10 – выход информационный инверсный 1 канала 0;
- 11 - выход информационный инверсный 2 канала 0;
- 12 – выход информационный инверсный 3 канала 0;
- 13 – вход адресный A0;
- 14 – вход разрешения канала 0;
- 15 – вход информационный канала 0;
- 16 – питание +5 В.

6.2. Цель лабораторной работы

Целью лабораторной работы является получение и закрепление навыков разработки и исследования схем демультиплексоров из заданных ЛЭ, а также специальных микросхем демультиплексоров, исследование их работы и составление их таблиц истинности.

6.3. Задание на лабораторную работу

Получить у преподавателя вариант задания, где должны быть указаны:

- типы ЛЭ или типы микросхем, на основе которых должна быть выполнена схема демультиплексора;

- характеристики схемы демультиплексора;
- по варианту задания тип микросхемы демультиплексора.

Далее требуется:

- разработать схему демультиплексора с использованием заданных ЛЭ;
- разработать схему включения заданной микросхемы демультиплексора;
- исследовать работу разработанных схем в программе ISIS пакета программ “Proteus VSM”;

- по результатам исследования составить таблицы истинности исследованных схем.

6.4. Выполнение лабораторной работы.

В ходе выполнения работы требуется, используя приведенные теоретические сведения решить поставленные задачи. Задачи выполнить любым из способов. При решении каждой из задач требуется подробно описать каждый из шагов. По окончании выполнения работы пройти защиту ее результатов у преподавателя с ответами на поставленные контрольные вопросы.

7. ЛАБОРАТОРНАЯ РАБОТА № 12 ИССЛЕДОВАНИЕ КОММУТАТОРА

7.1. Теоретические сведения о цифровых коммутаторах

Цифровые коммутаторы – комбинационные устройства, задачей которых является разрешать передачу цифровой и аналоговой информации на один выход с одного из нескольких входов данных или (и) с одного входа на один из нескольких выходов в зависимости от кодовой комбинации на управляющих (адресных) входах [1, 2].

Структурно они устроены аналогично мультиплексорам и демультиплексорам. Также они могут быть описаны и логически. Однако, в качестве выходного коммутирующего устройства у них, как правило, используется одно- или двунаправленный ключ, который может пропускать дискретные (цифровые) и аналоговые сигналы, управляемый узлом дешифрации адреса и разрешения работы.

На рисунке 7.1 показана принципиальная электрическая схема коммутатора, способного передавать цифровые и аналоговые сигналы, как в одном

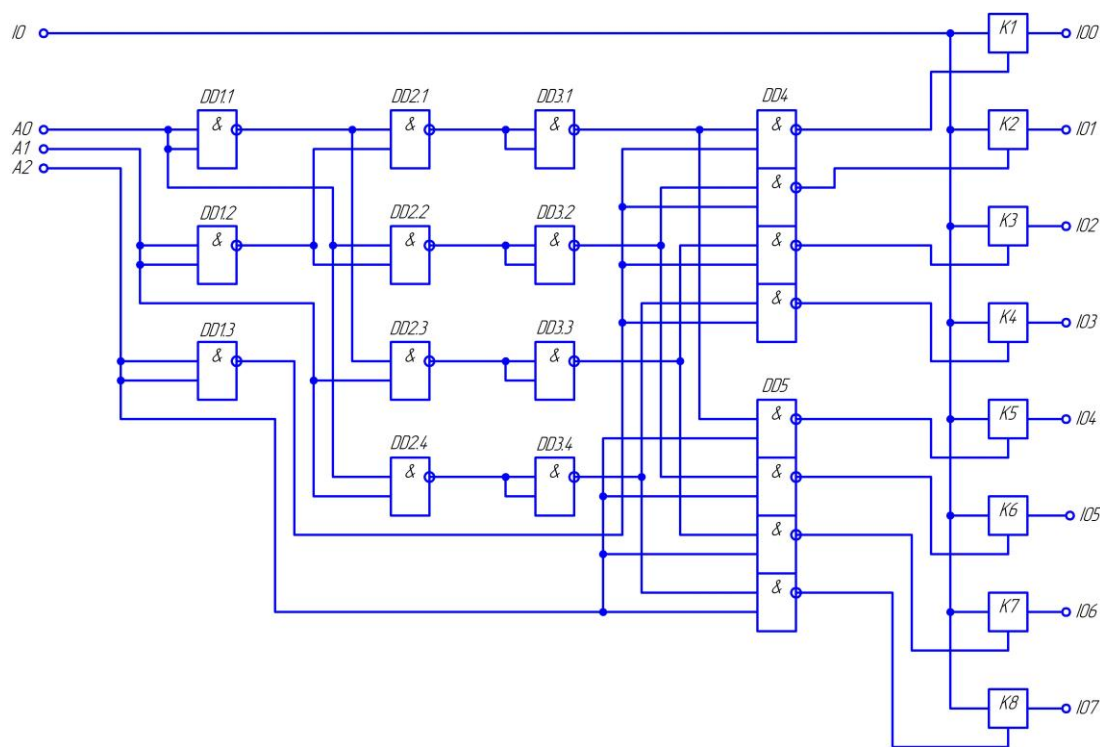


Рис. 7.1. Принципиальная электрическая схема коммутатора

направлении, так и в другом.

На показанной на рисунке 7.1 принципиальной электрической схеме ЛЭ микросхем $DD1$ – $DD5$ выполняют функцию дешифрирования адреса канала-коммутирования, который, в виде трехразрядной двоичной кодовой комбинации, поступает на адресные входы $A0$ – $A2$. Выходные сигналы дешифратора явля-

ются управляющими для двунаправленных ключей К1 – К8. В зависимости от разности потенциалов между универсальным входом-выходом ИО и любым из выбранных дешифратором входов-выходов ИО0 – ИО7, ток протекает, а, соответственно, и проходит цифровой или аналоговый сигнал, либо от входа-выхода ИО к выбранному дешифратором входу-выходу из ИО0 – ИО7, либо в обратном направлении. Иными словами, ток будет протекать от входа-выхода с большим потенциалом напряжения ко входу-выходу с меньшим потенциалом напряжения.

В качестве примера можно рассмотреть микросхему коммутатора К561КП2 [4], УГО которой показано на рисунке 7.2. Выводы имеют следующее назначение:

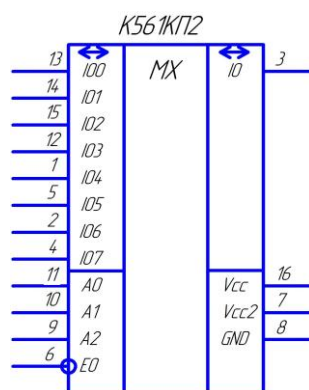


Рис. 7.2. УГО микросхемы коммутатора К56144КП2

- 1 – информационный вход-выход 4;
- 2 – информационный вход-выход 6;
- 3 – информационный выход-вход;
- 4 – информационный вход-выход 7;
- 5 – информационный вход-выход 5;
- 6 – вход разрешения работы;
- 7 – соединение с источником отрицательного напряжения -5...-7,5 В или с общим проводом схемы;
- 8 – общий провод схемы;
- 9 – вход адресный А2;
- 10 – вход адресный А1;
- 11 – вход адресный А0;
- 12 – информационный вход-выход 3;
- 13 – информационный вход-выход 0;
- 14 – информационный вход-выход 1;
- 15 – информационный вход-выход 2;
- 16 – соединение с источником положительного напряжения +5...+15 В.

Если через коммутатор требуется передавать цифровые или аналоговые сигналы с двуполярным напряжением, то вход питания Vcc2 (вывод 7) нужно соединить с источником отрицательного напряжения питания величиной от

минус 5 до минус 7,5 В, а вход питания Vcc (вывод 16) нужно соединить с источником положительного напряжения питания величиной от +5 до +7,5 В. При этом величина напряжения между входами Vcc2 и Vcc должна быть не более 15 В, а сами отрицательное и положительное напряжения питания должны быть равны по величине. При этом амплитуда передаваемого сигнала должна быть не более 7 В, чтобы сигнал передавался без искажений.

Если через коммутатор требуется передавать цифровые или аналоговые сигналы с однополярным напряжением, то питания Vcc2 (вывод 7) нужно соединить с общим проводом, а на вход питания Vcc (вывод 16) подать напряжение питания от +5 до +15 В.

Направление передачи информационных сигналов следующим образом. Если напряжение на выходе-входе IO (вывод 3), измеренное относительно общего провода, выше, чем напряжение на входе-выходе, выбранном из входов-выходов IO0 – IO7 (выводы 13 - 15, 12, 1, 5, 2, 4), то сигнал передается от выхода-входа IO к выбранному входу-выходу IO0 – IO7. Если напряжение на выходе-входе IO (вывод 3), измеренное относительно общего провода, ниже, чем напряжение на входе-выходе, выбранном из входов-выходов IO0 – IO7 (выводы 13 - 15, 12, 1, 5, 2, 4), то сигнал передается от выбранного входа-выхода IO0 – IO7 к выходу-входу IO.

Выбор того или иного входа-выхода IO0 – IO7 зависит от кодовой комбинации адреса на адресных входах A0 – A2.

Чтобы осуществлялась передача сигнала, нужно на вход разрешения EO (вывод 6) подать лог. 0. При лог. 1 на входе разрешения EO передача сигнала в любом направлении блокируется.

Также для использования в радиотелевизионной аппаратуре были разработаны отечественные, не имеющие аналогов, специальные коммутаторы для переключения радио- и телевизионных каналов типа K04КП020 (на 6 коммутируемых каналов) и K04КП024 [7] (на 8 коммутируемых каналов). Структурная схема микросхемы коммутатора K04КП024 показана на рисунке 7.3.

Основой является регистр-дешифратор переключения управляющих ячеек с приоритетом 1. Если один из его входов In1 – In8 кратковременно соединить с общим проводом, то есть подать на него лог. 0, то на выходах произойдет смена комбинации выходных двоичных сигналов, которые управляют управляющими ячейками 2.1 – 2.8. Регистр-дешифратор запоминает номер входа, на который был подан лог. 0, и помнит его до подачи лог. 0 на какой-либо другой из входов, или до отключения напряжения питания. Если лог. 0 одновременно подан на два и более входа, то срабатывает схема приоритета, и запоминается вход с наибольшим номером из тех, на которые подан лог. 0. При подаче напряжения питания срабатывает схема начальной установки и регистр-дешифраторе 2, и управляющий сигнал подается на управляющую ячейку 2, соответствующую входу In1.

При поступлении управляющих сигналов на входы управляющей ячейки, например, с номером 2.3, соответствующим входу In3, она активируется и по-

дает управляющие сигналы на вход ключа настройки 3.3 и на вход ключа индикации 4.3.

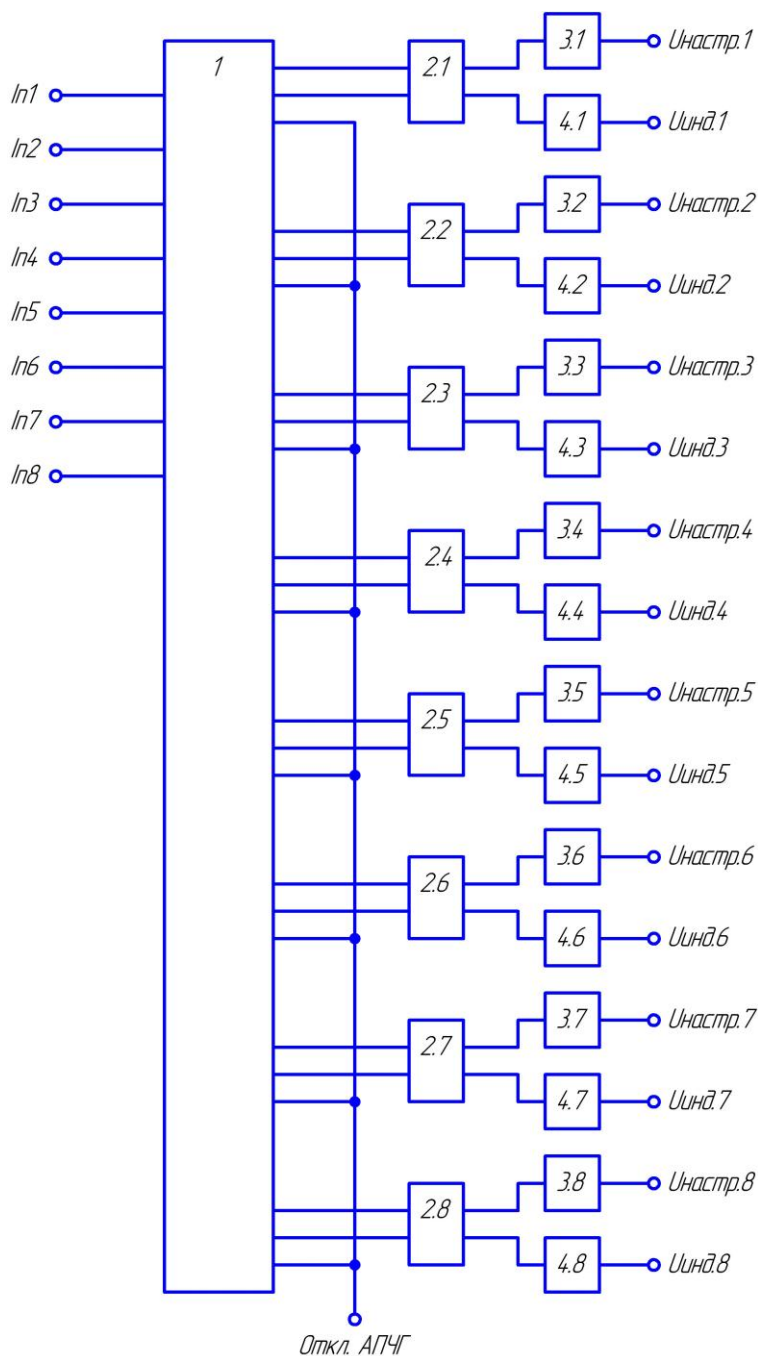


Рис. 7.3. Структурная схема микросхемы коммутатора K04KP024:
1 – регистр-дешифратор переключения управляющих ячеек с приоритетом; 2.1 – 2.8 – управляющая ячейка; 3.1 – 3.8 – выходной ключ настройки; 4.1 – 4.8 – выходной ключ индикации

Ключ настройки 3.3 разрешает прохождение определенного напряжения настройки $U_{\text{настр.3}}$ на выход. Аналогично ключ индикации 4.3 разрешает прохождение напряжения индикации $U_{\text{инд.3}}$ на выход, к которому подключен инди-

катор канала с соответствующим номером.

При смене номера канала, то есть при смене управляющей ячейки, что вызвано подачей лог. 0 на один из входов In1 – In8, формируется импульсный сигнал “Откл. АПЧГ” для временного отключения автоматической подстройки частоты гетеродина радио- или телеприемника. Также этот сигнал может использоваться и для других целей.

На рисунке 7.4 показано УГО и схема включения микросхемы К04КП024.

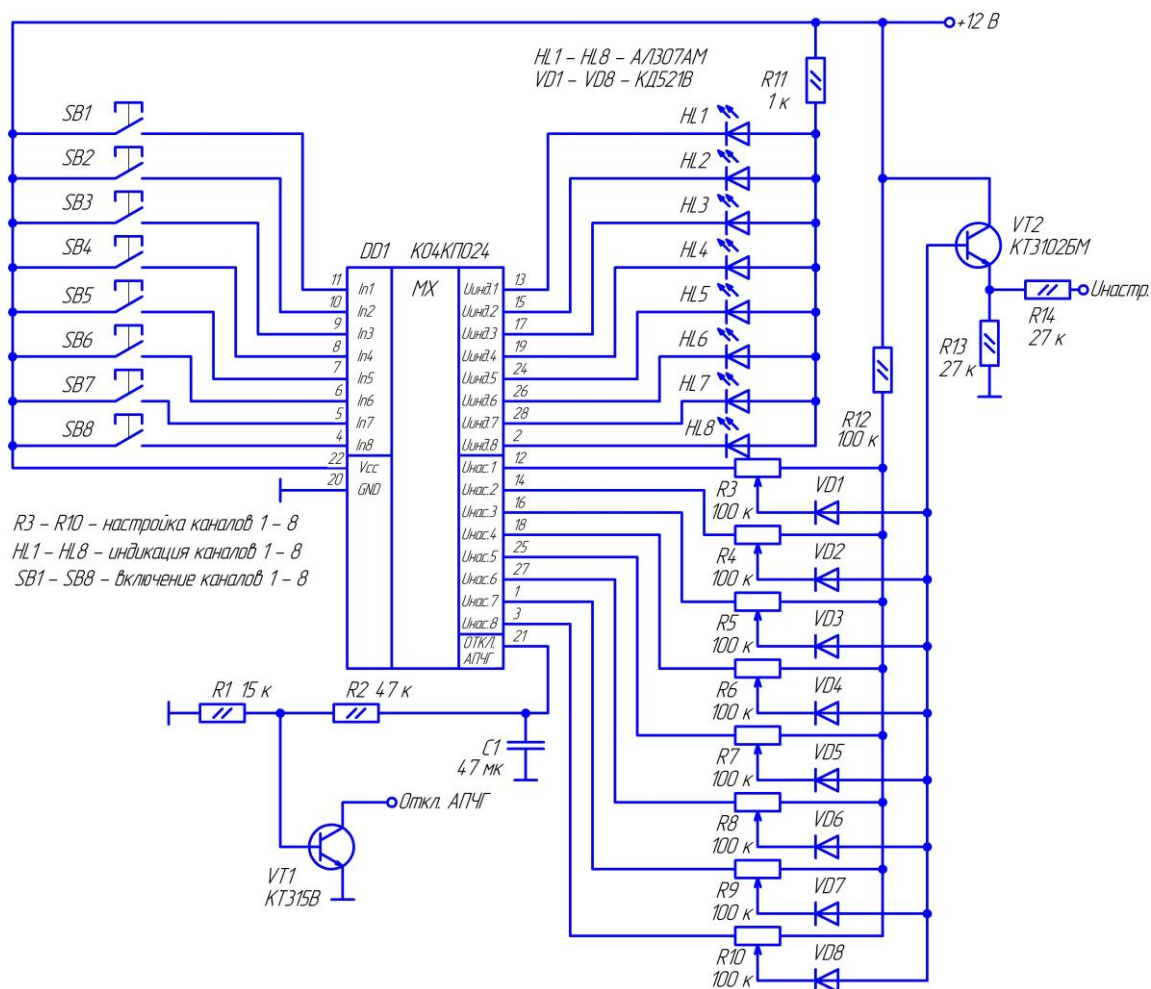


Рис. 7.4. Принципиальная электрическая схема включения микросхемы коммутатора К04КП024

Выходы микросхемы К04КП024 имеют назначение:

- 1 – выход напряжения настройки 7-го канала;
- 2 – выход напряжения индикации включения 8-го канала;
- 3 – выход напряжения настройки 8-го канала;
- 4 – информационный вход включения 8-го канала;
- 5 – информационный вход включения 7-го канала;
- 6 – информационный вход включения 6-го канала;
- 7 – информационный вход включения 5-го канала;
- 8 – информационный вход включения 4-го канала;

- 9 – информационный вход включения 3-го канала;
- 10 – информационный вход включения 2-го канала;
- 11 – информационный вход включения 1-го канала;
- 12 – выход напряжения настройки 1-го канала;
- 13 – выход напряжения индикации 1-го канала;
- 14 – выход напряжения настройки 2-го канала;
- 15 – выход напряжения индикации 2-го канала;
- 16 – выход напряжения настройки 3-го канала;
- 17 – выход напряжения индикации 3-го канала;
- 18 – выход напряжения настройки 4-го канала;
- 19 – выход напряжения индикации 4-го канала;
- 20 – общий провод схемы;
- 21 – выход импульсного сигнала отключения АПЧГ;
- 22 – соединение с источником +12 В;
- 23 – свободный;
- 24 – выход напряжения индикации 5-го канала;
- 25 – выход напряжения настройки 5-го канала;
- 26 – выход напряжения индикации 6-го канала;
- 27 – выход напряжения настройки 6-го канала;
- 28 – выход напряжения индикации 7-го канала.

В момент подачи напряжения питания +12 В и при разомкнутых контактах всех переключателей SB1 – SB8, срабатывает схема начальной установки коммутатора DD1, на выходе $U_{инд1}$ (вывод 13) устанавливается лог. 0, а на выходах $U_{инд2}$ – $U_{инд8}$ – лог. 1, благодаря чему начинает светиться только светодиод HL1, индицируя включение настройки первого канала. Одновременно с этим, благодаря выходному ключу настройки 3.1 (смотреть рисунок 7.3) к общему проводу подключается левый по схеме вывод резистора R3, отвечающего за установку напряжения настройки первого канала, в то время, как левые по схеме выводы резисторов R4 – R10, отвечающие за установку напряжений настройки каналов 2 – 8, с общим проводом не соединяются.

Если происходит кратковременное замыкание контактов одного из переключателей SB1 – SB8, отвечающих за выбор каналов 1 – 8 соответственно, то на соответствующий информационный вход In1 – In8 (выводы 11 – 4) коммутатора DD1 подается напряжение +12 В. Это приводит к срабатыванию регистратифратора переключения управляющих ячеек с приоритетом, благодаря чему на соответствующем выходе $U_{инд2}$ – $U_{инд8}$ появляется лог. 0, приводя к зажиганию соответствующего светодиода HL1 – HL8, отвечающего за индикацию работы соответствующего канала. Одновременно с этим, благодаря одному из выходных ключей настройки 3.1 – 3.8, соответствующему выбранному каналу, к общему проводу подключается левый по схеме вывод одного из резисторов R3 – R10, отвечающего за установку напряжения настройки выбранного канала, в то время, как левые по схеме выводы остальных резисторов R4 – R10, отвечающие за установку напряжений настройки не выбранных каналов, с об-

щим проводом не соединяются.

Как видно, правые по схеме выводы резисторов R3 – R10 соединяются друг с другом и с нижним по схеме выводом резистора R12, который, в свою очередь, своим верхним по схеме выводом соединен с источником напряжения +12 В. Когда левый по схеме вывод одного из резисторов R3 – R10 соединяется с общим проводом, получается делитель напряжения, состоящий из резистора R12 и одного из резисторов R3 – R10, соответствующего выбранному каналу. Перемещением (поворотом) движков переменных резисторов R3 – R10 изменяют напряжение настройки соответствующего канала, которое, через соответствующий диод из VD1 – VD8 поступает на базу транзистора VT2, закрывая его. Надо учесть, что транзистор VT2 работает в линейном режиме, и, в зависимости от напряжения на его базе, находится между полностью закрытым и полностью открытым состоянием. Благодаря этому, на его эмиттере присутствует изменяемое напряжение настройки, которое через делитель из резисторов R13 и R14 поступает в схему настройки радио- или телеприемника.

Резистор R11 ограничивает ток через зажженный светодиод выбранного канала.

Узел на элементах R1, R2, VT1, C1 отключает автоматическую подстройку частоты гетеродина (АПЧГ) радио- или телеприемника на время переключения канала. Цепь R1R2 – делитель напряжения, подаваемого на базу транзистора VT1. Когда на выходе “Откл. АПЧГ” (вывод 21) коммутатора DD1 появляется лог. 1, транзистор VT1 открывается, соединяя с общим проводом, подключенный к его коллектору вход устройства АПЧГ, тем самым блокируя на время его работу. Конденсатор C1 делает более продолжительным, а, соответственно, плавным отключение и включение АПЧГ.

7.2. Цель лабораторной работы

Целью лабораторной работы является получение и закрепление навыков разработки и исследования схем коммутаторов из заданных ЛЭ, а также специальных микросхем коммутаторов, исследование их работы и составление их таблиц истинности.

7.3. Задание на лабораторную работу

Получить у преподавателя вариант задания, где должны быть указаны:

- типы ЛЭ или типы микросхем, на основе которых должна быть выполнена схема коммутатора;
 - характеристики схемы коммутатора;
 - по варианту задания тип микросхемы коммутатора.
- Далее требуется:
- разработать схему коммутатора с использованием заданных ЛЭ;
 - разработать схему включения заданной микросхемы коммутатора;

- исследовать работу разработанных схем в программе ISIS пакета программ “Proteus VSM”;
- по результатам исследования составить таблицы истинности исследованных схем.

7.4. Выполнение лабораторной работы

В ходе выполнения работы требуется, используя приведенные теоретические сведения решить поставленные задачи. Задачи выполнить любым из способов. При решении каждой из задач требуется подробно описать каждый из шагов. По окончании выполнения работы пройти защиту ее результатов у преподавателя с ответами на поставленные контрольные вопросы.

8. ЛАБОРАТОРНАЯ РАБОТА № 13 ИССЛЕДОВАНИЕ ПРЕОБРАЗОВАТЕЛЯ КОДОВ

8.1. Теоретические сведения о преобразователях кодов

В большинстве случаев задача перекодирования информации решается с помощью специальных преобразователей кодов. Также эта задача может решаться с помощью постоянных запоминающих устройств (будет рассмотрено в одном из следующих разделов) и микроконтроллеров. Синтез заданного преобразователя сводится к минимизации и реализации в выбранном базисе столько функций, сколько разрядов содержится в выходном коде. Аргументами этих функций являются разряды входного кода. При наличии избыточных наборов их используют для доопределения и упрощения логической схемы.

Синтез преобразователя кодов можно рассмотреть на примере преобразования двоично-десятичного кода в специальный семиразрядный код, необходимый для управления работой семиэлементного (семисегментного) цифрового светодиодного индикатора, внешний вид которого показан на рисунке 8.1, принципиальная электрическая схема индикатора с общим анодом – на рисунке 8.2, принципиальная электрическая схема индикатора с общим катодом – на рисунке 8.3, а индикация цифр и задействованные в каждой цифре сегменты – на рисунке 8.4 [8].



Рис. 8.1. Внешний вид семисегментного светодиодного индикатора TOS-5161AMR-N с общим анодом

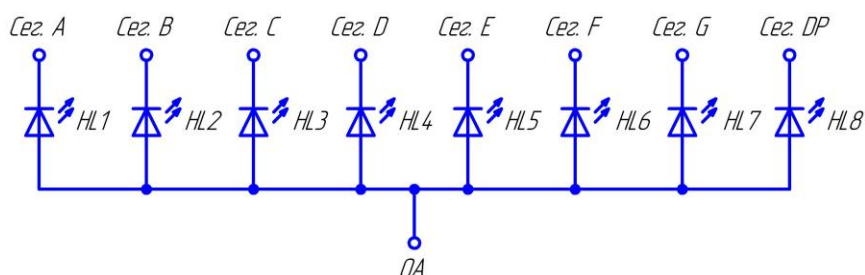


Рис. 8.2. Принципиальная электрическая схема семисегментного светодиодного индикатора с общим анодом (например, типа TOS-5161BMG-N)

Как видно из схемы на рисунке 8.2, у семисегментного индикатора с общим анодом вместе соединены аноды светодиодов, на которые, как правило,

подаётся положительное напряжение питания, через токоограничительный резистор или без такового. Катоды же светодиодов подключаются каждый к своему электронному ключу, в качестве которого может использоваться ЛЭ с общим коллектором или отдельный транзистор структуры NPN (как правило) или PNP. Подключение катодов может быть выполнено через токоограничительные резисторы (как правило) или без таковых, если приняты другие меры ограничения тока через светодиоды и электронные ключи. При открывании электронного ключа ток протекает от источника положительного напряжения питания, через переход анод-катод светодиода, через токоограничительный резистор, через открытый электронный ключ на общий провод схемы. Светодиод сегмента светится. Если электронный ключ закрыт – светодиод сегмента погашен.

Как видно из схемы на рисунке 8.3, у семисегментного индикатора с общим катодом вместе соединены катоды светодиодов, которые, как правило, соединяются с общим проводом схемы, через токоограничительный резистор или без такового. Аноды же светодиодов подключаются каждый к своему электронному ключу, в качестве которого может использоваться ЛЭ или отдельный транзистор структуры NPN (как правило) или PNP. Подключение анодов может быть выполнено через токоограничительные резисторы (как правило) или без таковых, если приняты другие меры ограничения тока через светодиоды и электронные ключи. При открывании электронного ключа ток протекает от источника положительного напряжения питания, через открытый электронный ключ, через переход анод-катод светодиода, через токоограничительный резистор, на

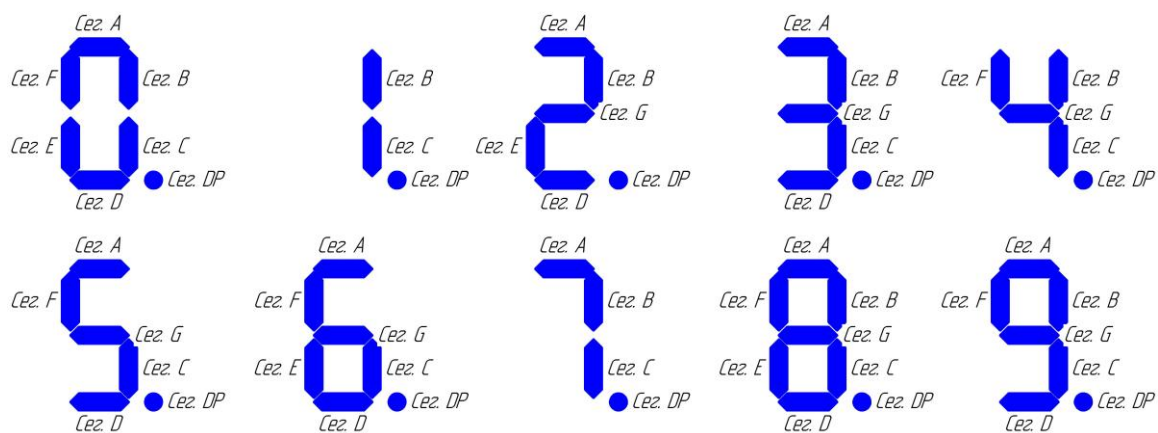


Рис. 8.3. Сегменты, задействованные в индикации цифр

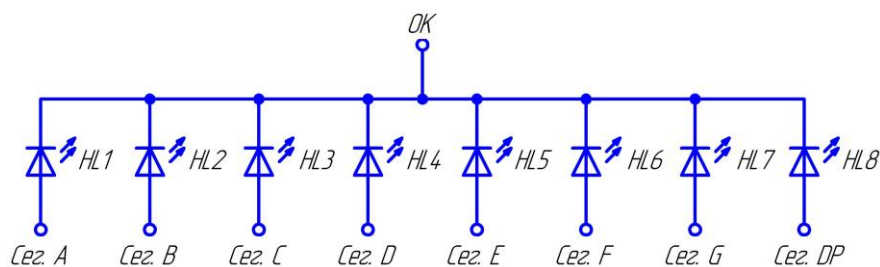


Рис. 8.4. Принципиальная электрическая схема семисегментного светодиодного индикатора с общим катодом (например, типа TOS-5161AMR-N)

общий провод схемы. Светодиод сегмента светится. Если электронный ключ закрыт – светодиод сегмента погашен.

Сегменты семисегментного светодиодного индикатора обозначаются латинскими буквами А, В, С, D, Е, F, G или a, b, c, d, e, f, g, что показано на рисунке 8.4. Там же показано, какие сегменты используются при индикации конкретной цифры. В большинстве выпускаемых в настоящее время семисегментных индикаторов присутствует восьмой сегмент, который не задействуется при индикации ни одной цифры. Это сегмент десятичной точки, обозначаемый DP, что показано на рисунках 8.2 – 8.4.

Таким образом, преобразователь кода для семисегментного индикатора должен иметь 7 выходов (сегмент десятичной точки индикатора не используется) от Y0 до Y6 (восьмой выход Y7 может присутствовать, но в данном случае не используется и на нем всегда имеется лог. 0). Если принять, что:

- используется индикатор с общим катодом;
- к выходу Y0 подключен сегмент А индикатора;
- к выходу Y1 подключен сегмент В индикатора;
- к выходу Y2 подключен сегмент С индикатора;
- к выходу Y3 подключен сегмент D индикатора;
- к выходу Y4 подключен сегмент Е индикатора;
- к выходу Y5 подключен сегмент F индикатора;
- к выходу Y6 подключен сегмент G индикатора;
- используется 4 входных двоичных сигнала X0 – X3, на которые подаются двоичные кодовые комбинации десятичных чисел;

то можно составить таблицу истинности преобразователя кодов, что показано в таблице 8.1.

Таблица 8.1

Таблица истинности логических функций преобразователя кодов.

Цифра	X ₃	X ₂	X ₁	X ₀	Y ₆	Y ₅	Y ₄	Y ₃	Y ₂	Y ₁	Y ₀
1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	0	0	0	1	1	1	1	1	1
1	0	0	0	1	0	0	0	0	1	1	0
2	0	0	1	0	3	0	1	1	0	1	1
3	0	0	1	1	1	0	0	1	1	1	1
4	0	1	0	0	1	1	0	0	1	1	0
5	0	1	0	1	1	1	0	1	1	0	1
6	0	1	1	0	1	1	1	1	1	0	1
7	0	1	1	1	0	0	0	0	1	1	1
8	1	0	0	0	1	1	1	1	1	1	1

Продолжение таблицы 8.1

1	2	3	4	5	6	7	8	9	10	11	12
9	1	0	0	1	1	1	0	1	1	1	1
----	1	0	1	0	*	*	*	*	*	*	*
----	1	0	1	1	*	*	*	*	*	*	*
----	1	1	0	0	*	*	*	*	*	*	*
----	1	1	0	1	*	*	*	*	*	*	*
----	1	1	1	0	*	*	*	*	*	*	*
----	1	1	1	1	*	*	*	*	*	*	*

Теперь требуется определить логические выражения для каждого из выходов преобразователя кодов для индикации каждой из цифр. Например, десятичная цифра 0 задается двоично-десятичным кодом 0000 на входе. При этом подсвечиваются все сегменты, за исключением G. Цифра 7 задается кодом 0111, а подсвечиваются элементы A, B и C. Логические функции в таблице 8.1 определены не полностью, так как последние шесть кодовых комбинаций не соответствуют никаким десятичным цифрам и являются запрещенными.

Следуя изложенной выше методике, можно создать для каждого из выходов логическую функцию

$$Y_0 = \overline{X_3} \overline{X_2} \overline{X_1} \overline{X_0} \vee \overline{X_3} \overline{X_2} X_1 \overline{X_0} \vee \overline{X_3} \overline{X_2} X_1 X_0 \vee \overline{X_3} X_2 \overline{X_1} \overline{X_0} \vee \overline{X_3} X_2 X_1 \overline{X_0} \vee \overline{X_3} X_2 X_1 X_0 \vee X_3 \overline{X_2} \overline{X_1} \overline{X_0} \vee X_3 \overline{X_2} \overline{X_1} X_0 \quad (8.1)$$

$$Y_1 = \overline{X_3} \overline{X_2} \overline{X_1} \overline{X_0} \vee \overline{X_3} \overline{X_2} \overline{X_1} X_0 \vee \overline{X_3} \overline{X_2} X_1 \overline{X_0} \vee \overline{X_3} X_2 \overline{X_1} \overline{X_0} \vee \overline{X_3} X_2 \overline{X_1} X_0 \vee \overline{X_3} X_2 X_1 \overline{X_0} \vee X_3 \overline{X_2} \overline{X_1} \overline{X_0} \vee X_3 \overline{X_2} \overline{X_1} X_0 \quad (8.2)$$

$$Y_2 = \overline{X_3} \overline{X_2} \overline{X_1} \overline{X_0} \vee \overline{X_3} \overline{X_2} \overline{X_1} X_0 \vee \overline{X_3} \overline{X_2} X_1 \overline{X_0} \vee \overline{X_3} X_2 \overline{X_1} \overline{X_0} \vee \overline{X_3} X_2 X_1 \overline{X_0} \vee \overline{X_3} X_2 X_1 X_0 \vee X_3 \overline{X_2} \overline{X_1} \overline{X_0} \vee X_3 \overline{X_2} \overline{X_1} X_0 \quad (8.3)$$

$$Y_3 = \overline{X_3} \overline{X_2} \overline{X_1} \overline{X_0} \vee \overline{X_3} \overline{X_2} \overline{X_1} X_0 \vee \overline{X_3} \overline{X_2} X_1 \overline{X_0} \vee \overline{X_3} X_2 \overline{X_1} \overline{X_0} \vee \overline{X_3} X_2 X_1 \overline{X_0} \vee \overline{X_3} X_2 X_1 X_0 \vee X_3 \overline{X_2} \overline{X_1} \overline{X_0} \vee X_3 \overline{X_2} \overline{X_1} X_0 \quad (8.4)$$

$$Y_4 = \overline{X_3} \overline{X_2} \overline{X_1} \overline{X_0} \vee \overline{X_3} \overline{X_2} X_1 \overline{X_0} \vee \overline{X_3} X_2 \overline{X_1} \overline{X_0} \vee \overline{X_3} X_2 X_1 \overline{X_0} \vee X_3 \overline{X_2} \overline{X_1} \overline{X_0} \quad (8.5)$$

$$Y_5 = \overline{X_3} \overline{X_2} \overline{X_1} \overline{X_0} \vee \overline{X_3} \overline{X_2} \overline{X_1} X_0 \vee \overline{X_3} \overline{X_2} X_1 \overline{X_0} \vee \overline{X_3} X_2 \overline{X_1} \overline{X_0} \vee \overline{X_3} X_2 X_1 \overline{X_0} \vee \overline{X_3} X_2 X_1 X_0 \vee X_3 \overline{X_2} \overline{X_1} \overline{X_0} \quad (8.6)$$

$$Y_6 = \overline{X_3} \overline{X_2} \overline{X_1} \overline{X_0} \vee \overline{X_3} \overline{X_2} \overline{X_1} X_0 \vee \overline{X_3} \overline{X_2} X_1 \overline{X_0} \vee \overline{X_3} X_2 \overline{X_1} \overline{X_0} \vee \overline{X_3} X_2 X_1 \overline{X_0} \vee \overline{X_3} X_2 X_1 X_0 \vee X_3 \overline{X_2} \overline{X_1} \overline{X_0} \vee X_3 \overline{X_2} \overline{X_1} X_0 \quad (8.7)$$

Каждая из логических формул (8.1) – (8.7) может быть реализована на ба-

зе тех или иных ЛЭ.

Пример аппаратной реализации преобразователя кодов для семисегментного индикатора - микросхема К555ИД18 [3, 4], которая представляет дешифратор (преобразователь) двоично-десятичного кода в семисегментный для управления семисегментными цифровыми индикаторами. Ее УГО и принципиальная электрическая схема соединения с семисегментным индикатором показана на рисунке 8.5. Выводы имеют следующее назначение:

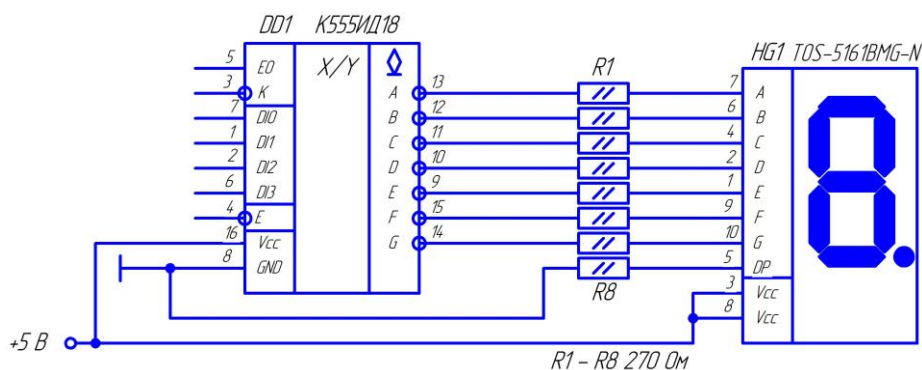


Рис. 8.5. УГО и принципиальная электрическая схема включения микросхемы преобразователя кодов К555ИД18 совместно с индикатором TOS-5161BMG-N

- 1 – вход информационный 1;
- 2 – вход информационный 2;
- 3 – вход инверсный управления контролем исправности сегментов индикатора;
- 4 – вход/выход инверсный управления гашением незначащих нулей;
- 5 – вход управления гашением сегментов индикатора;
- 6 – вход информационный 3;
- 7 – вход информационный 0;
- 8 – соединение с общим проводом схемы;
- 9 – выход инверсный управления сегментом Е индикатора;
- 10 – выход инверсный управления сегментом D индикатора;
- 11 – выход инверсный управления сегментом C индикатора;
- 12 – выход инверсный управления сегментом B индикатора;
- 13 – выход инверсный управления сегментом A индикатора;
- 14 – выход инверсный управления сегментом G индикатора;
- 15 – выход инверсный управления сегментом F индикатора;
- 16 – питание +5 В.

Как видно на рисунке 8.5, выходы микросхемы К555ИД18 имеют открытый коллектор. Поэтому к ней возможно подключение только индикатора с общим анодом, например, типа TOS-5161BMG-N [9]. Катоды светодиодов индикатора подключены к выходам микросхемы через токоограничительные резисторы R1 – R7 сопротивлением 270 Ом, что достаточно для ограничения тока

через сегменты индикатора и через транзисторные ключи выходных каскадов микросхемы. Сегмент десятичной точки DP (вывод 5) индикатора HG1 может подключаться через резистор R8 сопротивлением 270 Ом к общему проводу, но возможно и иное включение, если требуется, чтобы десятичная точка то свети-лась, то была погашена.

В случае подачи на вход ЕО (вывод 5) микросхемы DD1 лог. 0, все сегменты подключенного индикатора гаснут.

В случае подачи на вход К (вывод 3) микросхемы DD1 сигнала лог. 0, вне зависимости от подаваемой на входы DI0 – DI3 (выводы 7, 1, 2, 6) кодовой комбинации, светятся все сегменты подключенного индикатора. Это используется для проверки исправности индикатора.

Вход Е (вывод 4) микросхемы DD1 можно соединить через резистор сопротивлением 1 кОм с источником +5 В. Однако, если требуется гашение незначащих нулей, то на него можно подавать лог. 0.

8.2. Цель лабораторной работы

Целью лабораторной работы является получение и закрепление навыков разработки и исследования схем преобразователей кодов из заданных ЛЭ, а также специальных микросхем преобразователей кодов, исследование их работы и составление их таблиц истинности.

8.3. Задание на лабораторную работу

Получить у преподавателя вариант задания, где должны быть указаны:

- типы ЛЭ или типы микросхем, на основе которых должна быть выполнена схема преобразователя кодов для семисегментного индикатора;
- тип семисегментного индикатора (с общим анодом или с общим катодом);
- для каких сегментов индикатора и каких индицируемых цифр строится преобразователь кодов;
- по варианту задания тип микросхемы преобразователя кодов.

Далее требуется:

- разработать схему преобразователя кодов с использованием заданных ЛЭ;
- разработать схему включения заданной микросхемы преобразователя кодов;
- исследовать работу разработанных схем в программе ISIS пакета программ “Proteus VSM”;
- по результатам исследования составить таблицы истинности исследованных схем.

8.4. Выполнение лабораторной работы

В ходе выполнения работы требуется, используя приведенные теоретические сведения решить поставленные задачи. Задачи выполнить любым из способов. При решении каждой из задач требуется подробно описать каждый из шагов. По окончании выполнения работы пройти защиту ее результатов у преподавателя с ответами на поставленные контрольные вопросы.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Тюрин И.В. Вычислительная техника : учебное пособие/ И.В. Тюрин. - Тамбов: Издательский центр ФГБОУ ВО «ТГТУ», 2019. – 112 с.
2. Желенков Б.В. Основы вычислительной техники: учебник для вузов/ Б.В. Желенков, Н.А. Цтганова. – Санкт-Петербург: Лань, 2024. – 168 с.: ил.
3. Шилов В.Л. Популярные цифровые микросхемы: справочник. - М.: Радио и связь, 1987. – 352.(Массовая радиобиблиотека. Вып. 1111).
4. Цифровые интегральные микросхемы: Справочник/ П.П. Мальцев, Н.С. Додлидзе, М.И. Критенко и др. – М.: Радио и связь, 1994. - 240 с.: ил.
5. А. Максимов. Моделирование устройств на микроконтроллерах с помощью программы ISIS из пакета Proteus VSM./ А. Максимов// Радио. - 2005. - № 4. С. 30 – 33, № 5. С. 31 – 34, № 6. С. 30 – 33.
6. В. Гололобов. "Экскурсия по электронике".
<http://vgololobov.narod.ru/content/proteus/Proteus.html>
7. Нефедов А.В. Интегральные микросхемы и их зарубежные аналоги. Справочник. Т. 2. – М.: ИП РадиоСофт, 2000. – 640 с.: ил.
8. Ладик А.И., Сташкевич А.И. Изделия электронной техники. Знакосинтезирующие индикаторы: Справочник. – М.: Радио и связь, 1994. – 176 с.: ил.
9. Электронный каталог компании “Чип и Дип”.
<https://www.chipdip.ru/product/tos-5161bmg-n>

ТЕХНОЛОГИИ ПРОГРАММИРОВАНИЯ МЕХАТРОННЫХ СИСТЕМ

МЕТОДИЧЕСКИЕ УКАЗАНИЯ

к проведению лабораторных работ № 6-13
для студентов специальностей
15.02.10 «Мехатроника и мобильная робототехника (по отраслям)»
и 15.02.10 «Мехатроника и робототехника (по отраслям)»
всех форм обучения

Составитель

Коротков Виктор Николаевич

Издается в авторской редакции

Компьютерный набор В.Н. Короткова

Подписано к изданию 06.05.2025.

Уч.-изд. л. 2,6

ФГБОУ ВО «Воронежский государственный технический университет»
394006 Воронеж, ул. 20-летия Октября, 84