

ФГБОУ ВПО «Воронежский государственный
технический университет»

Кафедра систем информационной безопасности

131-2015

МЕТОДИЧЕСКИЕ УКАЗАНИЯ

к практическим занятиям № 1–3 по дисциплине
«Организация ЭВМ и вычислительных систем»
для студентов специальности
090303 «Информационная безопасность
автоматизированных систем»
очной формы обучения

Воронеж 2015

Составители: д-р техн. наук К. А. Разинкин, аспирант
Г. А. Савенков

УДК 004.056.5

Методические указания к практическим занятиям № 1–3 по дисциплине «Организация ЭВМ и вычислительных систем» для студентов специальности 090303 «Информационная безопасность автоматизированных систем» очной формы обучения / ФГБОУ ВПО «Воронежский государственный технический университет»; сост. К. А. Разинкин, Г. А. Савенков. Воронеж, 2015. 44 с.

Методические указания посвящены исследованию функционирования типовых узлов комбинационного типа цифровой электроники, таких как сумматор, шифратор и дешифратор с использованием пакета симуляции электронных схем Electronic Workbench.

Методические указания подготовлены в электронном виде в текстовом редакторе MS Word 2013 и содержатся в файле Разинкин_ПЗ_Организация ЭВМ_1-3.pdf.

Табл. 26. Ил. 24. Библиогр.: 14 назв.

Рецензент д-р техн. наук, проф. А. Г. Остапенко

Ответственный за выпуск зав. кафедрой д-р техн. наук,
проф. А. Г. Остапенко

Издается по решению редакционно-издательского совета
Воронежского государственного технического университета

© ФГБОУ ВПО «Воронежский
государственный технический
университет», 2015

Практическое занятие № 1

Сумматоры

Цель работы: изучить принципы работы полусумматора и полного сумматора, а также рассмотреть реализацию функции вычитания двоичных величин с использованием сумматора.

Теоретические сведения

Сумматором называется комбинационное логическое устройство, предназначенное для выполнения операции арифметического сложения чисел, представленных в виде двоичных кодов [2, 4 6]. Операция вычитания заменяется сложением чисел в обратном или дополнительном кодах. Операции умножения и деления сводятся к реализации многократных сложений и сдвигов.

Сумматор складывает числа поразрядно, учитывая перенос из младшего разряда и формируя результат сложения и перенос в старший разряд. По числу входов различают: полусумматоры, полные сумматоры [8]. В описании иногда приведены рисунки без части индикаторов, имеющих в моделях, для экономии места.

Полусумматор

Полусумматор (HS) складывает два двоичных числа одного, самого младшего разряда A_0, B_0 без учета переноса в этот разряд (младше разрядов нет). Выходные значения: результат сложения S_0 и перенос в старший разряд P_0 представлены в таблице истинности (табл. 1).

Таблица истинности полусумматора

| A_0 | B_0 | S_0 | P_0 |
|-------|-------|-------|-------|
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

Из табл.1 следуют аналитические выражения выходных сигналов:

$$S_0 = \overline{A_0} \cdot B_0 + A_0 \cdot \overline{B_0} = A_0 \oplus B_0; \quad (1)$$

$$P_0 = A_0 \cdot B_0.$$

Для арифметического сложения в одном разряде двоичной системы счисления используется логическая операция «Исключающее ИЛИ», для получения переноса – логическая операция «Умножение».

Задание 1. С помощью комбинаций входных логических сигналов, изучить работу полусумматора, и его таблицу истинности.

Полусумматор *Half Adder* и его таблица истинности представлена на рис. 1, 2, где используются следующие обозначения:

- A_0, B_0 – слагаемые двоичные числа разряда 0;
- Sum_0 – результат сложения в разряде 0;
- $carry_0$ (*carry out*) – перенос результата сложения из разряда 0 в старший разряд 1.

Перенос возможен в том случае, если $A_1A_0 + B_1B_0 = 01+01=10$, где $carry\ out = 1, Sum_0 = 0$.

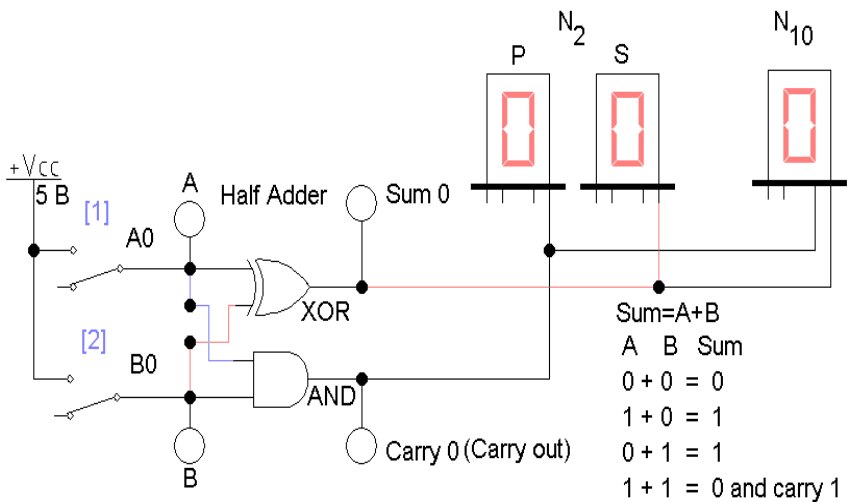


Рис. 1. Схема полусумматора на логических элементах

Полусумматор из поля компонентов *Digital* и его таблица истинности (рис. 2).

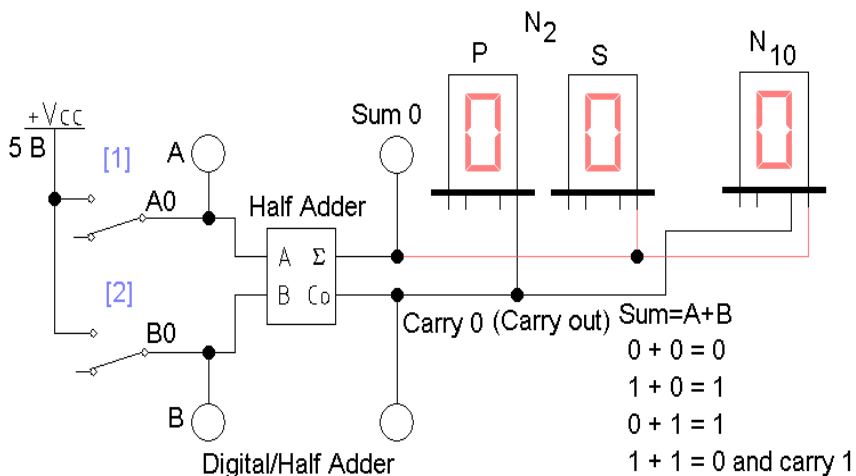


Рис. 2. Схема полусумматора

Полный сумматор

Одноразрядный полный сумматор (рис. 3) складывает три двоичных числа и имеет соответствующие им входы: для разряда слагаемого A_n , разряда слагаемого B_n , входного сигнала переноса из младшего разряда *carry in*.

Результат сложения: Sum_n и перенос в старший разряд *carry out*.

Полный сумматор состоит из трех полусумматоров (рис. 3).

Следовательно, суммирование осуществляется аналогично сложению «в столбик».

Задание 2. С помощью комбинаций входных логических сигналов изучить работу полного сумматора, и его таблицу истинности.

Полный сумматор и его таблица истинности представлены на рис. 3, 4. Полусумматор для получения переноса можно заменить элементом ИЛИ.

На первом полусумматоре складываются переменные, на втором к результату добавляется перенос из младшего разряда, третий используется для расчета переноса.

Полный сумматор из поля компонентов *Digital* и его таблица истинности представлен на рис. 4.

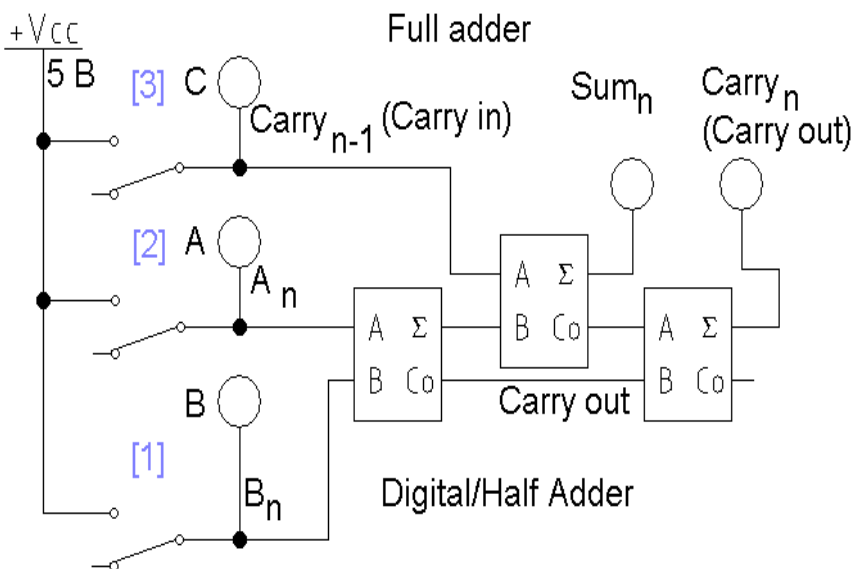


Рис. 3. Схема одноразрядного полного сумматора на полусумматорах (без части индикаторов)

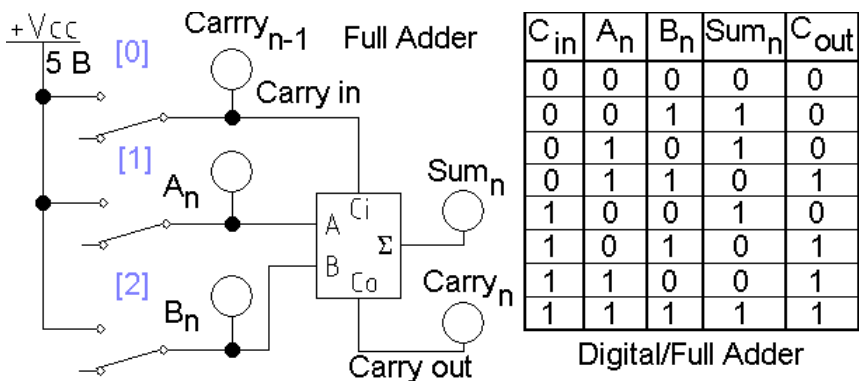


Рис. 4. Схема одноразрядного полного сумматора (без части индикаторов) и таблица истинности

Модель на рис. 5 – полный двухразрядный сумматор сложения двоичных чисел A_1, A_0 и B_1, B_0 .

Обозначения на рисунках:

- A_1A_0, B_1B_0 – слагаемые двухразрядные двоичные числа разрядов 1 и 0;
- Sum_0 – результат сложения в младшем разряде 0;
- Sum_1 – результат сложения в старшем разряде 1;
- $carry_0$ – перенос внутри сумматора из разряда 0, как результат сложения A_0 и B_0 , в старший разряд 1, на выходе сумматора его нет;
- $carry\ out$ – перенос из разряда 1 в следующий старший разряд 2.

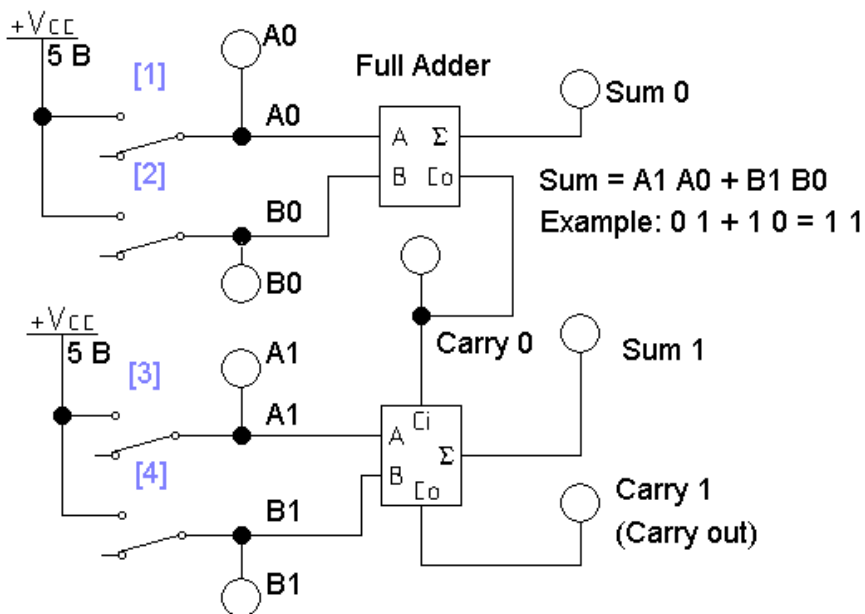


Рис. 5. Схема полного двухразрядного сумматора (без части индикаторов)

В данном примере не учитывается перенос из разряда, младше 0, считается, что его нет. Поэтому при суммировании в разряде 0 использован полусумматор. В файле приводится пример сложения *Example*.

Вычитатели

Операция вычитания осуществляется путем изменения знака вычитаемого и сложения с уменьшаемой величиной. Изменение знака осуществляется переводом вычитаемого в дополнительный код.

Для распознавания знака числа используется старший разряд (знаковый разряд). У положительных чисел он равен нулю, у отрицательных чисел равен единице.

При выполнении операций сложения и вычитания возможны ошибки, если количество разрядов результата вычислений превышает разрядность вычислительных устройств.

Например, результат сложения чисел на калькуляторе превышает его возможности отображения, при этом старший разряд может быть утрачен.

Пример: вычислить: $4 + (-3)$, результат представить в четырехразрядном двоичном коде. Пятый разряд использовать как знаковый. Ответ в табл. 2.

Таблица 2

Последовательность операции вычитания

| Двоичное число | | Десятичное число | | Комментарий |
|----------------|-------------|------------------|----------|---|
| знак | модуль | знак | модуль | |
| 0 | 0100 | + | 4 | Первое слагаемое (4 разряда) |
| 0 | 0011 | + | 3 | Вычитаемое в полном формате (4 разряда) |
| 1 | 1100 | - | | Поразрядная инверсия вычитаемого |
| 0 | 0001 | + | 1 | Добавление единицы младшего разряда |
| 1 | 1101 | - | 3 | Второе слагаемое в дополнительном коде |
| 0 | 0001 | + | 1 | Результат вычитания |

Если при добавлении дополнения в n – разрядном представлении есть перенос в $n + 1$ разряд (второе слагаемое в дополнительном коде табл. 2), то результат является положительным числом.

Одноразрядный полувычитатель

Данное устройство определяет разницу двух одноразрядных двоичных чисел без учета займа в младший разряд. Результат вычитания D_0 и займ из старшего разряда E_0 представлены в таблице истинности (табл. 3).

Таблица 3

Таблица истинности полувычитателя

| A_0 | B_0 | D_0 | E_0 |
|-------|-------|-------|-------|
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |

Аналитические выражения выходных сигналов:

$$D_0 = \overline{A_0} \cdot B_0 + A_0 \cdot \overline{B_0} = A_0 \oplus B_0; \quad (2)$$

$$E_0 = \overline{A_0} \cdot B_0.$$

Примеры сложения и вычитания в двоичной системе счисления (табл. 4):

Таблица 4

Примеры сложения и вычитания
в двоичной системе счисления

| Двоичный код: | Сложение: | Двоичный код: | Вычитание: |
|--------------------|-----------|--------------------|------------|
| $A_3A_2A_1A_0$: | 0011 | $A_3A_2A_1A_0$: | 1010 |
| $B_3B_2B_1B_0$: | 0101 | $B_3B_2B_1B_0$: | 0110 |
| $S_3 S_2 S_1S_0$: | 1000 | $D_3 D_2 D_1D_0$: | 0100 |

Для арифметического вычитания в одном разряде двоичной системы счисления используется логическая

операция «Исключающее ИЛИ», для получения займа – логическая операция «Импликация».

Полный вычитатель

В полном вычитателе определяется разница двух одноразрядных двоичных чисел с учетом займа в младший разряд – к значению вычитаемого прибавляется величина займа (0 или 1), и увеличенное вычитаемое вычитается из уменьшаемого.

Выходные значения: результат вычитания D и займ из старшего разряда E , рис. 6.

Функционально данная схема аналогична полному сумматору, состоит из двух полувычитателей и элемента ИЛИ для определения займа.

Контрольные точки $D_1, E_1; D_2, E_2$ в схеме являются выходами первого и второго полувычитателя соответственно.

Задание 3. С помощью комбинаций входных логических сигналов изучить работу полного вычитателя и его таблицу истинности (рис. 6, табл. 5).

Обозначения на рис. 6: A_n – уменьшаемое, B_n – вычитаемое двоичные числа разряда n ; D_n – результат вычитания в разряде n ; E_{n-1} – займ в младший разряд $n-1$. E_n – займ из старшего разряда $n+1$.

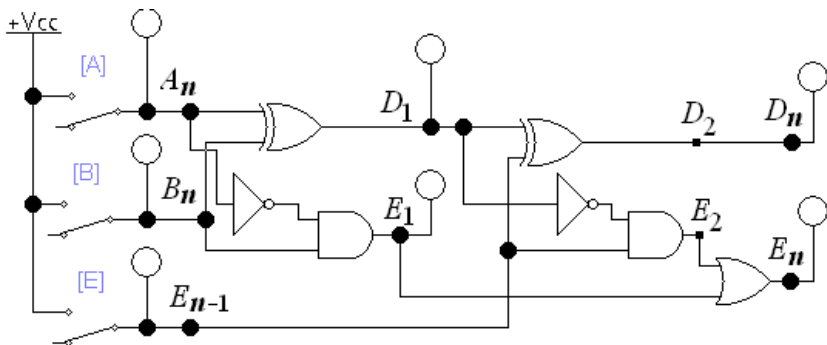


Рис. 6. Схема полного вычитателя

Таблица 5

Таблица истинности полного вычитателя

| A_n | B_n | E_{n-1} | D_n | E_n |
|-------|-------|-----------|-------|-------|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |

Задание 4. С помощью двухразрядного сумматора и одnorазрядного вычитателя провести расчеты и заполнить табл. 6 и 7 соответственно. В них используются обозначения: двоичный код N_2 , десятичное число N_{10} . Разрядность используемых в таблицах чисел определяется возможностями вычислительных устройств, наличием переносов и займов.

Таблица 6

Таблица результатов сложения

| 1-ое слагаемое | | | 2-ое слагаемое | | | Результат | | | |
|----------------|-------|-------|----------------|-------|-------|-----------|---------|-------|-------|
| N_{10} | N_2 | | N_{10} | N_2 | | N_{10} | N_2 | | |
| | A_1 | A_0 | | B_1 | B_0 | | Перенос | S_1 | S_0 |
| 1 | 0 | 1 | 0 | 0 | 0 | | | | |
| 0 | 0 | 0 | 1 | 0 | 1 | | | | |
| 1 | 0 | 1 | 1 | 0 | 1 | | | | |
| 2 | 1 | 0 | 1 | 0 | 1 | | | | |
| 3 | 1 | 1 | 1 | 0 | 1 | | | | |
| 2 | 1 | 0 | 3 | 1 | 1 | | | | |
| 3 | 1 | 1 | 3 | 1 | 1 | | | | |

Таблица результатов вычитания

| Уменьшаемое | | Вычитаемое | | Займ | | Результат | | |
|-------------|-------|------------|-------|-----------|-------|-----------|--------------------|--------------------|
| A_n | | B_n | | E_{n-1} | | | | |
| N_{10} | N_2 | N_{10} | N_2 | N_{10} | N_2 | N_{10} | E_n (N_2) | D_n (N_2) |
| 1 | 1 | 0 | 0 | 0 | 0 | | | |
| 0 | 0 | -1 | 1 | 0 | 0 | | | |
| 0 | 0 | 0 | 0 | -1 | 1 | | | |
| 1 | 1 | 0 | 0 | -1 | 1 | | | |
| 1 | 1 | -1 | 1 | 0 | 0 | | | |
| 0 | 0 | -1 | 1 | -1 | 1 | | | |

Знак « \leftarrow » означает, что число вычитается из уменьшаемого.

Сумматор – вычитатель

Схема устройства сумматора – вычитателя со знаковым разрядом представлена на рис. 7, его команды управления K_0 , K_1 , K_2 в табл. 8.

На вход сумматора – вычитателя подаются в параллельном коде два разряда переменной A (A_1A_0) и два разряда переменной B (B_1B_0), старшие разряды A_1 и B_1 соответственно.

Для получения отрицательного двоичного числа все значения ее кода поразрядно инвертируются на элементах «Исключающее ИЛИ». Это происходит, если на один из входов данных элементов подать логическую единицу (команды $K_1 = 1$ или $K_2 = 1$), при $K_1 = 0$, $K_2 = 0$ инверсии нет.

К полученному инверсному значению добавляется единица в младший разряд с помощью команды $K_0 = 1$ согласно методу изменения знака в дополнительном коде.

Операция вычитания получается за счет сложения положительного и отрицательного чисел.

Выходные сигналы: результат расчетов младшего разряда S_0 , результат расчетов старшего разряда S_1 , знак двоичного результата: $L=0$ положительное, $L=1$ отрицательное числа.

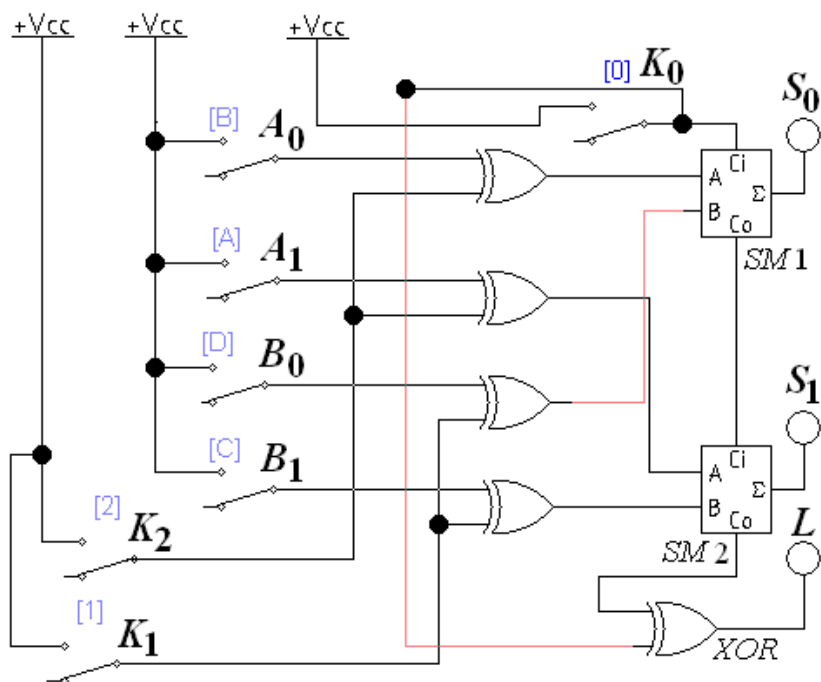


Рис. 7. Схема двухразрядного сумматора – вычитателя со знаковым третьим разрядом

Таблица 8

Таблица управления сумматора – вычитателя

| Набор | Функции и числа | | | Операция |
|-------|-----------------|-------|-------|-----------------------------|
| | K_2 | K_1 | K_0 | |
| 1 | 0 | 0 | 0 | $A + B$ |
| 2 | 0 | 1 | 1 | $A - B$ |
| 3 | 1 | 0 | 1 | $B - A$ |
| 4 | 1 | 0 | 0 | инверсия A , если $B = 0$ |
| 5 | 0 | 1 | 0 | инверсия B , если $A = 0$ |

На основе устройства сумматора (рис. 7) составлена схема сумматора – вычитателя (рис. 8) с увеличенными функциональными возможностями. Значения его команд

управления $K_0 \dots K_4$ приведены табл. 9, всего они составляют 32 набора.

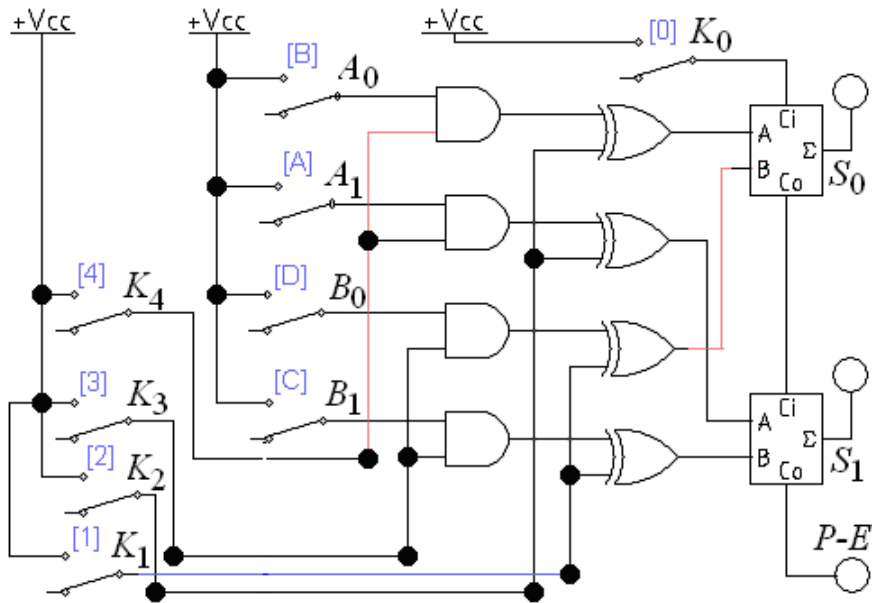


Рис. 8. Схема двухразрядного сумматора – вычитателя (L2_add_10.ewb)

На вход сумматора – вычитателя подаются в параллельном коде два разряда переменной A (A_1A_0) и два разряда переменной B (B_1B_0), старшие разряды A_1 и B_1 соответственно.

Элементы «И», под управлением команд K_3 , K_4 , позволяют формировать запрет поступления переменных в сумматор – вычитатель, а элементы «Исключающее ИЛИ», с помощью команд $K_1 = 1$, $K_2 = 1$ инвертируют переменные.

Для получения отрицательного двоичного числа, добавляется единица в младший разряд ($K_0 = 1$) согласно методу вычитания в дополнительном коде.

Выходные сигналы: результат расчетов младшего разряда S_0 , результат расчетов старшего разряда S_1 , $P-E$ перенос – займ в следующий сумматор, это не знаковый разряд.

Таблица 9

Сокращенная таблица управления сумматора – вычитателя

| Набор | Команды | | | | | Функции и числа |
|-------|---------|-------|-------|-------|-------|-------------------|
| | K_4 | K_3 | K_2 | K_1 | K_0 | |
| 1 | 0 | 0 | 0 | 0 | 1 | 1 |
| 2 | 0 | 0 | 1 | 1 | 1 | -1 |
| 3 | 0 | 0 | 1 | 0 | 1 | 0 |
| 4 | 0 | 0 | 1 | 1 | 0 | -2 |
| 5 | 0 | 1 | 0 | 1 | 1 | -B |
| 6 | 0 | 1 | 1 | 0 | 0 | B - 1 |
| 7 | 0 | 1 | 1 | 0 | 1 | B |
| 8 | 1 | 0 | 0 | 0 | 0 | A |
| 9 | 1 | 0 | 0 | 0 | 1 | A + 1 |
| 10 | 1 | 0 | 0 | 1 | 0 | A - 1 |
| 11 | 1 | 0 | 1 | 0 | 0 | -A - 1 |
| 12 | 1 | 0 | 1 | 0 | 1 | -A |
| 13 | 1 | 0 | 1 | 1 | 0 | -A - 2 |
| 14 | 1 | 0 | 1 | 1 | 1 | -A - 1 |
| 15 | 1 | 1 | 0 | 0 | 0 | A + B |
| 16 | 1 | 1 | 0 | 0 | 1 | A + B + 1 |
| 17 | 1 | 1 | 0 | 1 | 0 | A - B - 1 |
| 18 | 1 | 1 | 0 | 1 | 1 | B - A |
| 19 | 1 | 1 | 1 | 1 | 0 | -A - B - 2 |
| 20 | 1 | 1 | 1 | 1 | 1 | -A - B - 1 |

Задание 5. С помощью двухразрядного сумматора – вычитателя со знаковым разрядом провести арифметические и логические операции, заполнить табл. 10.

Осуществить проверку результатов моделирования на примере операции вычитания с двух разрядными двоичными числами: $A + B = 2 + 1$ (строка 4 табл. 10); $A - B = 1 - 2$ (строка 6 табл. 10).

Результаты проверки занести в табл. 11, 12 соответственно.

Таблица 10

Таблица результатов моделирования

| № | Переменные | | Операция | Коды команд | | | Результат | | | |
|---|---------------------|---------------------|-----------------|-------------|-------|-------|-----------|-------------------------------------|--------------------|--------------------|
| | A (N_{10}) | B (N_{10}) | | K_2 | K_1 | K_0 | N_{10} | Знаковый разряд L (N_2) | S_1 (N_2) | S_0 (N_2) |
| 1 | 1 | 0 | инверсия A | | | | – | | | |
| 2 | 0 | 2 | инверсия B | | | | – | | | |
| 3 | 1 | 1 | $A + B$ | | | | 2 | | | |
| 4 | 2 | 1 | $A + B$ | | | | 3 | | | |
| 5 | 1 | 1 | $A - B$ | | | | 0 | | | |
| 6 | 1 | 2 | $A - B$ | | | | -1 | | | |
| 7 | 3 | 1 | $B - A$ | | | | -2 | | | |
| 8 | 3 | 0 | $B - A$ | | | | -3 | | | |

Таблица 11

Таблица результатов проверки моделирования

| N_2 | | | N_{10} | | Комментарий |
|-------|----------|----------|----------|----------|--|
| знак | A_1 | A_0 | знак | модуль | Первое слагаемое в полном формате |
| 0 | 1 | 0 | + | 2 | |
| знак | B_1 | B_0 | знак | модуль | Второе слагаемое в полном формате |
| 0 | 0 | 1 | + | 1 | |
| знак | S_1 | S_0 | знак | модуль | Результат сложения |
| | | | | | |

Таблица 12

Таблица результатов проверки моделирования

| N_2 | | | N_{10} | | Комментарий |
|-------|-------|-------|----------|--------|--|
| знак | A_1 | A_0 | знак | модуль | |
| 0 | 0 | 1 | + | 1 | Уменьшаемое в полном формате |
| знак | B_1 | B_0 | знак | модуль | |
| 0 | 1 | 0 | + | 2 | Вычитаемое в полном формате |
| | | | - | - | Инверсия вычитаемого |
| 0 | 0 | 1 | + | 1 | Единица младшего разряда |
| | | | - | - | Сумма инверсии и единицы младшего разряда |
| | | | | | Вычитаемое в дополнительном коде (для смены знака) |
| | | | | | Результат вычитания (сумма первого и второго слагаемых) |

Задание 6. С помощью двухразрядного сумматора – вычитателя провести арифметические и логические операции, заполнить табл. 13.

Выходные сигналы: результат расчетов суммы младшего разряда S_0 , результат расчетов суммы старшего разряда S_1 , P - E перенос – займ.

Провести проверку результатов моделирования на примере операции вычитания с двух разрядными двоичными числами: $B - A = 3 - 1$ (табл. 14); $B - A = 1 - 3$ (табл. 15).

Таблица 13

Таблица результатов моделирования

| № | Переменные | | Опера- ция | Коды команд | | | | | Результат | | | |
|---|-------------------------|-------------------------|----------------------|----------------|----------------|----------------|----------------|----------------|------------------|--------------------------|-------------------------------------|-------------------------------------|
| | A (N ₁₀) | B (N ₁₀) | | K ₄ | K ₃ | K ₂ | K ₁ | K ₀ | N ₁₀ | P-E (N ₂) | S ₁ (N ₂) | S ₀ (N ₂) |
| 1 | – | – | -1 ₁₀ | | | | | | -1 ₁₀ | | | |
| 2 | – | – | -2 ₁₀ | | | | | | -2 ₁₀ | | | |
| 3 | 1 | 1 | -A-B-1 ₁₀ | | | | | | -3 ₁₀ | | | |
| 4 | 1 | 2 | A + B | | | | | | 3 ₁₀ | | | |
| 5 | 3 | 1 | B – A | | | | | | | | | |
| 6 | 1 | 3 | B – A | | | | | | | | | |
| 7 | 1 | – | -A -1 ₁₀ | | | | | | | | | |

Вывод: Если при добавлении дополнения в n – разрядном представлении есть перенос в $n + 1$ разряд (в строке 5, табл. 12 перенос $P-E = 1$ в третий разряд), то результат является положительным числом, и наоборот.

Таблица 14

Таблица результатов проверки моделирования

| N ₂ | | | N ₁₀ | | Комментарий |
|----------------|----------------|----------------|-----------------|----------|--|
| знак | B ₁ | B ₀ | знак | модуль | Уменьшаемое в полном формате |
| 0 | 1 | 1 | + | 3 | |
| знак | A ₁ | A ₀ | знак | модуль | Вычитаемое в полном формате |
| 0 | 0 | 1 | + | 1 | |
| | | | – | – | Инверсия вычитаемого |
| 0 | 0 | 1 | + | 1 | Единица младшего разряда |
| | | | – | – | Сумма инверсии и единицы младшего разряда |
| | | | | | Вычитаемое в дополнительном коде (для смены знака) |
| | | | | | Результат вычитания (сумма первого и второго слагаемых) |

Таблица 15

Таблица результатов проверки моделирования

| N_2 | | | N_{10} | | Комментарий |
|-------|-------|-------|----------|--------|--|
| знак | B_1 | B_0 | знак | модуль | |
| 0 | 0 | 1 | + | 1 | Уменьшаемое в полном формате |
| знак | A_1 | A_0 | знак | модуль | |
| 0 | 1 | 1 | + | 3 | Вычитаемое в полном формате |
| | | | - | - | Инверсия вычитаемого |
| 0 | 0 | 1 | + | 1 | Единица младшего разряда |
| | | | - | - | Сумма инверсии и единицы младшего разряда |
| | | | | | Вычитаемое в дополнительном коде (для смены знака) |
| | | | | | Результат вычитания (сумма первого и второго слагаемых) |

Задание 7. В письменном виде решить следующие задачи (табл. 16-18). Результат представить в четырехразрядном двоичном коде, пятый разряд – знаковый.

В столбце «комментарий» изложена последовательность преобразований, которые записаны в соответствующих строках.

– Изменить знаки чисел 4 и (-4).

Таблица 16

Таблица результатов преобразований

| N_{10} | N_2 | | | N_{10} | N_2 | | | Комментарий |
|-----------|-------|------------|---|-----------|-------|------------|--|---------------------------------------|
| | знак | модуль | | | знак | модуль | | |
| 4 | | | | -4 | | | | Исходные данные |
| - | | | | - | | | | Инверсия кода в полном формате |
| 1 | 0 | 0 0 0 1 | 0 | 1 | 0 | 0 0 0 1 | | Единица младшего разряда |
| -4 | | | | 4 | | | | Результат (сумма инверсии и 1) |

– Изменить знак числа 0. Форма записи нуля имеет только одно значение (в некоторых методах вычитания имеется два значения).

Таблица 17

Таблица результатов преобразований

| N_{10} | N_2 | | Комментарий |
|------------|-------|---------|---------------------------------------|
| | знак | модуль | |
| + 0 | | | Исходные данные |
| – | | | Инверсия кода в полном формате |
| – | 0 | 0 0 0 1 | Единица младшего разряда |
| – | | | Сумма инверсии и 1 младшего разряда |
| – 0 | | | Результат (сумма инверсии и 1) |

– Сложить числа 5 и (– 5).

Таблица 18

Таблица результатов вычислений

| N_{10} | N_2 | | Комментарий |
|------------|-------|--------|------------------------|
| | знак | модуль | |
| 5 | | | Исходные данные |
| – 5 | | | Исходные данные |
| 0 | | | Результат |

Задание 8. Перечислить, где и для каких целей применяются сумматоры.

Контрольные вопросы

1. Что такое сумматор?
2. Расскажите о классификации сумматоров.
3. Чем отличаются комбинационные сумматоры от накапливающих сумматоров?
4. Постройте схему полусумматора.
5. Чем отличается полусумматор от полного сумматора?
6. Как строятся многоразрядные сумматоры?
7. Какие многоразрядные сумматоры вы знаете?
8. Зарисуйте схему многоразрядного последовательного сумматора и расскажите, как он работает.
9. Поясните принцип действия последовательного сумматора. Как определяется его быстродействие?
10. Поясните принцип действия параллельного сумматора. Как определяется его быстродействие?
11. Как производится наращивание разрядности сумматоров?
12. Что такое прямой, обратный и дополнительный коды?
13. Особенности представления двоичных отрицательных чисел?
14. Как производится вычитание положительных и отрицательных чисел?
15. Как представляются числа с фиксированной и плавающей точкой.
16. Каковы особенности арифметических операций с числами с плавающей точкой.

Практическое занятие № 2

Шифраторы

Цель занятия: рассмотреть схемы реализации шифраторов на логических элементах ИЛИ и ИЛИ-НЕ, приоритетного шифратора и указателя старшей единицы, изучить принципы их работы.

Теоретические сведения

Шифратором называется устройство, предназначенное для преобразования чисел, например, **из десятичной системы в двоичную систему** счисления. Основное применение шифраторов – это введение информации с клавиатуры [4, 6, 12]. Обозначение $CD(n-m)$, где n – количество входов, m – число выходов.

Схема и таблица истинности $CD(4 - 2)$ представлены на рис. 9 и в табл. 19, где $X_0, X_1 \dots X_3$ входные сигналы, номер которых представляет десятичный код. Выходные значения Y_0, Y_1 в двоичном коде, старший разряд Y_1 .

Таблица 19

Таблица истинности $CD(4 - 2)$

| Номер входа $X (N_{10})$ | Выходной код $Y (N_2)$ | |
|--------------------------|------------------------|-------|
| | Y_1 | Y_0 |
| 0 | 0 | 0 |
| 1 | 0 | 1 |
| 2 | 1 | 0 |
| 3 | 1 | 1 |

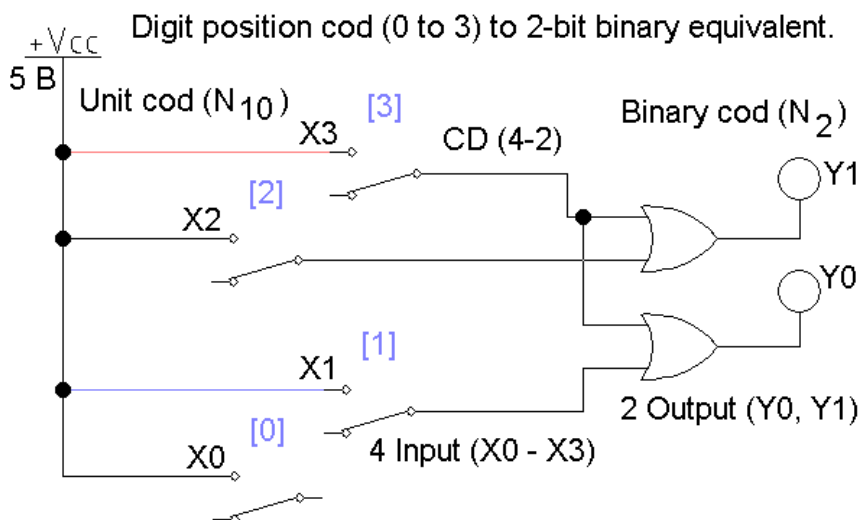


Рис. 9. Шифратор $CD(4-2)$ на логических элементах ИЛИ

Уравнения работы шифратора $CD(4-2)$:

$$Y_0 = X_1 + X_3; \quad Y_1 = X_2 + X_3.$$

Задание 1. С помощью комбинаций входных сигналов изучить работу $CD(4-2)$, и его таблицу истинности.

Задание 2. Составить таблицу истинности (табл. 20) шифратора $CD(4-2)$, изображенного на рис. 10.

Таблица 20

Таблица истинности $CD(4-2)$

| Номер входа $X (N_{10})$ | Выходной код $Y (N_2)$ | |
|--------------------------|------------------------|-------|
| | Y_1 | Y_0 |
| 0 | | |
| 1 | | |
| 2 | | |
| 3 | | |

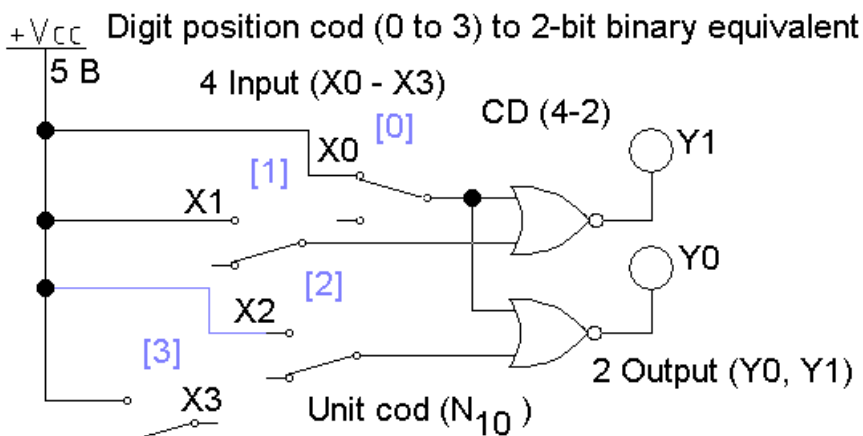


Рис. 10. Шифратор $CD(4-2)$ на логических элементах ИЛИ-НЕ

Приоритетный шифратор

Шифратор называют приоритетным, если он формирует код, определяющий номер единицы, стоящей в старшем разряде, из других имеющихся единиц.

Таким шифратором является $CD(8-3)$ выполненный на микросхеме (рис. 11).

Шифратор имеет служебные входы и выходы:

- Разрешающий вход (инверсный) $EI = 0$ – шифратор преобразует входной код, если $EI = 1$, то на всех информационных выходах шифратора появляются единицы.
- Выход GS в данном шифраторе указывает на использование всех разрядов шифратора и его переполнение (все единицы).
- Выход $EO = 1$ определяет отсутствие сигналов на всех информационных выходах.

Особенность данной схемы: номер старшей единицы преобразуется в код, если имеются единицы во всех младших разрядах. Область применения – аналого-цифровые преобразователи (АЦП).

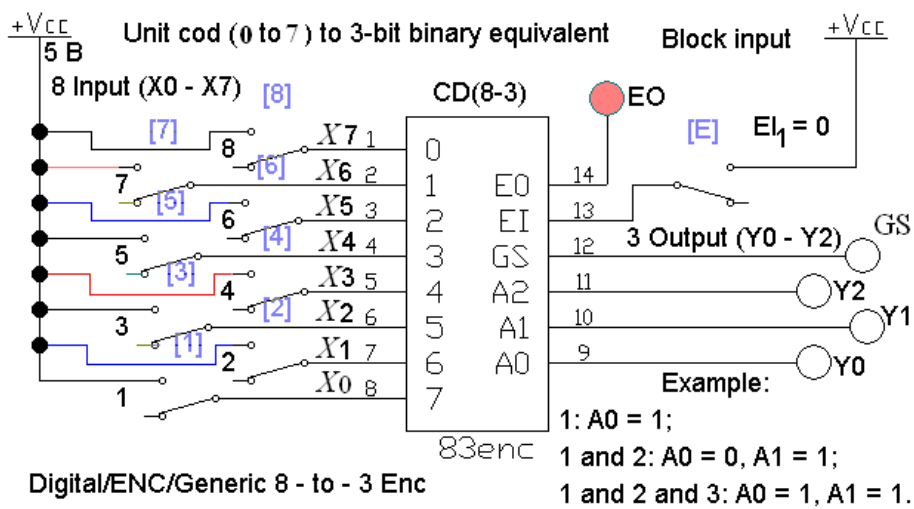


Рис. 11. Приоритетный шифратор CD (8-3)

Задание 3. Заполнить таблицу истинности (табл. 21) приоритетного шифратора CD(8-3).

Клетки таблицы в разделе «Информационные входы», где может находиться 0 или 1, не оказывая влияния на результат шифрации в разделе «Выходы», заполнить знаком «X».

Таблица 21

Таблица истинности CD(8 – 3)

| № | Служебный вход | Информационные входы | | | | | | | | Выходы | | | |
|---|----------------|----------------------|-------|-------|-------|-------|-------|-------|-------|--------|-------|-------|-------|
| | EI | X_7 | X_6 | X_5 | X_4 | X_3 | X_2 | X_1 | X_0 | EO | Y_2 | Y_1 | Y_0 |
| 0 | 0 | | | | | | | | | 1 | 0 | 0 | 0 |
| 1 | 0 | | | | | | | | | 1 | 0 | 0 | 1 |
| 2 | 0 | | | | | | | | | 1 | 0 | 1 | 0 |
| 3 | 0 | | | | | | | | | 1 | 0 | 1 | 1 |
| 4 | 0 | | | | | | | | | 1 | 1 | 0 | 0 |
| 5 | 0 | | | | | | | | | 1 | 1 | 0 | 1 |
| 6 | 0 | | | | | | | | | 1 | 1 | 1 | 0 |
| 7 | 0 | | | | | | | | | 1 | 1 | 1 | 1 |
| 8 | 0 | | | | | | | | | 0 | 1 | 1 | 1 |
| 9 | 1 | | | | | | | | | | 1 | 1 | 1 |

Вывод:

- Если при достижении амплитудного значения изменяющегося во времени аналогового сигнала уровней 1, 2...7 (столбец «№» табл. 21) будет замыкаться соответствующий ключ – на выходе приоритетного шифратора получим цифровой код для этого значения сигнала. Этот принцип использован в параллельных АЦП. Вход EI в табл. 21 и модели инверсный.

- Шифраторы являются преобразователями кодов, причем результирующий код более компактен, чем исходный.

Указатель старшей единицы

Приоритетный шифратор $CD(8-3)$ выполнен на микросхеме (рис. 12). Шифратор выявляет старшую (левую) единицу, в отличие от предыдущей схемы в младших разрядах, при этом, могут быть также нули, и формирует двоичный код соответствующего единице десятичного номера.

Он называется указателем старшей единицы и исключает ошибки, например, при одновременном нажатии двух клавиш клавиатуры, применяется в работе светофоров и т.д.

Выход GS шифратора, указывает на наличие информационного сигнала хотя бы на одном входе. Для разрешения работы на вход подается единица $EI = 1$.

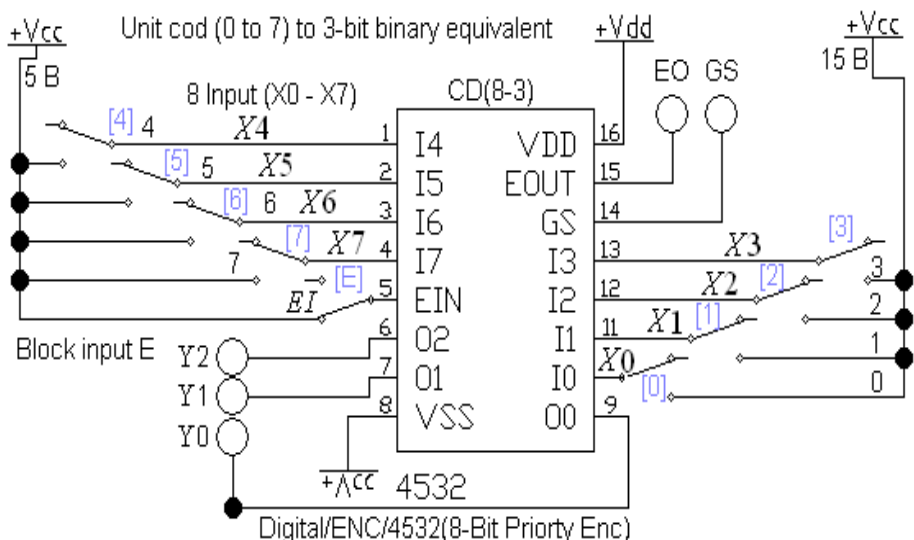


Рис. 12. Указатель старшей единицы CD (8-3)

Задание 4. Заполнить таблицу истинности (табл. 22) указателя старшей единицы CD(8-3).

Клетки таблицы в разделе «Информационные входы», где может находиться 0 или 1, не оказывая влияния на результат шифрации в разделе «Выходы», заполнить знаком «X».

Таблица истинности $CD(8 - 3)$

| № | Служебный вход | Информационные входы | | | | | | | | Служебные выходы | | Информационные выходы | | |
|---|----------------|----------------------|-------|-------|-------|-------|-------|-------|-------|------------------|------|-----------------------|-------|-------|
| | EI | X_7 | X_6 | X_5 | X_4 | X_3 | X_2 | X_1 | X_0 | EO | GS | Y_2 | Y_1 | Y_0 |
| 0 | 1 | | | | | | | | | | | 0 | 0 | 0 |
| 1 | 1 | | | | | | | | | | | 0 | 0 | 0 |
| 2 | 1 | | | | | | | | | | | 0 | 0 | 1 |
| 3 | 1 | | | | | | | | | | | 0 | 1 | 0 |
| 4 | 1 | | | | | | | | | | | 0 | 1 | 1 |
| 5 | 1 | | | | | | | | | | | 1 | 0 | 0 |
| 6 | 1 | | | | | | | | | | | 1 | 0 | 1 |
| 7 | 1 | | | | | | | | | | | 1 | 1 | 0 |
| 8 | 1 | | | | | | | | | | | 1 | 1 | 1 |
| 9 | 0 | | | | | | | | | | | | | |

Задание 5. Перечислить, где и для каких целей применяются шифраторы.

Выводы:

Шифраторы являются преобразователями кодов, причем результирующий код более компактен, чем исходный.

Служебные входы и выходы шифраторов используются для расширения их функциональных возможностей:

- вход EI (бывает прямым или инверсным) служит для определения момента времени, когда шифратор должен преобразовать код. Это позволяет согласовать его работу с другими устройствами, когда они готовы передавать и считывать информацию с шифратора.
- выходы GS и EO используются с целью увеличения разрядности путем выработки сигналов для подключения дополнительных шифраторов.

Шифраторы применяются, например, для преобразования десятичного кода двоичный при вводе информации с клавиатуры в компьютер (калькулятор, сотовый телефон), в аналогового-цифровых преобразователях и т.д.

Контрольные вопросы

1. Что такое шифратор, при решении каких задач он используется?
2. Какой код называют унитарным?
3. В чем заключается отличие между приоритетными и неприоритетными шифраторами?
4. Как строится приоритетный шифратор?
5. Каков принцип работы указателя старшей единицы?
6. На каких логических элементах синтезируются шифраторы?

Практическое занятие № 3

Дешифраторы

Цель занятия: изучить принципы работы полного дешифратора, дешифратора-мультиплексора, дешифратора с несколькими служебными входами и неполных дешифраторов, а также способы увеличения разрядности дешифраторов и отображение десятичных и шестнадцатеричных цифр с помощью семи сегментного индикатора с использованием дешифратора в качестве преобразователя двоичного кода в десятичный.

Теоретические сведения

Дешифратором называется комбинационная цифровая схема с несколькими входами и выходами, преобразующая код, подаваемый на входы, в сигнал на одном из выходов [8,13].

В полном дешифраторе CD(n-m) количество выходов $m = 2n$, где n - число входов.

Если дешифратор имеет менее $2n$ выходов, то такой дешифратор называется неполным.

Логическая схема дешифратора на четыре выхода (рис. 13) описывается таблицей истинности (табл. 23), из нее следует:

$$Y_3 = X_1 X_0; \quad Y_2 = X_1 \overline{X_0}; \quad Y_1 = \overline{X_1} X_0; \quad Y_0 = \overline{X_1} \cdot \overline{X_0}.$$

Таблица 23

Таблица истинности DC (2-4)

| № | Входы | | | Выходы | | | |
|---|-----------|----------------|-------|----------|----------|----------|----------|
| | Служебный | Информационные | | | | | |
| | <i>EI</i> | X_1 | X_0 | Y_3 | Y_2 | Y_1 | Y_0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 |
| 2 | 1 | 0 | 1 | 0 | 0 | 1 | 0 |
| 3 | 1 | 1 | 0 | 0 | 1 | 0 | 0 |
| 4 | 1 | 1 | 1 | 1 | 0 | 0 | 0 |
| 5 | 0 | X | X | 0 | 0 | 0 | 0 |

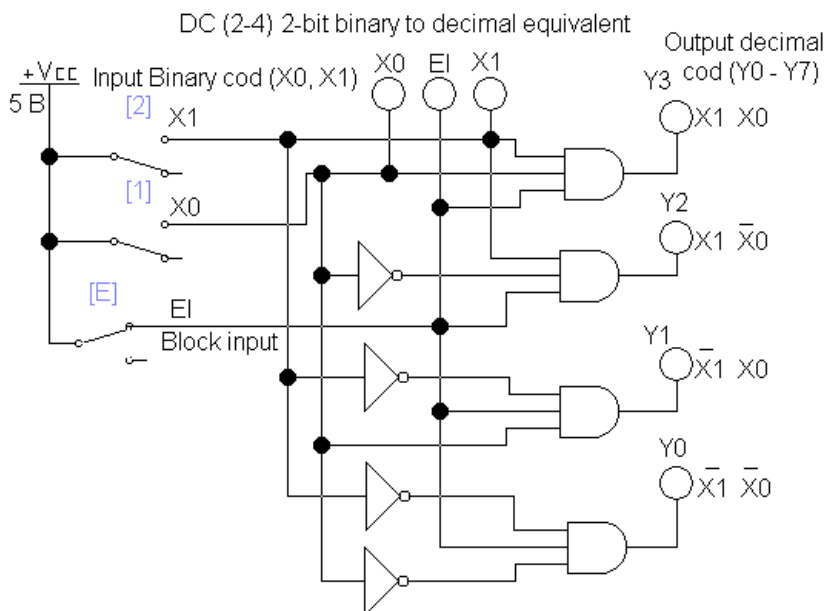


Рис. 13. Дешифратор DC(2-4)

Задание 1. Задавая комбинации входных сигналов изучить работу DC(2-4), рис. 13, и его таблицу истинности (табл. 22).

Дешифратор – демультиплексор

Демультиплексоры передают данные от одного источника информации в несколько выходных каналов согласно коду адреса. Если на вход данных подать неизменяемую величину, она будет появляться на одном из выходов согласно входному коду.

На рис. 14 представлен дешифратор DC(3-8), полученный из микросхемы демультиплексора, у которого на информационный инверсный вход подан логический ноль ($X = 0$).

Этот сигнал передается на один из выходов Y согласно входному коду A, B, C . На остальных инверсных выходах будут присутствовать логические единицы.

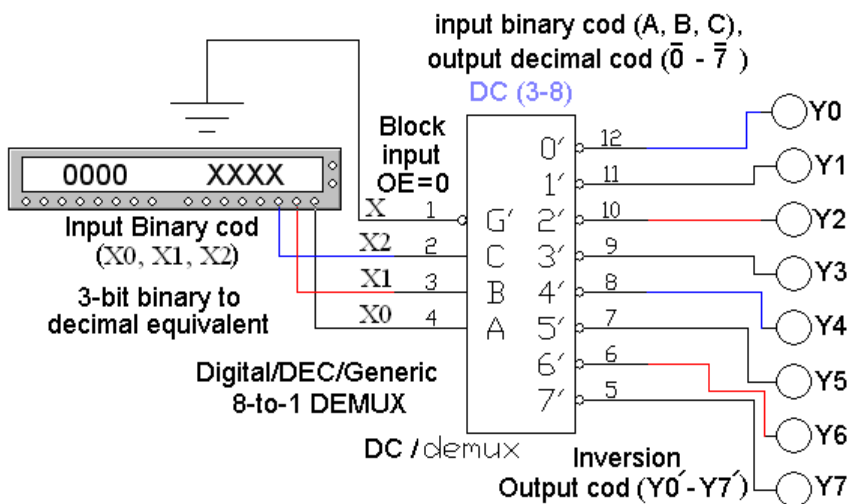


Рис. 14. Дешифратор - демультиплексор DC(3-8)

Дешифратор может работать как демультиплексор, если на вход запрета EI подавать информационный сигнал (рис. 15).

Вход EI в рассматриваемой схеме инверсный. Поэтому, если $EI = 0$, то активный выход $Y = 0$ (он тоже инверсный), номер которого определяется в соответствии с входным кодом (при $EI = 0$ работа дешифратора разрешена, если $EI = 1$ – запрещена).

Когда $EI = 1$, активный выход принудительно устанавливается в 1. Это же значение логического сигнала присутствует на других, не активных выходах (они инверсные).

Информационный сигнал на вход EI в данном примере подается с генератора импульсов. Генератор слов задает входной код и раскрывается двойным щелчком левой клавиши мышки.

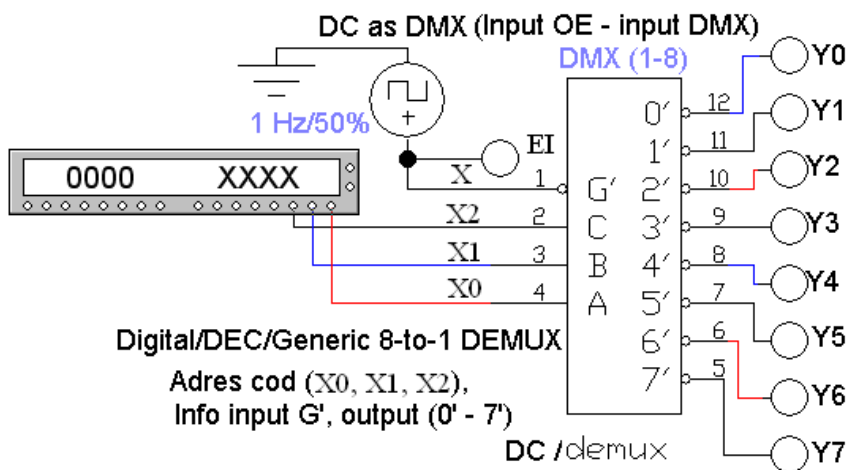


Рис. 15. Демультимплексор на дешифраторе $DC(3-8)$

Задание 2. Изучить работу дешифратора - демультимплексора $DC(3-8)$, рис. 14, 15.

Дешифраторы с несколькими служебными входами EI

Дешифратор $DC(3-8)$ на микросхеме серии 74138 представлен на рис. 16. Вывод микросхемы GND подключен к нулю источника питания. Вывод «16» соединен с источником питания.

Двоичный код на входах X_0 , X_1 , X_2 (старший разряд X_2), формируется генератором слов, он взят из поля инструментов.

Служебные входы EI (прямые и инверсные) объединены в дешифраторе с помощью логической операции И (элемент 3И).

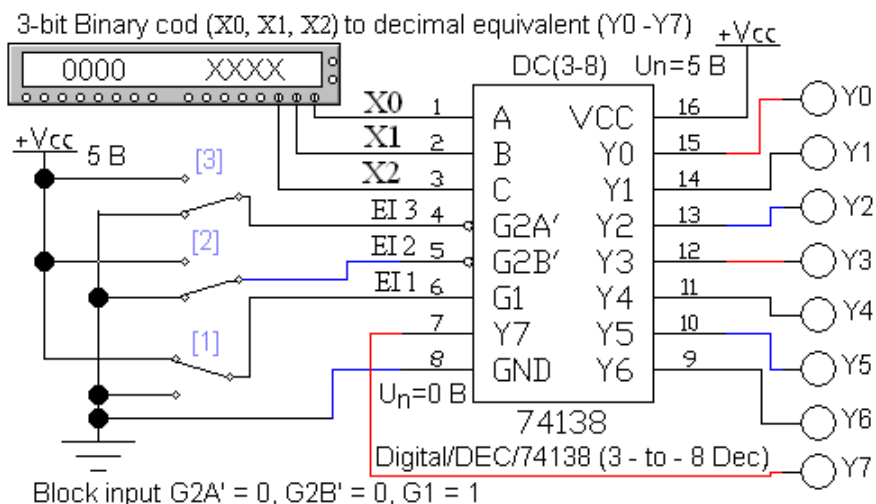


Рис. 16. Дешифратор DC(3-8)

Аналогичная схема изображена на рис. 17. Отличие от схемы рис. 16 заключается в задании входного кода с помощью выключателей A, B, C .

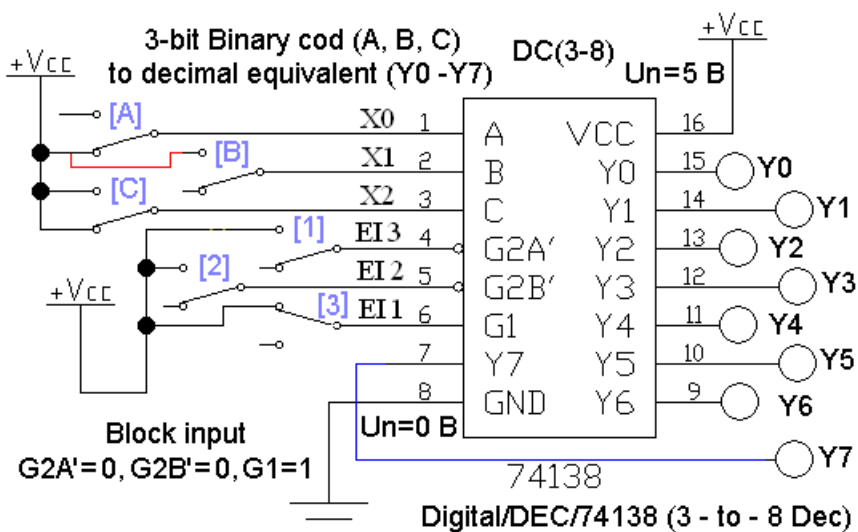


Рис. 17. Дешифратор DC(3-8)

Задание 3. Изучить работу *DC(3-8)* файл *L2_DC_05.ewb* (рис. 17), и составить его таблицу истинности (табл. 24).

Таблица 24

Таблица истинности *DC(3 – 8)*

| Входы | | | | | | Выходы | | | | | | | |
|----------------------|----------------------|----------------------|----------------------|----------------------|----------------------|----------------------|----------------------|----------------------|----------------------|----------------------|----------------------|----------------------|----------------------|
| Служебные | | | Информационные | | | <i>Y₇</i> | <i>Y₆</i> | <i>Y₅</i> | <i>Y₄</i> | <i>Y₃</i> | <i>Y₂</i> | <i>Y₁</i> | <i>Y₀</i> |
| <i>E₁</i> | <i>E₂</i> | <i>E₃</i> | <i>X₂</i> | <i>X₁</i> | <i>X₀</i> | | | | | | | | |
| 1 | 0 | 0 | 0 | 0 | 0 | | | | | | | | |
| 1 | 0 | 0 | 0 | 0 | 1 | | | | | | | | |
| 1 | 0 | 0 | 0 | 1 | 0 | | | | | | | | |
| 1 | 0 | 0 | 0 | 1 | 1 | | | | | | | | |
| 1 | 0 | 0 | 1 | 0 | 0 | | | | | | | | |
| 1 | 0 | 0 | 1 | 0 | 1 | | | | | | | | |
| 1 | 0 | 0 | 1 | 1 | 0 | | | | | | | | |
| 1 | 0 | 0 | 1 | 1 | 1 | | | | | | | | |
| 0 | 0 | 0 | X | X | X | | | | | | | | |
| 1 | 1 | 0 | X | X | X | | | | | | | | |
| 1 | 0 | 1 | X | X | X | | | | | | | | |

Знак X означает любую величину переменной.

Временные диаграммы на выходе *DC(8-3)* можно получить с помощью модели (рис. 18). Для этого необходимо раскрыть логический анализатор, дважды щелкнув по его изображению левой клавишей мышки.

Вывод: дешифраторы являются преобразователями кодов, причем исходный код более компактен, чем результирующий.

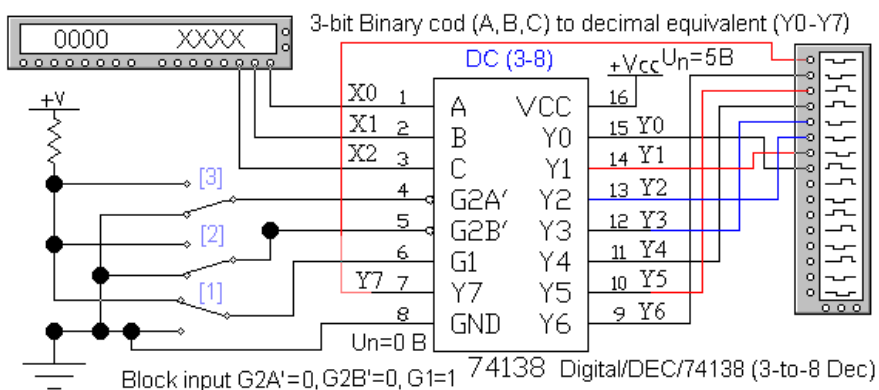


Рис. 18. Дешифратор DC(3-8)

Неполные дешифраторы

Неполные дешифраторы используются для преобразования двоично-десятичного кода в соответствующее ему десятичное число. Двоично-десятичный код – это двоичный код, разбитый на группы по четыре разряда (тетрады) [12]. Тетрада представляет один разряд десятичного числа от 0 до 9. Двоичный код в тетраде изменяется от $0000_2 = 0_{10}$ до $1001_2 = 9_{10}$.

На рис. 19 представлен DC(4-10), преобразующий одну тетраду в десятичный код. Номер активного выхода, на котором присутствует сигнал логического нуля, соответствует двоично-десятичному коду на входе дешифратора (выходы инверсные).

На этом же рисунке размещена таблица истинности устройства.

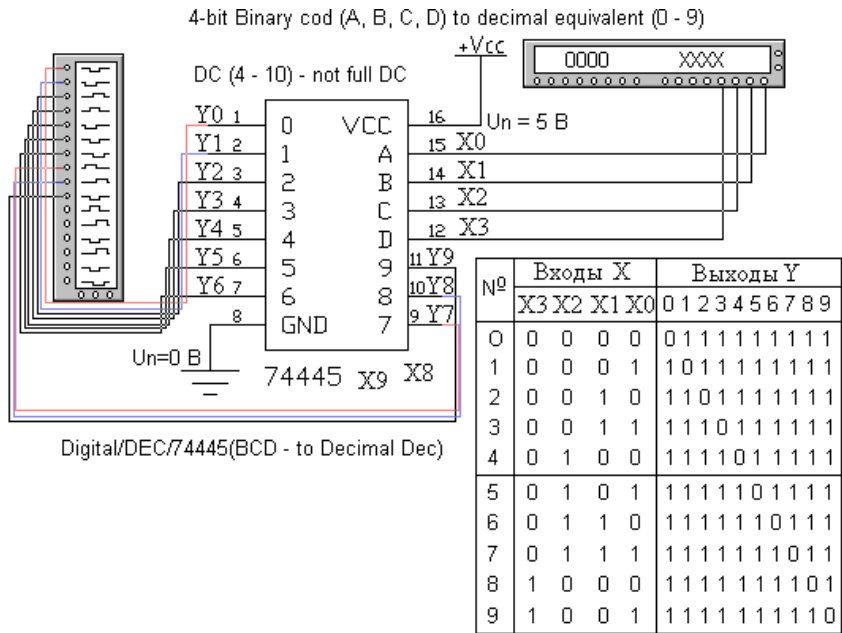


Рис. 19. Неполный дешифратор DC(4-10)

Задание 4. Изучить работу неполного дешифратора DC(4-10) (рис. 19).

Увеличение разрядности дешифраторов

Для увеличения разрядности используют два дешифратора (рис. 20). Первая половина наборов входных двоичных кодов, когда их старший разряд равен нулю, преобразуется с помощью DC 1. Вторая половина наборов – дешифратором DC 2, когда старший разряд входного двоичного кода X_4 равен единице. Переключение дешифраторов осуществляется с помощью служебных входов EI: инверсного входа CD 1 и прямого входа CD 2.

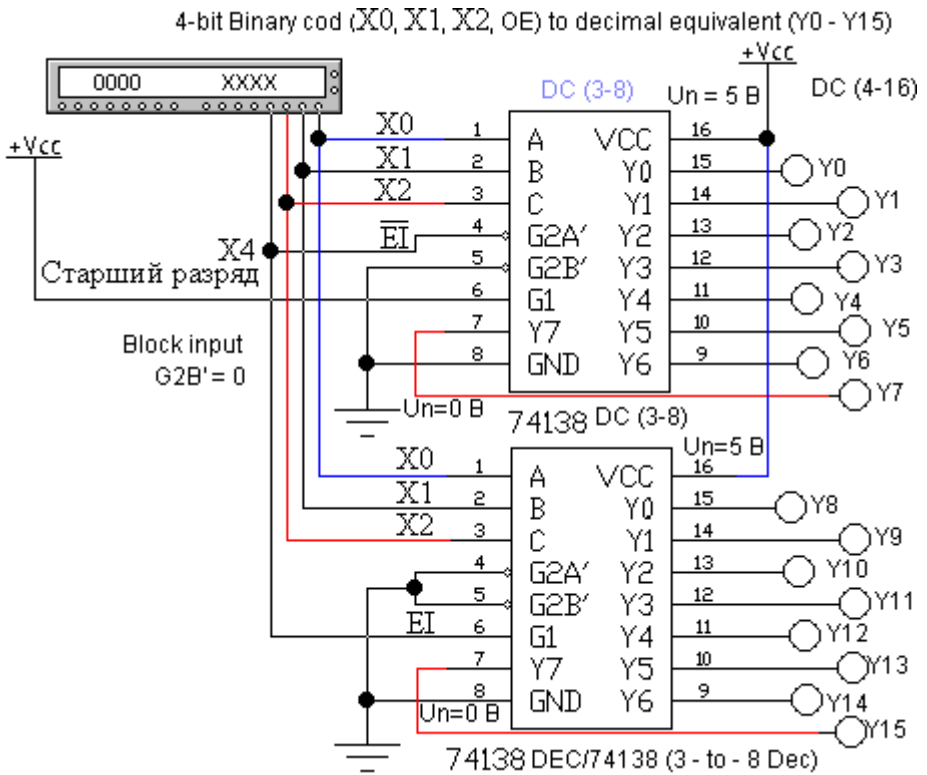


Рис. 20. Дешифратор DC(4-16) на двух DC(3-8)

Задание 5. Задавая комбинации входных сигналов изучить работу дешифратора DC(4-16).

Задание 6. Удалить из табл. 25 уравнения, не используемые для увеличения разрядности дешифратора (рис. 20), где $F^1_{(3-8)} - DC1$, $F^2_{(3-8)} - DC2$, $F_{(4-16)} - DC(4-16)$.

Таблица 25

Таблица вариантов ответов к заданию 4

| № | Уравнение | № | Уравнение |
|---|---|---|---|
| 1 | $F_{(4-16)} = \overline{EI} \cdot F^1_{(3-8)} + \overline{X_1} \cdot F^2_{(3-8)}$ | 3 | $F_{(4-16)} = EI \cdot F^1_{(3-8)} + \overline{EI} \cdot F^2_{(3-8)}$ |
| 2 | $F_{(4-16)} = X_4 \cdot F^1_{(3-8)} + \overline{X_1} \cdot F^2_{(3-8)}$ | 4 | $F_{(4-16)} = \overline{EI} \cdot F^1_{(3-8)} + EI \cdot F^2_{(3-8)}$ |

Преобразователи кодов для индикаторов

Отображение десятичных и шестнадцатеричных цифр осуществляется с помощью семи сегментного индикатора.

На рис. 21 представлен индикатор, внутри которого содержится преобразователь кодов X - Y (4-7). Входной сигнал – двоичный код X (четыре входа), поступающий из генератора слов, преобразуется в семи сегментный код Y (семь выходов) для управления отдельными сегментами a, b, c, d, e, f, g .

На рис. 22 изображен индикатор без встроенного преобразователя, управляемый с помощью подачи логических сигналов непосредственно на сегменты. Для отображения на индикаторе цифры 1 надо зажечь сегменты b и c . Аналогично получают остальные десятичные или шестнадцатеричные цифры. Комбинации таких изображений получили название семи сегментного кода.

Для управления индикаторами используются дешифраторы, преобразующие двоичный код в семи сегментный (микросхема 4511 на рис. 23).

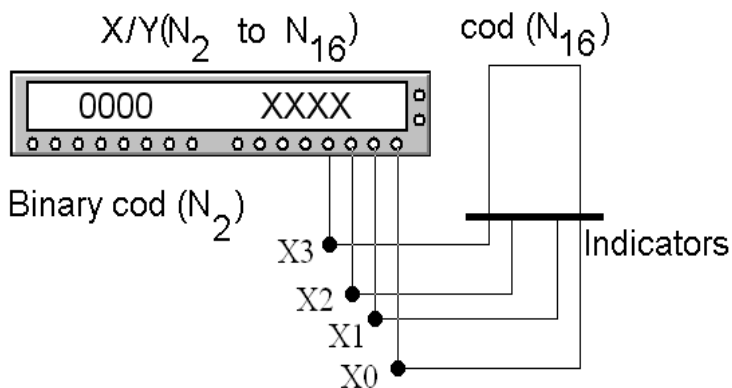


Рис. 21. Преобразователь двоичного кода в шестнадцатеричный семи сегментный код

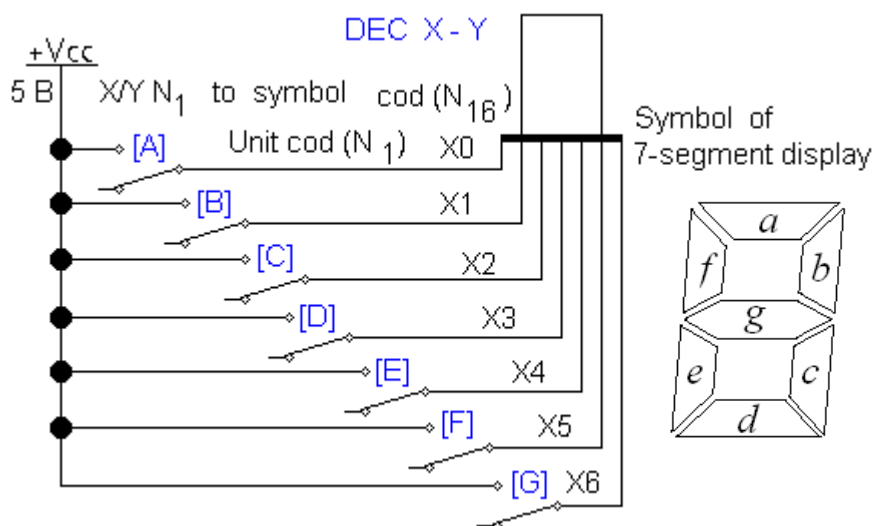


Рис. 22. Семи сегментный индикатор

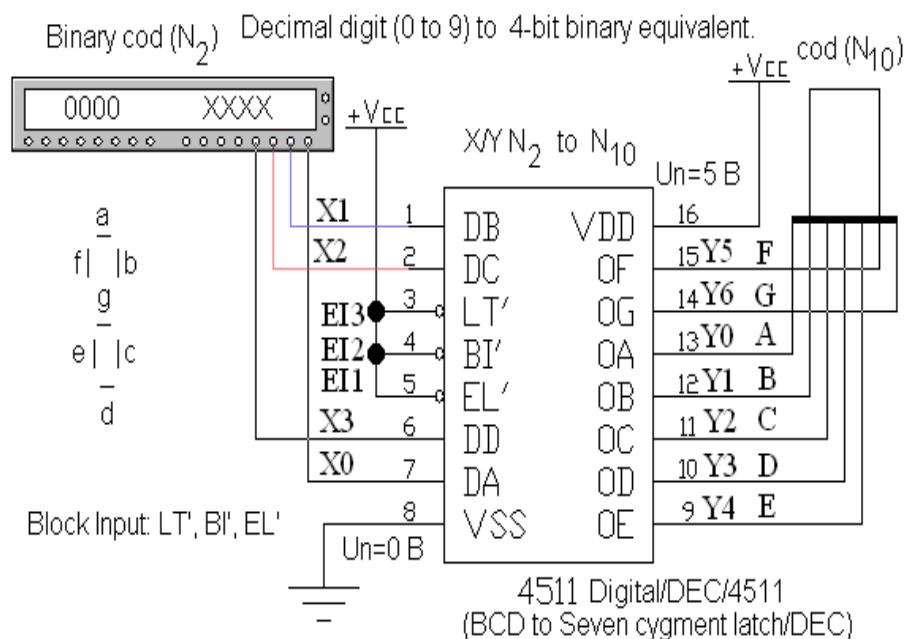
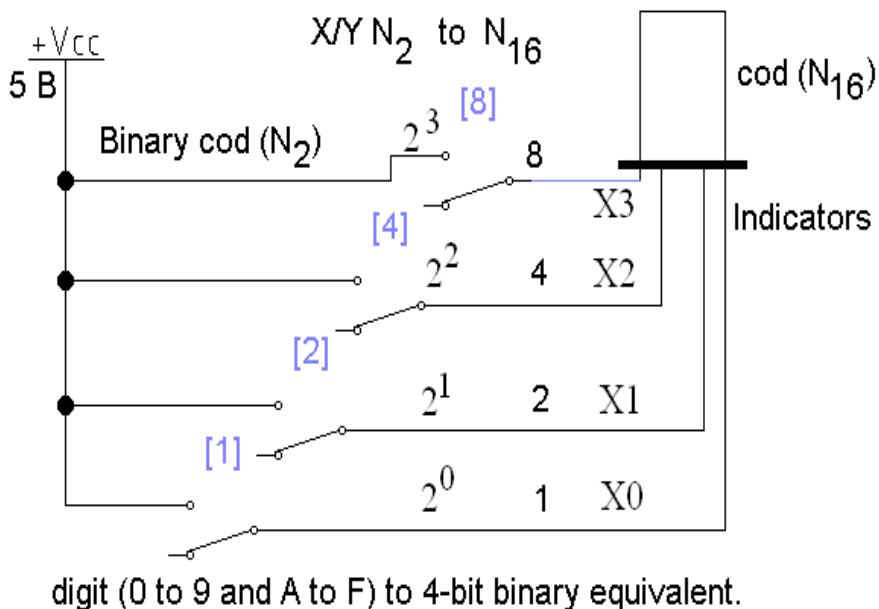


Рис. 23. Преобразователь двоичного кода в десятичный семи сегментный код

На рис. 24 показана схема управления семи сегментным индикатором с помощью ключей, подающих на него уровни логических единиц и нулей в двоичном коде. Ключи используются для моделирования работы дешифратора.



digit (0 to 9 and A to F) to 4-bit binary equivalent.

Рис. 24. Преобразователь двоичного кода в семи сегментный код

Задание 7. Изучить работу преобразователей кодов.

Задание 8. Задавая комбинации входных сигналов с помощью выключателей, изучить работу преобразователя кодов (рис. 24). Составить его таблицу истинности (табл. 26). Если сегмент на индикаторе загорается, то в таблице необходимо указать единицу, иначе – ноль. Выключатели X₀ ... X₃ соответствуют входному двоичному входу.

Задание 9. Перечислить, где и для каких целей применяются дешифраторы.

Таблица истинности семи сегментного дешифратора

| Входы | | | | Выходы | | | | | | |
|-------|-------|-------|-------|--------|-----|-----|-----|-----|-----|-----|
| X_3 | X_2 | X_1 | X_0 | a | b | c | d | e | f | g |
| 0 | 0 | 0 | 0 | | | | | | | |
| 0 | 0 | 0 | 1 | | | | | | | |
| 0 | 0 | 1 | 0 | | | | | | | |
| 0 | 0 | 1 | 1 | | | | | | | |
| 0 | 1 | 0 | 0 | | | | | | | |
| 0 | 1 | 0 | 1 | | | | | | | |
| 0 | 1 | 1 | 0 | | | | | | | |
| 0 | 1 | 1 | 1 | | | | | | | |
| 1 | 0 | 0 | 0 | | | | | | | |
| 1 | 0 | 0 | 1 | | | | | | | |

Контрольные вопросы

1. Дешифраторы и их назначение, построение, увеличение разрядности дешифраторов.
2. Реализация функций алгебры логики на дешифраторе.
3. Как дешифраторы классифицируются по способу структурной организации? Приведите примеры УГО.
4. Как дешифраторы классифицируются по формату входного кода? Приведите примеры УГО.
5. Как дешифраторы классифицируются по разрядности дешифруемого кода?
6. На каких логических элементах синтезируются дешифраторы?
7. Как происходит увеличение разрядности дешифраторов?
8. Особенности использования дешифраторов в качестве преобразователей кодов для индикаторов.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Разевиг, В. Д. Система сквозного проектирования электронных устройств DesignLab 8.0. [Текст] / В. Д. Разевиг. – М.: Солон, 1999. – 698 с.
2. Карлащук, В. И. Электронная лаборатория на IBM PC. Программа Electronics Workbench и её применение [Текст] / В. И. Карлащук. – М.: Солон-Р, 2001. – 726 с.
3. Электротехника и электроника в экспериментах и упражнениях: практикум на Electronics Workbench [Текст]: В 2-х томах / под ред. Д. И. Панфилова. – М.: ДОДЭКА, 2000.
4. Кардашев, Г. А. Цифровая электроника на ПК. Electronics Workbench и Micro-Cap [Текст] / Г. А. Кардашев. – М.: Горячая линия-Телеком, 2003. – 311 с.
5. Пучков, Н. А. Зарубежные интегральные микросхемы и их отечественные аналоги [Текст]: справочник / Н. А. Пучков. – М.: Машиностроение, 1993. – 187 с.
6. Цилькер, Б. Я. Организация ЭВМ и систем [Текст] / Б. Я. Цилькер, С. А. Орлов. – СПб.: Питер, 2006. – 668 с.
7. Гук, М. Процессоры Pentium 4, Athlon и Duron [Текст] / М. Гук, В. Юров. – СПб.: Питер, 2002. – 512 с.
8. Таненбаум, Э. Архитектура компьютеров [Текст] / Э. Таненбаум. – СПб.: Питер, 2007. – 848 с.
9. Корнеев, В. В. Современные микропроцессоры [Текст] / В. В. Корнеев, А. В. Киселев. – 3-е изд., перераб. и доп. – СПб.: БХВ-Петербург, 2003. – 440 с.
10. Корнеев, В. В. Параллельные вычислительные системы [Текст] / В. В. Корнеев. – М.: Нолидж, 1999. – 311 с.
11. Касперски, К. Техника оптимизации программ. Эффективное использование памяти [Текст] / К. Касперски. – СПб.: БХВ-Петербург, 2003. – 464 с.
12. Грушин, В. В. Выполнение математических операций в ЭВМ. Погрешности компьютерной арифметики [Текст]: учеб. пособие / В. В. Грушин. – СПб.: СПбГЭТУ «ЛЭТИ», 1999. – 56 с.

13. Папков, В. И. Система памяти ЭВМ (Функциональный подход) [Текст]: учеб. пособие / В. И. Папков. – СПб.: Изд.центр СПбГМТУ, 2002. – 238 с.

14. Столлингс, В. Структурная организация и архитектура компьютерных систем [Текст] / В. Столлингс. – 5-е изд. – М.: Издательский дом «Вильямс», 2002. – 896 с.

СОДЕРЖАНИЕ

| | |
|--------------------------------|----|
| Практическое занятие № 1 | |
| Сумматоры..... | 1 |
| Практическое занятие № 2 | |
| Шифраторы..... | 21 |
| Практическое занятие № 3 | |
| Дешифраторы | 29 |
| БИБЛИОГРАФИЧЕСКИЙ СПИСОК | 42 |

МЕТОДИЧЕСКИЕ УКАЗАНИЯ

к практическим занятиям № 1–3 по дисциплине
«Организация ЭВМ и вычислительных систем»
для студентов специальности
090303 «Информационная безопасность
автоматизированных систем»
очной формы обучения

Составители:

Разинкин Константин Александрович
Савенков Григорий Анатольевич

В авторской редакции

Подписано к изданию 06.04.2015.

Уч.-изд. л. 2,7.

ФГБОУ ВПО «Воронежский государственный
технический университет»
394026 Воронеж, Московский просп., 14