

**МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ
РОССИЙСКОЙ ФЕДЕРАЦИИ**

Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Воронежский государственный технический университет»



УТВЕРЖДАЮ

Декан факультета радиотехники
и электроники

 / В.А. Небольсин /
31 августа 2021 г.

**РАБОЧАЯ ПРОГРАММА
дисциплины
«Проектирование БИС»**

Направление подготовки 11.03.04 Электроника и наноэлектроника

Профиль Микроэлектроника и твердотельная электроника

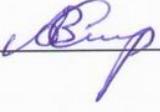
Квалификация выпускника бакалавр

Нормативный период обучения 4 года / 4 года и 11 мес.

Форма обучения очная / заочная

Год начала подготовки 2021

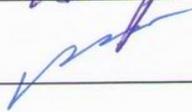
Автор программы

 А.В. Строгонов

И.о. заведующего кафедрой
полупроводниковой электроники
и наноэлектроники

 А.В. Строгонов

Руководитель ОПОП

 А.В. Арсентьев

Воронеж 2021

1. ЦЕЛИ И ЗАДАЧИ ДИСЦИПЛИНЫ

1.1. Цели дисциплины: формирование у студентов системы знаний по автоматизированному проектированию больших интегральных схем с использованием различных уровней абстракции, навыков разработки больших интегральных схем по субмикронным проектным нормам масштабируемой КМОП-технологии.

1.2. Задачи освоения дисциплины:

- изучить основы функционирования узлов комбинационного и последовательностного типа с учетом особенностей КМОП-технологии;
- изучить маршрут проектирования заказных БИС по КМОП-технологии с использованием САПР Tanner EDA и методологии стандартных ячеек;
- освоить процесс проектирования БИС на системном уровне с применением системы визуально-имитационного моделирования Matlab/Simulink;
- освоить процесс проектирования БИС на функциональном уровне с использованием высокоуровневых языков описания аппаратурных средств VHDL/Verilog в САПР Quartus II;
- освоить процесс проектирования БИС по масштабируемой КМОП-технологии на схемотехническом уровне (схемотехнический редактор SEdit и подсистема T-Spice САПР Tanner EDA);
- освоить процесс проектирования БИС по масштабируемой КМОП-технологии на физическом (топологическом) уровне (топологический редактор LEdit САПР Tanner EDA) с использованием метода стандартных ячеек.

2. МЕСТО ДИСЦИПЛИНЫ В СТРУКТУРЕ ОПОП

Дисциплина Б1.В.08 «Проектирование БИС» относится к дисциплинам части блока Б1 учебного плана, формируемой участниками образовательных отношений.

3. ПЕРЕЧЕНЬ ПЛАНИРУЕМЫХ РЕЗУЛЬТАТОВ ОБУЧЕНИЯ ПО ДИСЦИПЛИНЕ

Процесс изучения дисциплины «Проектирование БИС» направлен на формирование следующих компетенций:

ПК-1: способность строить простейшие физические и математические модели приборов, схем, устройств и установок электроники и наноэлектроники различного функционального назначения, а также использовать стандартные программные средства их компьютерного моделирования;

ПК-5: способность владеть современными методами расчета и проектирования микроэлектронных приборов и устройств твердотельной электроники, способность к восприятию, разработке и критической оценке новых способов их проектирования.

Компетенция	Результаты обучения, характеризующие сформированность компетенции
ПК-1	<p>знать основы теории n-МОП и КМОП-схем и технологический маршрут изготовления элементов КМОП БИС; различные виды схемотехнического анализа применяемых для Spice-симуляторов САПР БИС (на примере T-Spice);</p> <p>уметь проводить качественный анализ работы МОП транзисторов и КМОП логических элементов, вычислять паразиты для субмикронных БИС; разрабатывать топологический чертеж логических элементов и последовательностных устройств в «ручном» режиме с использованием символьного представления и в автоматизированном режиме с использованием топологических редакторов САПР БИС по методу стандартных ячеек;</p> <p>владеть навыками работы со схемотехническим редактором SEdit, с редактором топологии L-Edit и симулятором T-Spice САПР БИС Tanner EDA.</p>
ПК-5	<p>знать методологию проектирования цифровых и аналого-цифровых БИС; понятия о конструктивно-технологических проектных нормах масштабируемой КМОП-технологии и правила проектирования; основы построения топологии логических элементов и триггеров n-МОП и КМОП БИС;</p> <p>уметь пользоваться SPICE-моделями МОП транзисторов по субмикронной КМОП-технологии для проведения схемотехнического моделирования в САПР БИС Tanner EDA; восстанавливать из описания топологии электрические схемы по КМОП-технологии;</p> <p>владеть процессом проектирования сложно-функциональных блоков в базисе ПЛИС в САПР Quartus II компании Altera, с использованием высокоуровневых языков VHDL/Verilog.</p>

4. ОБЪЕМ ДИСЦИПЛИНЫ (МОДУЛЯ)

Общая трудоемкость дисциплины «Проектирование БИС» составляет 5 зачетных единиц.

Распределение трудоемкости дисциплины по видам занятий

Очная форма обучения

Вид учебной работы	Всего часов	Семестры 7
Аудиторные занятия (всего)	72	72
В том числе:		
Лекции	36	36
Лабораторные работы (ЛР)	36	36
в том числе в форме практической подготовки	12	12
Самостоятельная работа	81	81

Курсовой проект		+	+
Часы на контроль		27	27
Вид промежуточной аттестации – экзамен		+	+
Общая трудоемкость	час	180	180
	зач. ед.	5	5

Заочная форма обучения

Вид учебной работы	Всего часов	Семестры
		9
Аудиторные занятия (всего)	16	16
В том числе:		
Лекции	8	8
Лабораторные работы (ЛР)	8	8
в том числе в форме практической подготовки	6	6
Самостоятельная работа	155	155
Курсовой проект	+	+
Часы на контроль	9	9
Вид промежуточной аттестации – экзамен	+	+
Общая трудоемкость	час	180
	зач. ед.	5

5. СОДЕРЖАНИЕ ДИСЦИПЛИНЫ (МОДУЛЯ)

5.1 Содержание разделов дисциплины и распределение трудоемкости по видам занятий

очная форма обучения

№ п/п	Наименование темы	Содержание раздела	Лекц	Лаб. зан.	СРС	Всего, час
1	Современные и перспективные цифровые БИС/СБИС типа «система на кристалле» со сложными программируемыми структурами	Назначение, применение и перспективы развития специализированных заказных, полузаказных БИС конкретного применения (ASIC). БИС для специализированных стандартных применений (ASSP). Назначение, применение и перспективы развития ПЛИС. Понятие идеологии «система на кристалле» (System on chip, SOC)	4	-	8	
2	Архитектуры современных специализированных заказных БИС и ПЛИС	Заказные и полузаказные интегральные схемы на основе КМОП БМК. Основные тенденции развития ПЛИС. Классификация ПЛИС. Сложные программируемые логические схемы (CPLD). Программируемые пользователем вентиляльные матрицы (FPGA). Архитектуры MAX, FLEX и STRATIX компании Altera. Архитектуры ПЛИС CPLD и FPGA компании Xilinx	4	-	8	
3	Особенности схемотехники логических элементов и триггеров цифровых КМОП БИС	Схемотехника ключей и логических элементов n-МОП и КМОП БИС. Синтез КМОП элементов. Схемотехника комбинационных логических элементов. Проходные логические схемы и КМОП логика на передаточных вентилях. Шифраторы/дешифраторы, мультиплексоры / демультиплексоры, коммутаторы, компараторы по КМОП-технологии. Особенности проектирования КМОП-триггеров БИС, тактируемых уровнем и фронтом сигнала.	4	4	8	
		<i>практическая подготовка обучающихся</i>		2		

4	Особенности схемотехники сложно-функциональных цифровых устройств КМОП БИС	Последовательностные логические схемы. Конечные автоматы. Сдвиговые регистры, счетчики. Логические элементы схем потоковой обработки информации: сумматоры/вычитатели, умножители, делители. Умножение с накоплением методом правого сдвига. Схемы ускоренного умножения. Параллельные векторные умножители. Цифровые запоминающие устройства. <i>практическая подготовка обучающихся</i>	4	4	8	
				2		
5	Программные средства с открытым исходным кодом для проектирования цифровых устройств	Программный инструмент Yosys для Verilog-синтеза в базис БИС и ПЛИС. Маршрут проектирования заказных цифровых БИС Qflow с использованием программных инструментов с открытым кодом Yosys/ABC, GrayWolf, Qrouter, Magic. Настройка маршрута проектирования.	4	2	8	
6	Проектирование конечных автоматов в САПР Quartus	Диаграммы переходов. Автоматы Мили. Автоматы Мура. Методы кодирования конечных автоматов.	4	2	8	
7	Проектирование топологии логических элементов заказных БИС в промышленном САПР Tanner EDA	Описание САПР Tanner EDA. Процесс проектирования в САПР Tanner EDA. Понятие о конструктивно-технологических нормах и правилах проектирования по масштабируемой КМОП-технологии. Основные элементы конструкции топологии заказных КМОП БИС с одним слоем металлизации. <i>практическая подготовка обучающихся</i>	4	4	8	
				2		
8	Проектирование топологии триггеров заказных БИС в САПР Tanner EDA	Основные элементы конструкции топологии заказных КМОП БИС с двумя слоями металлизации. Особенности топологии триггеров КМОП БИС. <i>практическая подготовка обучающихся</i>	4	2	8	
				2		
9	HDL для описания цифровых БИС. Примеры проектирования цифровых устройств с использованием языка VHDL в САПР Quartus II	Положение в области языков функционального описания. Роль функционального описания в САПР. Общее содержание языка VHDL: синтаксис, базовые конструкции, примеры реализаций. Стили описания аппаратных архитектур. Поведенческое описание, потоковое описание, структурное описание. Проектирование комбинационных устройств на языке VHDL: дешифраторы, шифраторы, мультиплексоры, сумматоры, преобразователи кодов. Проектирование последовательностных устройств на языке VHDL: защелки, триггеры, регистры, счетчики, блоки памяти (ОЗУ, ПЗУ). конечные автоматы. Конечные автоматы. Диаграммы переходов. Автоматы Мили. Автоматы Мура. Методы кодирования конечных автоматов. <i>практическая подготовка обучающихся</i>	2	4	9	
				2		
10	HDL для описания цифровых БИС. Примеры проектирования цифровых устройств с использованием языка Verilog в САПР Xilinx ISE	Проектирование последовательностных устройств на языке Verilog: защелки, триггеры, регистры, счетчики, блоки памяти (ОЗУ, ПЗУ), конечные автоматы. <i>практическая подготовка обучающихся</i>	2	2	8	
				2		
Всего			36	36	81	153
Контроль						27
Итого						180

заочная форма обучения

№ п/п	Наименование темы	Содержание раздела	Лекц	Лаб. зан.	СРС	Всего, час
1	Современные и перспективные цифровые БИС/СБИС типа «система на кристалле» со сложными программируемыми структурами	Назначение, применение и перспективы развития специализированных заказных, полужаказных БИС конкретного применения (ASIC). БИС для специализированных стандартных применений (ASSP). Назначение, применение и перспективы развития ПЛИС. Понятие идеологии «система на кристалле» (System on chip, SOC)	2	-	14	16
2	Архитектуры современных специализированных заказных БИС и ПЛИС	Заказные и полужаказные интегральные схемы на основе КМОП БМК. Основные тенденции развития ПЛИС. Классификация ПЛИС. Сложные программируемые логические схемы (CPLD). Программируемые пользователем вентиляционные матрицы (FPGA). Архитектуры MAX, FLEX и STRATIX компании Altera. Архитектуры ПЛИС CPLD и FPGA компании Xilinx	2	-	14	16

3	Особенности схемотехники логических элементов и триггеров цифровых КМОП БИС	Схемотехника ключей и логических элементов n-МОП и КМОП БИС. Синтез КМОП элементов. Схемотехника комбинационных логических элементов. Проходные логические схемы и КМОП логика на передаточных вентилях. Шифраторы/дешифраторы, мультиплексоры/демультиплексоры, коммутаторы, компараторы по КМОП-технологии. Особенности проектирования КМОП-триггеров БИС, тактируемых уровнем и фронтом сигнала.	2	-	15	17
4	Особенности схемотехники сложно-функциональных цифровых устройств КМОП БИС	Последовательностные логические схемы. Конечные автоматы. Сдвиговые регистры, счетчики. Логические элементы схем потоковой обработки информации: сумматоры/вычитатели, умножители, делители. Умножение с накоплением методом правого сдвига. Схемы ускоренного умножения. Параллельные векторные умножители. Цифровые запоминающие устройства. <i>практическая подготовка обучающихся</i>	2	2	16	22
5	Программные средства с открытым исходным кодом для проектирования цифровых устройств	Программный инструмент Yosys для Verilog-синтеза в базис БИС и ПЛИС. Маршрут проектирования заказных цифровых БИС Qflow с использованием программных инструментов с открытым кодом Yosys/ABC, GrayWolf, Qrouter, Magic. Настройка маршрута проектирования.	-	-	16	16
6	Проектирование конечных автоматов в САПР Quartus	Диаграммы переходов. Автоматы Мили. Автоматы Мура. Методы кодирования конечных автоматов.	-	-	16	16
7	Проектирование топологии логических элементов заказных БИС в промышленном САПР Tanner EDA	Описание САПР Tanner EDA. Процесс проектирования в САПР Tanner EDA. Понятие о конструктивно-технологических нормах и правилах проектирования по масштабируемой КМОП-технологии. Основные элементы конструкции топологии заказных КМОП БИС с одним слоем металлизации. <i>практическая подготовка обучающихся</i>	-	-	16	18
8	Проектирование топологии триггеров заказных БИС в САПР Tanner EDA	Основные элементы конструкции топологии заказных КМОП БИС с двумя слоями металлизации. Особенности топологии триггеров КМОП БИС.	-	-	16	16
9	HDL для описания цифровых БИС. Примеры проектирования цифровых устройств с использованием языка VHDL в САПР Quartus II	Положение в области языков функционального описания. Роль функционального описания в САПР. Общее содержание языка VHDL: синтаксис, базовые конструкции, примеры реализаций. Стили описания аппаратных архитектур. Поведенческое описание, потоковое описание, структурное описание. Проектирование комбинационных устройств на языке VHDL: дешифраторы, шифраторы, мультиплексоры, сумматоры, преобразователи кодов. Проектирование последовательностных устройств на языке VHDL: защелки, триггеры, регистры, счетчики, блоки памяти (ОЗУ, ПЗУ). конечные автоматы. Конечные автоматы. Диаграммы переходов. Автоматы Мили. Автоматы Мура. Методы кодирования конечных автоматов. <i>практическая подготовка обучающихся</i>	-	-	16	18
10	HDL для описания цифровых БИС. Примеры проектирования цифровых устройств с использованием языка Verilog в САПР Xilinx ISE	Проектирование последовательностных устройств на языке Verilog: защелки, триггеры, регистры, счетчики, блоки памяти (ОЗУ, ПЗУ), конечные автоматы.	-	-	16	16
Всего			8	8	155	171
Контроль						9
Итого						180

Практическая подготовка при освоении дисциплины «Проектирование БИС» проводится путем непосредственного выполнения обучающимися на лабораторных занятиях отдельных элементов работ, связанных с будущей профессиональной деятельностью, способствующих формированию, закреплению и развитию практических навыков и компетенций по профилю соответствующей образовательной программы:

№ п/п	Перечень выполняемых обучающимися отдельных элементов работ, связанных с будущей профессиональной деятельностью	Формируемые профессиональные компетенции
1	Получение практических навыков по разработке электрических схем цифровых устройств по КМОП-технологии на различных уровнях проектирования: на схемотехническом, топологическом, вентиляционном, системном.	ПК-1, ПК-5
2	Получение практических навыков по реализации цифровых устройств с использованием синтезаторов языков HDL в различных технологических базисах (БИС/ПЛИС).	ПК-1, ПК-5
3	Получение практических навыков по разработке топологии логических элементов по субмикронным проектным нормам масштабируемой КМОП технологии в САПР Tanner.	ПК-1, ПК-5
4	Получение практических навыков по разработке цифровых устройств и их верификации с использованием языков описания аппаратных средств HDL в САПР ПЛИС Altera Quartus.	ПК-1, ПК-5
5	Получение практических навыков по разработке сложнофункциональных цифровых устройств с использованием мегафункций (IP-ядер) в САПР ПЛИС Altera Quartus.	ПК-1, ПК-5
6	Получение практических навыков по настройке маршрута проектирования заказных цифровых БИС по КМОП-технологии с использованием САПР	ПК-1, ПК-5

5.2 Перечень лабораторных работ

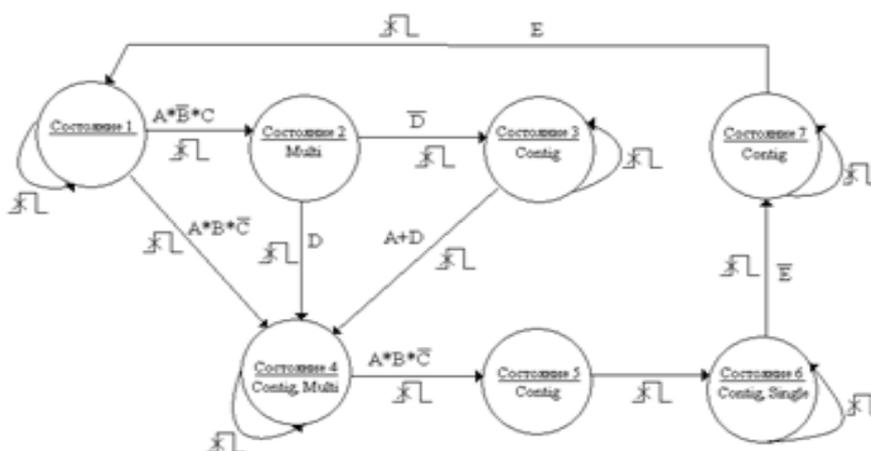
1. Схемотехническое проектирование логических элементов и триггеров по n-МОП и КМОП-технологиям в САПР Tanner.
2. Схемотехническое проектирование сдвиговых регистров и асинхронных, синхронных счетчиков в САПР Tanner
3. Разработка электрической схемы 4-разрядного сумматора с последовательным переносом в схемотехническом редакторе SEdit САПР Tanner EDA
4. Проектирование четырехразрядного АЦП последовательного приближения с ЦАП на матрице $R - 2R$ в схемотехническом редакторе SEdit САПР Tanner EDA
5. Настройка маршрута проектирования заказных цифровых БИС Qflow с использованием программных инструментов с открытым кодом Yosys/ABC, GrayWolf, Qrouter, Magic. Автоматический синтез топологии 4-разрядного счетчика
6. Диаграммы переходов. Автоматы Мили. Автоматы Мура. Методы кодирования конечных автоматов. Особенности проектирования конечных автоматов в САПР Quartus.
7. Проектирование топологии простейших и составных логических элементов по КМОП-технологии. Восстановление электрической схемы из описания топологии в ручном режиме.

8. Проектирование топологии матричного умножителя целых чисел со знаком размерностью 4x4 в автоматическом режиме с применением программных средств размещения и трассировки САПР Tanner.
9. Проектирование топологии триггера тактируемого фронтом синхросигнала и 4-разрядного двоичного счетчика в ручном режиме.
10. Разработка проекта умножителя целых без знаковых чисел методом сдвига и сложения (управляющий автомат разработан с применением редактора состояний цифрового автомата)
11. Разработка проекта умножителя целых без знаковых чисел методом правого сдвига и сложения (управляющий автомат представлен VHDL-кодом)
12. Verilog-проекты комбинационных устройств: дешифраторы, шифраторы, мультиплексоры, сумматоры, преобразователи кодов. Разработка испытательных стендов. Verilog-проекты последовательностных устройств: защелки, триггеры, регистры, счетчики, блоки памяти

6. ПРИМЕРНАЯ ТЕМАТИКА КУРСОВЫХ ПРОЕКТОВ (РАБОТ) И КОНТРОЛЬНЫХ РАБОТ

В соответствии с учебным планом освоение дисциплины «Проектирование БИС» предусматривает выполнение курсового проекта в 7 семестре для студентов очной формы обучения и в 9 семестре для студентов заочной формы обучения.

Примерная тематика курсового проекта: «Разработка цифрового автомата в базе ПЛИС с использованием САПР Altera Quartus II по диаграмме состояний».



Задачи, решаемые при выполнении курсового проекта:

- изучить методы кодирования цифровых автоматов;
- освоить автоматизированное проектирование цифровых автоматов с помощью редактора состояний в САПР Quartus II и различных методов их кодирования;
- изучить шаблоны языка VHDL применяемые для разработки автоматов.

Курсовой проект состоит из расчетно-пояснительной записки (РПЗ) с иллюстративным графическим материалом, размещенным по разделам проекта.

РПЗ объемом от 25 – 30 страниц содержит: титульный лист; задание на курсовой проект; содержание; введение (1 – 2 страницы); основную часть (теоретическую, расчетную, практическую, 20 – 25 страниц); заключение (1 – 2 страницы); приложение (при необходимости); список использованных источников.

Во введении должна быть дана оценка состояния современных средств САПР ПЛИС, актуальность, цели и задачи, решаемые в курсовом проекте.

Основная часть курсового проекта должна содержать подробное обоснование реализации теоретической, практической и расчетной частей в последовательности:

- в автоматическом режиме с применением редактора состояний цифрового автомата разработать проект и осуществить функциональное моделирование;

- используя символьный/схемный редактор САПР ПЛИС Quartus II, разработать иерархическую электрическую схему (проект) в ручном режиме по заданной диаграмме состояний цифрового устройства с кодированием по методу ONE;

- проверить правильность функционирования разрабатываемой схемы цифрового автомата с помощью функционального моделирования в САПР ПЛИС Quartus II;

- используя высокоуровневый язык описания аппаратных средств (VHDL) и шаблоны языка VHDL САПР ПЛИС Quartus II, разработать описание проектируемого устройства на поведенческом уровне;

- используя символьный/схемный редактор САПР ПЛИС Quartus II, разработать тестовую электрическую схему цифрового автомата на языке VHDL;

- проверить правильность функционирования разрабатываемой схемы цифрового автомата на языке VHDL с помощью функционального моделирования в САПР ПЛИС Quartus II.

В практической части подтвердить правильность функционирования трех вариантов реализации одного и того же автомата и зашить один из проектов в ПЛИС с помощью учебного лабораторного стенд LESO2.1 для аппаратной верификации.

Учебным планом по дисциплине «Проектирование БИС» не предусмотрено выполнение контрольной работы.

7. ОЦЕНОЧНЫЕ МАТЕРИАЛЫ ДЛЯ ПРОВЕДЕНИЯ ПРОМЕЖУТОЧНОЙ АТТЕСТАЦИИ ОБУЧАЮЩИХСЯ ПО ДИСЦИПЛИНЕ (МОДУЛЮ)

7.1. Описание показателей и критериев оценивания компетенций на различных этапах их формирования, описание шкал оценивания

7.1.1 Этап текущего контроля

Результаты текущего контроля знаний и межсессионной аттестации оцениваются по следующей системе:

«аттестован»;

«не аттестован».

Компетенция	Результаты обучения, характеризующие сформированность компетенции	Критерии оценивания	Аттестован	Не аттестован
ПК-1	знать основы теории n-МОП и КМОП-схем и технологический маршрут изготовления элементов КМОП БИС; различные виды схемотехнического анализа применяемых для Spice-симуляторов САПР БИС (на примере T-Spice);	Способность использования информации о технологическом маршруте изготовления КМОП БИС для извлечения SPICE-параметров и проведения схемотехнического моделирования	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
	уметь проводить качественный анализ работы МОП транзисторов и КМОП логических элементов, вычислять паразиты для субмикронных БИС; разрабатывать топологический чертеж логических элементов и последовательностей устройств в «ручном» режиме с использованием символического представления и в автоматизированном режиме с использованием топологических редакторов САПР БИС по методу стандартных ячеек;	Навыки работы с САПР БИС Tanner EDA; способность восстанавливать из описания топологии электрические схемы логических элементов БИС	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
	владеть навыками работы со схемотехническим редактором SEdit, с редактором топологии L-Edit и симулятором T-Spice САПР БИС Tanner EDA.	Умение самостоятельно разработать электрическую схему сложно-функционального блока по КМОП-технологии и реализовать ее в базе заказной БИС	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
ПК-5	знать методологию проектирования цифровых и аналого-цифровых БИС; понятия о конструктивно-технологических проектных нормах масштабируемой КМОП-технологии и правила проектирования; основы построения топологии логических элементов и триггеров n-МОП и КМОП БИС;	Способность использовать на практике методологию проектирования БИС для разработки схемотехники и топологии логических элементов уникального базиса БИС	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
	уметь пользоваться SPICE-моделями МОП транзисторов по субмикронной КМОП-технологии для проведения схемотехнического моделирования в САПР БИС Tanner EDA; восстанавливать из описания топологии электрические схемы по КМОП-технологии;	Навыки работы с САПР БИС Tanner EDA; способность читать топологические чертежи логических элементов БИС	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
	владеть процессом проектирования сложно-функциональных блоков в базе ПЛИС в САПР Quartus II компании Altera, с использованием высокоуровневых языков VHDL/Verilog.	Способность реализовать проекты сложно-функциональных блоков в базе ПЛИС	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах

7.1.2 Этап промежуточного контроля знаний

Результаты промежуточного контроля знаний оцениваются в 7 семестре для очной формы обучения, в 9 семестре для заочной формы обучения по системе:

«отлично»;

«хорошо»;

«удовлетворительно»;

«неудовлетворительно»

Компетенция	Результаты обучения, характеризующие сформированность компетенции	Критерии оценивания	Отлично	Хорошо	Удовл	Неудовл
ПК-1	знать основы теории n-МОП и КМОП-схем и технологический маршрут изготовления элементов КМОП БИС; различные виды схемотехнического анализа применяемых для Spice-симуляторов САПР БИС (на примере T-Spice);	Тест	Выполнение теста на 90 – 100 %	Выполнение теста на 80 – 90 %	Выполнение теста на 70 – 80 %	В тесте менее 70 % правильных ответов
	уметь проводить качественный анализ работы МОП транзисторов и КМОП логических элементов, вычислять паразиты для субмикронных БИС; разрабатывать топологический чертеж логических элементов и последовательностных устройств в «ручном» режиме с использованием символьного представления и в автоматизированном режиме с использованием топологических редакторов САПР БИС по методу стандартных ячеек;	Решение стандартных практических задач	Задачи решены в полном объеме и получены верные ответы	Продемонстрирован верный ход решения всех, но не получен верный ответ во всех задачах	Продемонстрирован верный ход решения в большинстве задач	Задачи не решены
	владеть навыками работы со схемотехническим редактором SEdit, с редактором топологии L-Edit и симулятором T-Spice САПР БИС Tanner EDA.	Решение прикладных задач в конкретной предметной области	Задачи решены в полном объеме и получены верные ответы	Продемонстрирован верный ход решения всех, но не получен верный ответ во всех задачах	Продемонстрирован верный ход решения в большинстве задач	Задачи не решены
ПК-5	знать методологию проектирования цифровых и аналого-цифровых БИС; понятия о конструктивно-технологических проектных нормах масштабируемой КМОП-технологии и правила проектирования; основы построения топологии логических элементов и триггеров n-МОП и КМОП БИС;	Тест	Выполнение теста на 90 – 100 %	Выполнение теста на 80 – 90 %	Выполнение теста на 70 – 80 %	В тесте менее 70 % правильных ответов
	уметь пользоваться SPICE-моделями МОП транзисторов по субмикронной КМОП-технологии для проведения схемотехнического моделирования в САПР БИС Tanner EDA; восстанавливать из описания топологии электрические схемы по КМОП-технологии;	Решение стандартных практических задач	Задачи решены в полном объеме и получены верные ответы	Продемонстрирован верный ход решения всех, но не получен верный ответ во всех задачах	Продемонстрирован верный ход решения в большинстве задач	Задачи не решены
	владеть процессом проектирования сложно-функциональных блоков в базисе ПЛИС в САПР Quartus II компании Altera, с использованием высокоуровневых языков VHDL/Verilog.	Решение прикладных задач в конкретной предметной области	Задачи решены в полном объеме и получены верные ответы	Продемонстрирован верный ход решения всех, но не получен верный ответ во всех задачах	Продемонстрирован верный ход решения в большинстве задач	Задачи не решены

7.2 Примерный перечень оценочных средств (типовые контрольные задания или иные материалы, необходимые для оценки знаний, умений, навыков и (или) опыта деятельности)

7.2.1 Примерный перечень заданий для подготовки к тестированию

1. Какое последовательностное устройство представляет фрагмент VHDL-кода?

```
architecture behav of ff is
```

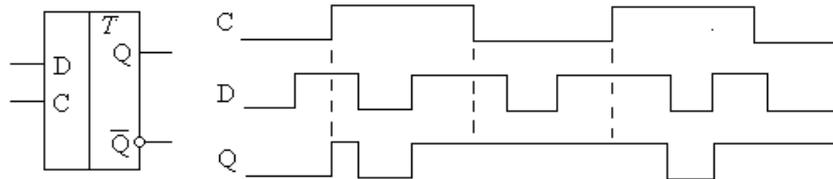
```

begin
process (clk) begin
if (clk'event and clk = '1') then
q <= data;
end if;
end process;
end behav;

```

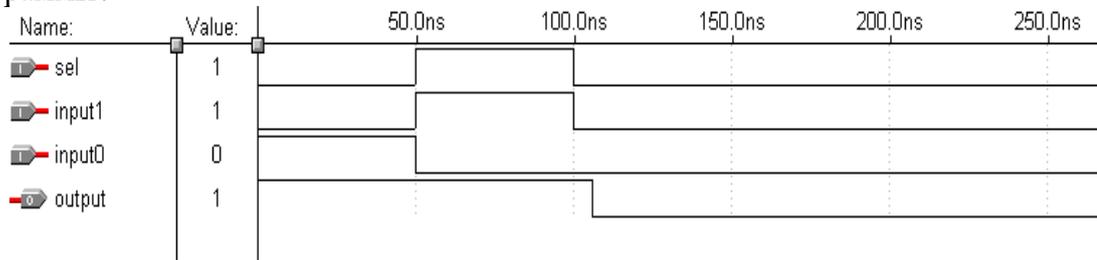
1	2	3	4
D-триггер	T-триггер	JK-триггер	RS-триггер

2. По условному графическому изображению и временной диаграмме определите функциональное назначение логического элемента.



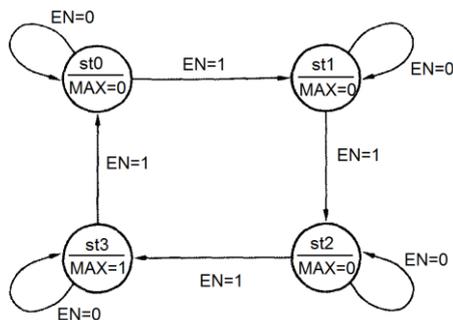
1	2	3	4
D-триггер тактируемый уровнем синхросигнала	D-триггер тактируемый фронтом синхросигнала	JK-триггер	T-триггер

3. Принцип действия, какого комбинационного устройства, описывают данные временные диаграммы?



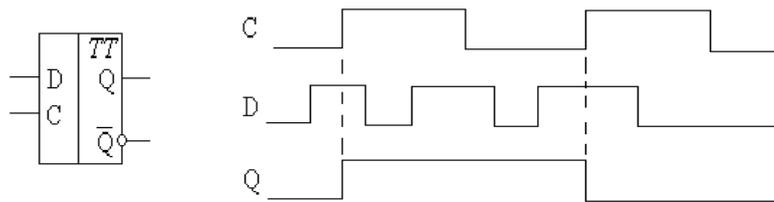
1	2	3	4
2-разрядный счетчик	2-разрядный регистр	D-триггер	Мультиплексор 2 в 1

4. Диаграмма состояний, какого последовательного устройства представлена на рисунке?



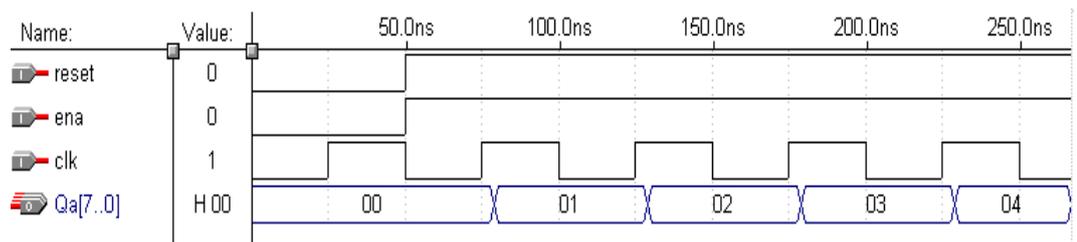
1. 3-разрядный счетчик
2. 2-разрядный счетчик
3. 2-разрядный регистр
4. 2-разрядный сумматор

5. По условному графическому изображению и временной диаграмме определите функциональное назначение логического элемента.



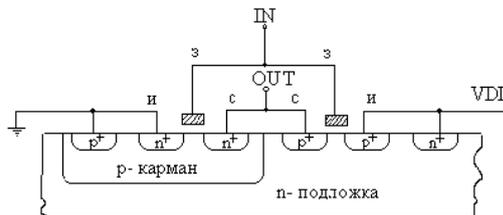
1	2	3	4
D-триггер тактируемый фронтом синхросигнала	D-триггер тактируемый уровнем синхросигнала	JK-триггер	T-триггер

6. Принцип действия, какого последовательного устройства, описывают представленные временные диаграммы?



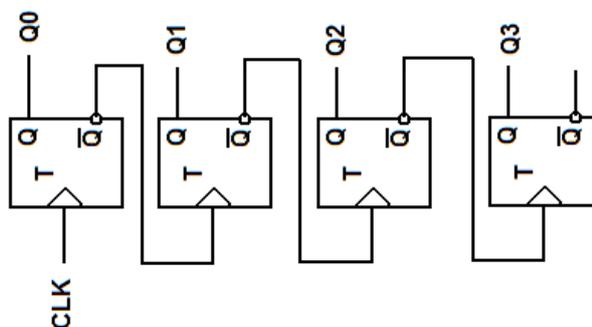
1	2	3	4
8-разрядный счетчик	8-разрядный регистр	Сумматор	Мультиплексор 8 в 1

7. Используя сечение КМОП-структуры с р-карманом, определите функциональное назначение логического элемента.



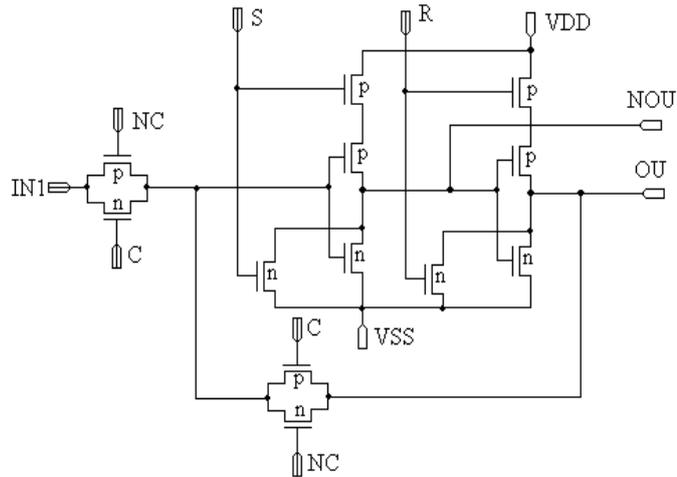
1	2	3	4
Инвертор	2И-НЕ	2ИЛИ-НЕ	3И-НЕ

8. По электрической схеме последовательного устройства определите его функциональное назначение.



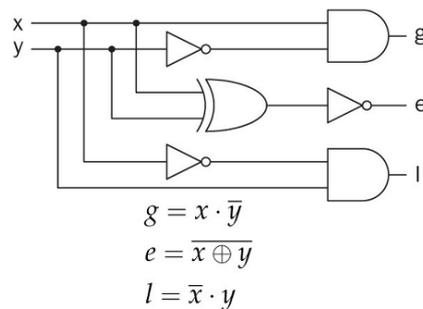
1	2	3	4
4-разрядный двоичный суммирующий счетчик с последовательным переносом	4-разрядный регистр с параллельной загрузкой данных	4-разрядный синхронный двоичный суммирующий счетчик с последовательной логикой разрешения	4-разрядный двоично-десятичный счетчик

9. По электрической схеме последовательного устройства определите его функциональное назначение.



1	2	3	4
Одноступенчатый D-триггер на проходных ключах	Одноступенчатый D-триггер на проходных ключах с асинхронным входом Reset	Одноступенчатый D-триггер на проходных ключах с асинхронным входом Set	Одноступенчатый D-триггер на проходных ключах с асинхронными входами Set и Reset

10. Руководствуясь электрической схемой, таблицей истинности и булевыми уравнениями, определите ее функциональное назначение.



Входы		Выходы		
x	y	g	e	l
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

1	2	3	4
Компаратор	Сумматор	Интегратор	Демультимплексор 2 в 4

7.2.2 Примерный перечень заданий для решения стандартных задач

1. С использованием фрагмента VHDL-кода разработайте проект 8-разрядного счетчика с синхронной загрузкой данных в САПР ПЛИС Altera Quartus II. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

```

BEGIN
PROCESS (clk)
BEGIN
IF(clk'EVENT AND clk = '1') THEN IF load = '1' then cnt<= data;
ELSE cnt<=cnt+'1'; END IF; END IF; END PROCESS;
Qa <= cnt;
END a;

```

2. С использованием фрагмента VHDL-кода разработайте проект однотактного триггера в САПР ПЛИС Altera Quartus II. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

```
BEGIN
latch : PROCESS (ena, data)
    BEGIN
        IF (ena = '1') THEN q <= data; END IF;
    END PROCESS latch;
```

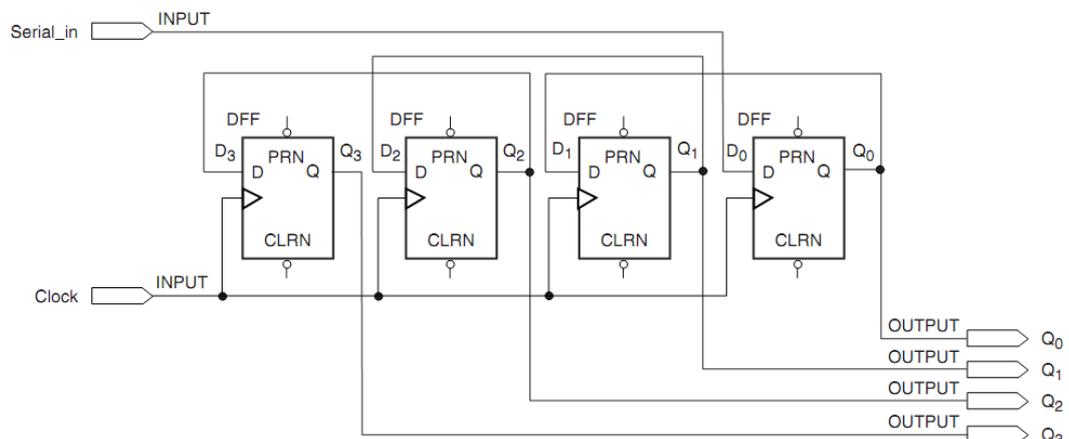
3. По коду языка VHDL разработайте проект мультиплексора 4 в 1 в САПР ПЛИС Altera Quartus II. Проведите функциональное моделирование. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

```
ENTITY sel IS
    PORT (d0, d1, d2, d3 : IN STD_LOGIC;
          s                : IN INTEGER RANGE 0 TO 3;
          output           : OUT STD_LOGIC);
END sel;
ARCHITECTURE maxpld OF sel IS
BEGIN
    WITH s SELECT
        output <=    d0 WHEN 0,
                    d1 WHEN 1,
                    d2 WHEN 2,
                    d3 WHEN 3;
END maxpld;
```

4. Проведите схемотехническое моделирование статического и динамического КМОП-триггеров, тактируемых фронтом синхросигнала в САПР Tanner.

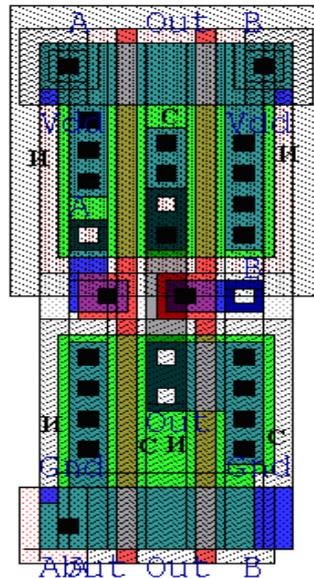
5. Разработайте топологию конденсатора, резистора, диода, биполярного и МОП-транзистора в САПР Tanner.

6. Разработайте проект 4-разрядного регистра со сдвигом в лево в САПР ПЛИС Altera Quartus II последовательного устройства, представленного на рисунке. Проведите функциональное моделирование.



7. Разработайте проект дешифратора 3 в 8 с использованием VHDL-кода в САПР ПЛИС Altera Quartus II. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

8. По топологическому чертежу логического элемента по КМОП-технологии с N-карманом восстановите электрическую схему и проведите схмотехническое моделирование переходных процессов в САПР Tanner EDA.



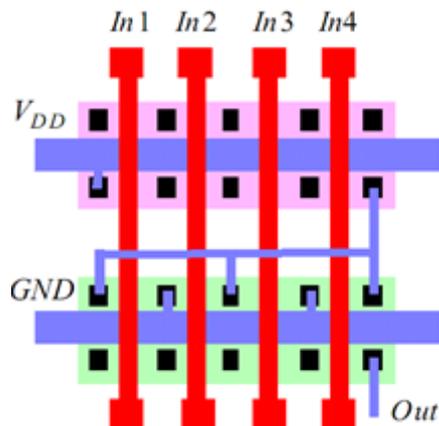
9. С использованием фрагмента VHDL-кода разработайте проект реверсивного счетчика в САПР ПЛИС Altera Quartus II. Проведите функциональное моделирование. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

```

PROCESS (clk)
VARIABLE cnt : STD_LOGIC_VECTOR(7 downto 0);
VARIABLE direction : INTEGER;
BEGIN
    IF (up_down = '1') THEN direction := 1;
    ELSE direction := -1; END IF;
    IF (clk'EVENT AND clk = '1')
    THEN cnt := cnt + direction; END IF; qd <= cnt;
END PROCESS;

```

10. По топологическому чертежу логического элемента определите его функциональное назначение и проведите схмотехническое моделирование переходных процессов в САПР Tanner EDA. Постройте передаточную характеристику вентиля



7.2.3 Примерный перечень заданий для решения прикладных задач

1. Разработайте проект цифрового устройства с использованием языка описания аппаратуры VHDL в САПР ПЛИС Quartus II: преобразователь 10-разрядного двоичного числа в 3-х разрядное двоично-десятичное число. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.
2. Разработайте проект цифрового устройства с использованием языка описания аппаратуры VHDL в САПР ПЛИС Quartus II: преобразователь 3-разрядного двоично-десятичного числа в 10-разрядный двоичный код. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.
3. Разработайте проект цифрового устройства с использованием языка описания аппаратуры VHDL в САПР ПЛИС Quartus II: шинный мультиплексор 4 в 1. Разрядность шины 4 бита. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.
4. Разработайте проект цифрового устройства с использованием мегафункции и языка описания аппаратуры VHDL в САПР ПЛИС Quartus II: ОЗУ и ПЗУ емкостью 64 бита. Сформировать файл прошивки. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.
5. Разработайте проект цифрового устройства с использованием примитивов и языка описания аппаратуры VHDL в САПР ПЛИС Quartus II: однотактный триггер с асинхронными входами Set (установка) и Reset (сброс). Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.
6. Разработайте проект цифрового устройства с использованием примитивов и языка описания аппаратуры VHDL в САПР ПЛИС Quartus II: однотактный триггер с асинхронными входами установки (Set) и сброса (Reset). Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.
7. Разработайте проект цифрового устройства с использованием высокоуровневого языка Verilog в САПР ПЛИС Quartus II: триггер, тактируемый фронтом синхроимпульса с асинхронной установкой (Set) и сигналом разрешения тактирования (Ena).
8. Разработайте проект цифрового устройства с использованием примитивов языка описания аппаратуры VHDL в САПР ПЛИС Quartus II: 4-х разрядный регистр на D-триггерах тактируемых фронтом синхросигнала, с асинхронным сбросом (Reset), синхронной установкой (Set) и синхронным сигналом разрешения загрузки Ena. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.
9. Разработайте проект цифрового устройства с использованием высокоуровневого языка Verilog в САПР ПЛИС Quartus II: 4-разрядный реверсивный счетчик, с асинхронным входом установки (Set), синхронным сбросом (Reset), сигналом разрешения загрузки Ena. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.
10. Разработайте проект цифрового устройства с использованием примитивов логических элементов и языка описания аппаратуры VHDL в САПР ПЛИС Quartus II: 4-разрядный сумматор с последовательным переносом. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

7.2.4 Примерный перечень вопросов для подготовки к зачету

Не предусмотрено учебным планом.

7.2.5 Примерный перечень вопросов для подготовки к экзамену

1. Назначение, применение и перспективы развития специализированных заказных, полузаказных БИС конкретного применения (ASIC).

2. БИС для специализированных стандартных применений (ASSP).
3. Назначение, применение и перспективы развития ПЛИС.
4. Понятие идеологии «система на кристалле» (System on chip, SOC)
5. Заказные и полужаказные интегральные схемы на основе КМОП БМК.
6. Основные тенденции развития ПЛИС.
7. Классификация ПЛИС.
8. Сложные программируемые логические схемы (CPLD).
9. Программируемые пользователем вентиляльные матрицы (FPGA).
10. Архитектуры MAX, FLEX и STRATIX компании Altera.
11. Архитектуры ПЛИС CPLD и FPGA компании Xilinx.
12. Схемотехника ключей и логических элементов n-МОП и КМОП БИС.
13. Синтез КМОП элементов.
14. Схемотехника комбинационных логических элементов.
15. Проходные логические схемы и КМОП логика на передаточных вентилях.
16. Шифраторы/дешифраторы, мультиплексоры/демультиплексоры, коммутаторы, компараторы по КМОП-технологии.
17. Особенности проектирования КМОП-триггеров БИС, тактируемых уровнем и фронтом сигнала.
18. Последовательностные логические схемы. Конечные автоматы.
19. Сдвиговые регистры, счетчики.
20. Логические элементы схем потоковой обработки информации: сумматоры/вычитатели, умножители, делители.
21. Умножение с накоплением методом правого сдвига.
22. Схемы ускоренного умножения.
23. Параллельные векторные умножители.
24. Цифровые запоминающие устройства.
25. Описание САПР Tanner EDA.
26. Процесс проектирования в САПР Tanner EDA.
27. Понятие о конструктивно-технологических нормах и правилах проектирования по масштабируемой КМОП-технологии.
28. Основные элементы конструкции топологии заказных КМОП БИС с одним слоем металлизации.
29. Основные элементы конструкции топологии заказных КМОП БИС с двумя слоями металлизации.
30. Особенности топологии триггеров КМОП БИС.
31. Положение в области языков функционального описания.
32. Роль функционального описания в САПР.
33. Общее содержание языка VHDL: синтаксис, базовые конструкции, примеры реализаций.
34. Стили описания аппаратурных архитектур.
35. Поведенческое описание, потоковое описание, структурное описание.
36. Проектирование комбинационных устройств на языке VHDL: дешифраторы, шифраторы, мультиплексоры, сумматоры, преобразователи кодов.

37. Проектирование последовательностных устройств на языке VHDL: защелки, триггеры, регистры, счетчики, блоки памяти (ОЗУ, ПЗУ). Конечные автоматы.
38. Диаграммы переходов.
39. Автоматы Мили.
40. Автоматы Мура.
41. Методы кодирования конечных автоматов.
42. Проектирование последовательностных устройств на языке Verilog: защелки, триггеры, регистры, счетчики, блоки памяти (ОЗУ, ПЗУ), конечные автоматы.

7.2.6 Методика выставления оценки при проведении промежуточной аттестации

Экзамен проводится по билетам, каждый из которых содержит 2 вопроса и задачу. Оценка знаний студентов производится по следующему критерию:

– оценка «отлично» выставляется, если на все вопросы даны отличные ответы или 2 вопроса оценены на «отлично», а 1 вопрос или задача – на «хорошо»;

– оценка «хорошо» выставляется, если 2 вопроса оценены на «отлично» или «хорошо», а 1 вопрос или задача – на «удовлетворительно»;

– оценка «удовлетворительно» выставляется, если 2 вопроса оценены на «удовлетворительно» или один из вопросов оценен на «неудовлетворительно» при любых оценках на оставшиеся вопросы;

– оценка «неудовлетворительно» выставляется, если более 1 вопроса оценены на «неудовлетворительно».

Оценка	Критерии оценок
Отлично	Корректное использование широкого спектра научных понятий. Рассуждения логически непротиворечивы, последовательны, выявлены причинно-следственные связи, осуществлен последовательный анализ проблемы, все выводы обоснованы достоверной фактологической базой. Продемонстрировано умение целостно видеть проблему, выделять ее ключевое звено.
Хорошо	Достаточный уровень знаний. Может быть продемонстрировано знание основных принципов и концепций при наличии некоторых несущественных пробелов. Целостное видение рассматриваемой проблемы присутствует, но не до конца выражено в авторском анализе.
Удовлетворительно	Удовлетворительный уровень знаний. Налицо ряд пробелов в знании основных принципов и концепций. Анализ проблемы проведен фрагментарно. Выводы в основном верные, но в рассуждении допущены логические пробелы, мешающие целостному видению рассматриваемой проблемы.
Неудовлетворительно	Низкий уровень знаний. Допущены существенные ошибки. Отсутствие логических рассуждений, понимания проблемы, необоснованность выводов.

При получении оценок «отлично», «хорошо» и «удовлетворительно» требуемые в рабочей программе знания, умения, владения по соответствующим компетенциям на промежуточном этапе считаются достигнутыми.

7.2.7 Паспорт оценочных материалов

№ п/п	Контролируемые разделы (темы) дисциплины	Код контролируемой компетенции (или ее части)	Наименование оценочного средства
1	Современные и перспективные цифровые БИС/СБИС типа «система на кристалле» со сложными программируемыми структурами	ПК-1, ПК-5	Тест, требования к курсовому проекту
2	Архитектуры современных специализированных заказных БИС и ПЛИС	ПК-1, ПК-5	Тест, требования к курсовому проекту
3	Особенности схемотехники логических элементов и триггеров цифровых КМОП БИС	ПК-1, ПК-5	Тест, защита лабораторных работ, требования к курсовому проекту
4	Особенности схемотехники сложнофункциональных цифровых устройств КМОП БИС	ПК-1, ПК-5	Тест, защита лабораторных работ, требования к курсовому проекту
5	Программные средства с открытым исходным кодом для проектирования цифровых устройств	ПК-1, ПК-5	Тест, защита лабораторных работ, требования к курсовому проекту
6	Проектирование конечных автоматов в САПР Quartus	ПК-1, ПК-5	Тест, защита лабораторных работ, требования к курсовому проекту
7	Проектирование топологии логических элементов заказных БИС в промышленном САПР Tanner EDA	ПК-1, ПК-5	Тест, защита лабораторных работ, требования к курсовому проекту
8	Проектирование топологии триггеров заказных БИС в САПР Tanner EDA	ПК-1, ПК-5	Тест, защита лабораторных работ, требования к курсовому проекту
9	HDL для описания цифровых БИС. Примеры проектирования цифровых устройств с использованием языка VHDL в САПР Quartus II	ПК-1, ПК-5	Тест, защита лабораторных работ, требования к курсовому проекту
10	HDL для описания цифровых БИС. Примеры проектирования цифровых устройств с использованием языка Verilog в САПР Xilinx ISE	ПК-1, ПК-5	Тест, защита лабораторных работ, требования к курсовому проекту

7.3. Методические материалы, определяющие процедуры оценивания знаний, умений, навыков и (или) опыта деятельности

Тестирование осуществляется, либо при помощи компьютерной системы тестирования, либо с использованием выданных тест-заданий на бумажном носителе. Время тестирования 30 мин. Затем осуществляется проверка теста пре-

подавателем и выставляется оценка согласно методике выставления оценки при проведении промежуточной аттестации.

Решение стандартных задач осуществляется, либо при помощи компьютерной системы тестирования, либо с использованием выданных задач на бумажном носителе. Время решения задач 30 мин. Затем осуществляется проверка решения задач преподавателем и выставляется оценка, согласно методике выставления оценки при проведении промежуточной аттестации.

Решение прикладных задач осуществляется, либо при помощи компьютерной системы тестирования, либо с использованием выданных задач на бумажном носителе. Время решения задач 30 мин. Затем осуществляется проверка решения задач преподавателем и выставляется оценка, согласно методике выставления оценки при проведении промежуточной аттестации.

Защита курсового проекта осуществляется согласно требованиям, предъявляемым к работе, описанным в методических материалах. Примерное время защиты на одного студента составляет 20 мин.

8 УЧЕБНО-МЕТОДИЧЕСКОЕ И ИНФОРМАЦИОННОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ

8.1 Перечень учебной литературы, необходимой для освоения дисциплины

Основная литература

1. **Строгонов А.В.** Основы проектирования больших интегральных схем: учеб. пособие / А.В. Строгонов. – Воронеж: ГОУВПО «ВГТУ», 2008. – 271 с.

2. **Попов В.Д.** Физические основы проектирования кремниевых цифровых интегральных микросхем в монолитном и гибридном исполнении: учеб. пособие. – СПб.; М.; Краснодар :Лань, 2013. - 207 с. - ISBN 978-5-8114-1375-1

3. **Попов В.Д.** Физические основы проектирования кремниевых цифровых интегральных микросхем в монолитном и гибридном исполнении [Электронный ресурс]: учеб. пособие / В.Д. Попов, Г.Ф. Белова. - СПб.: Лань, 2021. - 208 с. - Книга из коллекции Лань - Инженерно-технические науки. - ISBN 978-5-8114-1375-1. URL: <https://e.lanbook.com/book/168518>

4. **Основы проектирования программируемых логических интегральных схем** [Электронный ресурс]: учеб. пособие / А.В. Строгонов, А.В. Быстрицкий, М.С. Мотылев, Д.С. Шацких. – Воронеж: ГОУВПО «ВГТУ», 2011. – 140 с.

5. **Строгонов А.В.** Системное проектирование программируемых логических интегральных схем [Электронный ресурс]: учеб. пособие / А.В. Строгонов. – Электрон. текстовые, граф. дан. (45 Мб). – Воронеж: ФГБОУ ВПО «ВГТУ», 2012. – 322 с.

6. **Строгонов А.В.** Проектирование сложно-функциональных блоков: учеб. пособие / А.В. Строгонов, С.А. Цыбин. – Воронеж: ГОУВПО «ВГТУ», 2010. – 333 с.

7. **Строгонов А.В.** Основы проектирования аналоговых и аналого-цифровых БИС: учеб. пособие / А.В. Строгонов. – Воронеж: Изд-во ВГТУ, 2003. – 107 с.

Дополнительная литература

8. **Строгонов А.В.** Реализация цифровых устройств в базе программируемых логических интегральных схем [Электронный ресурс]: учеб. пособие / А.В. Строгонов; под ред. С.И. Рембезы. – Саратов: Ай Пи Эр Медиа, 2019. – 151 с. – ISBN 978-5-4486-0541-3. URL: <http://www.iprbookshop.ru/83658.html>

9. **Строгонов А.В.** Проектирование устройств цифровой обработки сигналов для реализации в базе программируемых логических интегральных схем [Электронный ресурс]:

учеб. пособие / А.В. Строгонов. – Электрон. текстовые, граф. дан. (0,466 Кб). – Воронеж: ФГБОУ ВПО «ВГТУ», 2013.

10. **Амосов В.В.** Схемотехника и средства проектирования цифровых устройств: учеб. пособие / В.В. Амосов. - М. :БХВ-Петербург, 2007. - 560 с. - ISBN 978-5-9775-0018-0

11. **Угрюмов Е.П.** Цифровая схемотехника: учеб. пособие / Е.П. Угрюмов.- 2-е изд., перераб. и доп. - СПб.: БХВ-Петербург, 2007. - 800 с. - ISBN 978-5-94157-397-4

12. **Строгонов А.В.** Проектирование цифровых БИС: учеб. пособие. Ч. 1 / А.В. Строгонов. – Воронеж: Изд-во ВГТУ, 2004. – 251 с.

13. **Строгонов А.В.** Проектирование цифровых БИС: учеб. пособие. Ч. 2 / А.В. Строгонов. – Воронеж: Изд-во ВГТУ, 2004. – 145 с.

14. **Строгонов А.В.** Расчет и проектирование элементов интегральных схем: учеб. пособие / А.В. Строгонов, С.А. Мещерякова, А.В. Арсентьев. – Воронеж: ГОУВПО «ВГТУ», 2006. – 206 с.

15. **Методические указания к курсовому проектированию по дисциплине «Проектирование БИС» для студентов специальности 210204 «Микроэлектроника и твердотельная электроника» очной формы обучения** / Каф. полупроводниковой электроники и наноэлектроники; Сост.: А.В. Строгонов, Д.С. Шацких. - Воронеж: ГОУВПО «Воронежский государственный технический университет», 2010. - 27 с. (№ 12-2010)

16. ГОСТ 2.105-2019. ЕСКД. Общие требования к текстовым документам. – М.: ФГУП «Стандартинформ», 2019. – 35 с.

8.2 Перечень информационных технологий, используемых при осуществлении образовательного процесса по дисциплине (модулю), включая перечень лицензионного программного обеспечения, ресурсов информационно-телекоммуникационной сети «Интернет», современных профессиональных баз данных и информационных справочных систем

Программное обеспечение компьютеров для самостоятельной и аудиторной работы:

- Операционные системы семейства MSWindows;
- Пакет офисных программ LibreOffice;
- Программа просмотра файлов WinDjview;
- Программа просмотра файлов формата pdf Adobe Acrobat Reader;
- Интернет-браузеры Mozilla Firefox, Google Chrome;
- Математический пакет MathCad Express, Smath Studio;
- Среда разработки Python;
- Система управления курсами Moodle;

Используемые электронные библиотечные системы:

- Модуль книгообеспеченности АИБС «МАРК SQL»:
<http://bibl.cchgeu.ru/provision/struct/>;
- ЭБС Издательства «ЛАНЬ», в том числе к коллекциям «Инженерно-технические науки», «Физика»: <http://e.lanbook.com/>;
- ЭБС IPRbooks: <http://www.iprbookshop.ru/>;
- научная электронная библиотека eLIBRARY.RU: <http://elibrary.ru/>.

Информационные справочные системы:

- портал федеральных государственных образовательных стандартов высшего образования: <http://fgosvo.ru/>;
- единое окно доступа к образовательным ресурсам: <http://window.edu.ru/>;
- открытый образовательный ресурс НИЯУ МИФИ: <http://online.mephi.ru/>;
- открытое образование: <https://openedu.ru/>;

- физический информационный портал: <http://phys-portal.ru/index.html>
- Профессиональные справочные системы «Техэксперт»: <https://cntd.ru>
- Электронная информационная образовательная среда ВГТУ: <https://old.education.cchgeu.ru>
- Лаборатории электронных средств обучения, ЛЭСО ГОУ ВПО «СибГУТИ» www.labfor.ru

9 МАТЕРИАЛЬНО-ТЕХНИЧЕСКАЯ БАЗА, НЕОБХОДИМАЯ ДЛЯ ОСУЩЕСТВЛЕНИЯ ОБРАЗОВАТЕЛЬНОГО ПРОЦЕССА

1. Лекционная аудитория 311/4, укомплектованная специализированной мебелью и оснащенная оборудованием для лекционных демонстраций: мультимедиа-проектором, стационарным экраном, наборами демонстрационного оборудования (учебный корпус № 4, расположенный по адресу: Московский пр., 179):

комплект учебной мебели: рабочее место преподавателя (стол, стул);
рабочие места обучающихся (столы, стулья) на 22 человека.
проектор BenQ MP515 DLP;
экран ScreenMedia настенный.
огнетушитель.

2. Дисплейный класс для проведения лабораторных занятий и самостоятельной работы студентов, укомплектованный специализированной мебелью и оснащенный персональными компьютерами с лицензионным программным обеспечением с возможностью подключения к сети «Интернет» и доступом в электронную информационно-образовательную среду университета, ауд. 209/4 (учебный корпус № 4, расположенный по адресу: Московский пр., 179), оснащенный необходимым оборудованием:

комплект учебной мебели: рабочее место преподавателя (стол, стул);
рабочие места обучающихся (столы, стулья) на 20 человек.
учебно-лабораторный стенд LESO2 (10 штук);
компьютер-сборка каф.9;
компьютер в составе: (Н61/IntelCorei3/Кв/М/20" LCD);
компьютер-сборка каф.7;
компьютер-сборка каф.3;
компьютер в составе: (Н61/IntelCorei3/Кв/М/23" LCD);
компьютер-сборка каф.5;
компьютер-сборка каф.4;
компьютер-сборка каф.8;
компьютер-сборка каф.2;
компьютер-сборка каф.6;
компьютер-сборка каф.10;
комп. в сост: Сист.блок RAMEC GALE,монитор 17" LCD;
компьютер-сборка каф.1;
экран Projecta ProScreen настенный рулонный;
проектор BenQ MP515 DLP;
огнетушитель.

10 МЕТОДИЧЕСКИЕ УКАЗАНИЯ ДЛЯ ОБУЧАЮЩИХСЯ ПО ОСВОЕНИЮ ДИСЦИПЛИНЫ (МОДУЛЯ)

По дисциплине «Проектирование БИС» читаются лекции, проводятся лабораторные занятия, в том числе в форме практической подготовки, выполняется курсовой проект.

Основой изучения дисциплины являются лекции, на которых излагаются наиболее существенные и трудные вопросы, а также вопросы, не нашедшие отражения в учебной литературе.

Лабораторные работы выполняются на лабораторном оборудовании в соответствии с методиками, приведенными в указаниях к выполнению работ.

Большое значение по закреплению и совершенствованию знаний имеет самостоятельная работа студентов. Информацию обо всех видах самостоятельной работы студенты получают на занятиях.

Методика выполнения курсового проекта изложена в учебно-методическом пособии. Выполнять этапы курсового проектирования студенты должны своевременно и в установленные сроки.

Контроль усвоения материала дисциплины осуществляется тестированием и защитой курсового проекта. Освоение дисциплины оценивается на экзамене.

Вид учебных занятий	Деятельность студента
Лекция	Написание конспекта лекций: кратко, схематично, последовательно фиксировать основные положения, выводы, формулировки, обобщения; помечать важные мысли, выделять ключевые слова, термины. Проверка терминов, понятий с помощью энциклопедий, словарей, справочников с выписыванием толкований в тетрадь. Обозначение вопросов, терминов, материала, которые вызывают трудности, поиск ответов в рекомендуемой литературе. Если самостоятельно не удается разобраться в материале, необходимо сформулировать вопрос и задать преподавателю на лекции.
Лабораторная работа	Лабораторные работы позволяют научиться применять теоретические знания, полученные на лекции, при решении конкретных задач. Чтобы наиболее рационально и полно использовать все возможности лабораторных, для подготовки к ним необходимо: разобрать лекцию по соответствующей теме, ознакомиться с соответствующим разделом учебника, проработать дополнительную литературу.
Самостоятельная работа	Самостоятельная работа студентов способствует глубокому усвоению учебного материала и развитию навыков самообразования. Самостоятельная работа предполагает следующие составляющие: <ul style="list-style-type: none"> - работа с текстами: учебниками, справочниками, дополнительной литературой, а также проработка конспектов лекций; - работа над темами для самостоятельного изучения; - участие в работе студенческих научных конференций, олимпиад; - подготовка к промежуточной аттестации.
Курсовой проект	При выполнении курсового проекта студенты должны научиться правильно и творчески использовать знания, полученные ими на лекциях и лабораторных занятиях. Задачи, решаемые при выполнении курсового проекта: <ul style="list-style-type: none"> - осуществить поиск необходимой информации по теме проекта; - систематизировать найденную информацию; - осуществить обзор литературных источников по заданной теме; - выработать умения решать прикладные задачи Курсовой проект включает в себя теоретическую и расчетную части.

Подготовка к промежуточной аттестации	Готовиться к промежуточной аттестации следует систематически, в течение всего семестра. Интенсивная подготовка должна начаться не позднее, чем за месяц-полтора до промежуточной аттестации. Данные перед экзаменом три дня эффективнее всего использовать для повторения и систематизации материала.
---------------------------------------	---

ЛИСТ РЕГИСТРАЦИИ ИЗМЕНЕНИЙ

№ п/п	Перечень вносимых изменений	Дата внесения изменений	Подпись заведующего кафедрой, ответственной за реализацию ОПОП
1			
2			
3			
4			