

ФГБОУВПО «Воронежский государственный
технический университет»

СПРАВОЧНИК МАГНИТНОГО ДИСКА
(Кафедра полупроводниковой электроники и наноэлектроники)

А.В. Строгонов А.В. Быстрицкий
С.И. Давыдов М.С. Мотылев
Д.С. Шацких

**ОСНОВЫ ПРОЕКТИРОВАНИЯ
ПРОГРАММИРУЕМЫХ ЛОГИЧЕСКИХ
ИНТЕГРАЛЬНЫХ СХЕМ**

Основы проектирования ПЛИС.doc 21,7 Мбайт 20.10.2011 6,7 уч.-
изд.л.
(наименование файла) (объем файла) (дата) (объем издания)

ФГБОУ ВПО «Воронежский государственный
технический университет»

А.В. Строгонов А.В. Быстрицкий
С.И. Давыдов М.С. Мотылев
Д.С. Шацких

**ОСНОВЫ ПРОЕКТИРОВАНИЯ
ПРОГРАММИРУЕМЫХ ЛОГИЧЕСКИХ
ИНТЕГРАЛЬНЫХ СХЕМ**

Утверждено Редакционно-издательским советом
университета в качестве учебного пособия

Воронеж 2011

УДК 621.3.049.77

Основы проектирования программируемых логических интегральных схем: учеб. пособие / А.В. Строгонов, А.В. Быстрицкий, С.И. Давыдов, М.С. Мотылев, Д.С. Шацких. Воронеж: ФГБОУВПО «Воронежский государственный технический университет», 2011. 140 с.

В учебном пособии рассматриваются различные архитектуры и структуры межсоединений программируемых логических интегральных схем (ИС), трехмерные ИС и проблемы проектирования ИС по субмикронным проектным нормам.

Издание соответствует требованиям Федерального государственного образовательного стандарта высшего профессионального образования по направлению 210100.62 «Электроника и наноэлектроника», профилю 210104 «Микроэлектроника и твердотельная электроника», дисциплине «Проектирование БИС». Предназначено студентам очной формы обучения. Учебное пособие подготовлено в электронном виде в текстовом редакторе MS Word for Windows и содержится в файле Основы проектирования ПЛИС.doc.

Табл. 5. Ил. 91. Библиогр.: 12 назв.

Научный редактор д-р физ.-мат. наук, проф. С.И. Рембеза

Рецензенты: кафедра физики полупроводников и микроэлектроники Воронежского государственного университета (зав. кафедрой д-р физ.-мат. наук, проф. Е.Н. Бормонтов);
д-р техн. наук, проф. М.И. Горлов

© Строгонов А.В., Быстрицкий А.В.,
Давыдов С.И., Мотылев М.С., Шацких Д.С., 2011

© Оформление. ФГБОУВПО «Воронежский
государственный технический университет», 2011

ВВЕДЕНИЕ

ПЛИС – цифровые БИС высокой степени интеграции, имеющие программируемую пользователем внутреннюю структуру и предназначенные для реализации сложных цифровых устройств. Использование ПЛИС и САПР позволяет в сжатые сроки создавать конкурентоспособные устройства и системы, удовлетворяющие жестким требованиям по производительности, энергопотреблению, надежности, массогабаритным параметрам, стоимости.

ПЛИС широко используются в качестве интерфейсных схем, в микропроцессорных системах для организации обмена и стыковки различных ИС между собой и устройствами ввода-вывода. В базисе ПЛИС могут быть спроектированы логические блоки и системы, преобразователи кодов, периферийные контроллеры, микропрограммные устройства управления, конечные автоматы, а также другие специализированные устройства типа умножителей, небольших процессоров (микропроцессорные ядра), процессоров быстрого преобразования Фурье и др.

В первой главе рассматриваются академические и промышленные ПЛИС с одноуровневой и многоуровневой структурой межсоединений, технологии соединений трассировочных ресурсов, программные инструменты проектирования ПЛИС. Во второй главе рассмотрены трехмерные ИС и стековые 3D БИС, освещены вопросы, связанные с проектированием ИС по субмикронным проектным нормам. В третьей главе основное внимание уделено разработке функциональной модели ПЛИС типа ППВМ с одноуровневой структурой межсоединений в САПР Quartus II с использованием технологии соединений multi-driver и имитационной модели с использованием технологии соединений single-driver в системе визуально-имитационного моделирования Matlab/Simulink.

1. ЦИФРОВЫЕ БИС

1.1. Специализированные БИС

Термин "специализированные интегральные схемы (ИС) конкретного применения" (Application Specific Integrated Circuits (ASIC)) охватывает, по классификации фирмы Altera, две приведённые ниже технологии проектирования.

Заказной БИС (Full Custom Large Integrated Circuits) называют однокристальное устройство, которое проектируют полностью "с пустого места" - без предварительной подготовки базовых технологических слоев, специально сконструированных элементов и функциональных макроблоков. Основное отличие от других технологий проектирования: необходимо проектировать единые маски для всех технологических слоев.

Полузаказные матричные БИС проектируют на основе БМК - базовых матричных кристаллов (Standart Cells – стандартные ячейки и Gate Arrays – вентильные матрицы). Логика развития технологии матричных БИС делает их экономически оправданными только в сочетании с системами автоматизированного проектирования (САПР) и при условии, что полный цикл проектирования можно провести на столе разработчика без итераций физического моделирования. Для этого САПР должна содержать систему моделирования высокой адекватности, с помощью которой можно было бы решить все проблемы работоспособности готового изделия до того, как результат проектирования будет передан на технологическую линию.

В мире интерес к ASIC достаточно велик, и год от года он продолжает неуклонно расти. Отмечено активное смещение "центра тяжести" ASIC в сторону изделий системного уровня интеграции, когда в кристалл интегрируется стандартное фиксированное ядро массового применения (микроконтроллер,

драйвер ЖКИ, периферийные контроллеры, массивы памяти и т. д.).

Выпускаемые ASIC фирмы Epson содержат на кристалле максимум до 2 млн вентиляей. При их производстве используется несколько различных базовых полупроводниковых технологий. Первой из них является 0,25-мкм КМОП-процесс изготовления низковольтных схем с 6 слоями металлизации. Фирма использует в своих ASIC динамические запоминающие устройства (ЗУ), статические ЗУ (6-транзисторные ячейки), а также флэш-память. Модифицированная флэш-память может включаться в структуры ИС с напряжением питания 2,7 В, изготавливаемых по 0,35-мкм технологии, а также в микросхемы с питанием 2,3 В, изготавливаемые с помощью 0,25-мкм процесса. По выбору потребителя в ИС могут быть использованы две технологии флэш ЗУ, удовлетворяющие противоречивым требованиям: высокому быстродействию и минимальному потреблению мощности. Главная проблема интеграции флэш-памяти заключается в том, что при комбинации с аналоговыми технологическими процессами общий кристалл становится слишком дорогим.

ASIC, выпускаемые фирмой FUJITSU, имеют степень интеграции до 20 млн вентиляей на кристалл. При их изготовлении используется 0,18-мкм технологический процесс с 5 слоями металлизации. При производстве массовой продукции используется технология с разрешением 0,11 мкм и 8 слоями металлизации. Предполагается также внедрение разновидности 0,11-мкм технологии с 7 слоями медных межсоединений.

Фирма Altera в отдельную группу выделяет БИС программируемой логики (программируемые логические ИС, ПЛИС). ПЛИС отличаются от матричных БИС тем, что конечный результат достигается с помощью программатора на столе разработчика: технологическая линия из цикла проектирования исключена. Предприятия электронной

промышленности поставляют “заготовки” (или “полуфабрикаты”) ПЛИС с мощными САПР высокой адекватности и средствами электрического или логического программирования (и перепрограммирования). Роль технологий проектирования “на столе разработчика” резко увеличивается, если поставщик предоставляет возможность прямой трансляции проекта на БМК, чтобы изготовить БИС без дополнительных усилий разработчиков.

ASSP (Application Specific Standard products) - это БИС для специализированных приложений массового применения. Каждая ИС обязана своим появлением какой-либо идее, задаче, приложению. Классическим примером могут служить чипсеты для материнских плат компьютеров и видеокарт. Главная особенность: ASSP- это стандартные изделия. Будучи один раз разработаны для конкретной цели, они затем производятся массовыми тиражами и могут быть использованы несколькими потребителями в разных конечных устройствах.

1.2. Программируемые логические ИС

Вследствие быстрого роста сложности электронных систем все чаще требуется применение высокоинтегрированных специализированных интегральных микросхем. Разработка и изготовление таких схем по заказу представляет собой длительный и дорогостоящий процесс, который экономически оправдан только при достаточно большом объеме выпуска. При малой потребности (до 10000 шт. в год) более выгодно использование стандартных “полуфабрикатов” ИС, специализируемых в сфере потребления после их изготовления. Поскольку для всех ИС используются одни и те же фотошаблоны, то для изготовителя эти ИС являются стандартными изделиями. К числу таких изделий микроэлектроники относятся программируемые пользователем логические ИС (ПЛИС) или программируемые логические

приборы — ПЛП (PLD — Programmable Logic Devices). Программирование ПЛИС осуществляется самим пользователем, конструктором аппаратуры. В результате программирования в схему вносятся обратимые или необратимые (с точки зрения возможности последующего перепрограммирования) изменения исходной структуры ПЛИС.

ПЛИС - цифровые БИС высокой степени интеграции, имеющие программируемую пользователем внутреннюю структуру и предназначенные для реализации сложных цифровых устройств. Использование ПЛИС и соответствующих средств автоматизации проектирования позволяет в сжатые сроки создавать конкурентоспособные устройства и системы, удовлетворяющие жестким требованиям по производительности, энергопотреблению, надежности, массо-габаритным параметрам, стоимости.

Основное преимущество ПЛИС перед другими специализированными схемами — малое время изготовления требуемых заказных вариантов схем. Изделие в готовом виде всегда имеется на складе, и нет необходимости обращаться к изготовителям ИС для нанесения металлической маски и установки кристалла в корпус. Достаточно включить соответствующие средства программирования и через несколько секунд или минут заказная схема будет готова. Из-за простоты и доступности процесса специализации программаторы ПЛИС иногда называют “фабрикой на столе”.

ПЛИС широко используются в качестве интерфейсных схем, в микропроцессорных системах для организации обмена и стыковки различных ИС между собой и устройствами ввода-вывода. На базе ПЛИС могут быть изготовлены логические блоки и системы, преобразователи кодов, периферийные контроллеры, микропрограммные устройства управления, конечные автоматы, а также другие специализированные устройства типа умножителей, небольших процессоров и процессоров быстрого преобразования Фурье.

Исторически технология и физические принципы программирования ПЛИС повторяют путь, пройденный ИС запоминающих устройств (ЗУ) с изменяемой конфигурацией. Создание ПЛИС было стимулировано необходимостью сокращения разрыва в степени интеграции между ИС ЗУ и произвольной логикой. Поэтому и возникла идея построения ПЛИС по принципу, аналогичному ЗУ. Эти приборы должны были выполнять функции произвольной логики со многими переменными и использоваться там, где применение для этих целей ЗУ неэффективно.

Первые ПЛИС были изготовлены по биполярной технологии и как программируемые постоянные ЗУ (ППЗУ) программировались пережиганием плавких перемычек. Затем появилась КМОП-технология ПЛИС с плавкими перемычками, были созданы репрограммируемые ПЛИС с ультрафиолетовым и электрическим стиранием записанных логических функций (СПЛИС и ЭСПЛИС), использующие технологию репрограммируемых ППЗУ. Наконец, созданы ПЛИС, изготовленные по технологии КМОП статических оперативных запоминающих устройств (СОЗУ). Современные КМОП ПЛИС изготавливаются по технологии 0,25 мкм. Ведутся работы по уменьшению этих размеров до 0,15 мкм (архитектура Raphael фирмы Altera).

Программируемые логические матрицы (ПЛМ) - наиболее традиционный тип ПЛИС, имеющий программируемые матрицы “И” и “ИЛИ”. В зарубежной литературе соответствующими этому классу аббревиатурами являются FPLA (Field Programmable Logic Array) и FPLS (Field Programmable Logic Sequencers). Примерами таких ПЛИС могут служить отечественные схемы К556РТ1, РТ2, РТ21. Недостаток такой архитектуры - слабое использование ресурсов программируемой матрицы “ИЛИ”, поэтому дальнейшее развитие получили микросхемы, построенные по архитектуре программируемой матричной логики, (ПМЛ или PAL - Programmable Array Logic) - это ПЛИС, имеющие

программируемую матрицу "И" и фиксированную матрицу "ИЛИ". К этому классу относятся большинство современных ПЛИС небольшой степени интеграции. В качестве примеров можно привести отечественные ИС КМ1556ХП4, ХП6, ХП8, ХЛ8, ранние разработки (середина–конец 1980-х годов) ПЛИС фирм INTEL, ALTERA, AMD, LATTICE и др. Разновидностью этого класса являются ПЛИС, имеющие только одну (программируемую) матрицу "И", например, схема 85С508 фирмы INTEL.

Упрощенно традиционные фундаментальные структуры ПЛМ представлены на рис.1.1. Оба типа ПЛИС: ПЛМ (рис.1.1, а, в) и ПМЛ (рис.1.1, б, г), имеют матрицы И и ИЛИ. Основное различие между ними заключается в том, что в ПМЛ матрица ИЛИ фиксирована, а в ПЛМ программируются обе матрицы, что обеспечивает ей большую гибкость по сравнению с ПМЛ.

При программировании ПЛИС задаются термы произведений (матрица И), и суммы произведений (матрица ИЛИ), и тем самым, — логические функции ПЛИС.

Фрагмент программируемых соединений показан на рис.1.2. Кругжками обозначены плавкие переключки или другие программируемые соединения.

Истинное и инверсное значения сигнала каждого входа через плавкие переключки подаются на каждый вентиль матрицы И. Группы вентилях И соединяют с вентилями ИЛИ, создавая программируемую реализацию суммы произведений, к которой можно свести все логические функции.

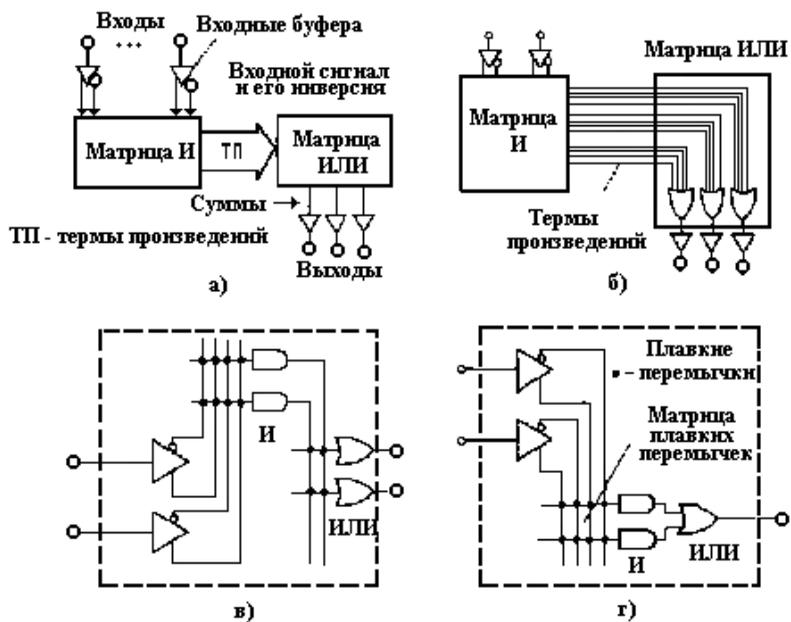


Рис.1.1. Модель и упрощенная структура ПЛИС

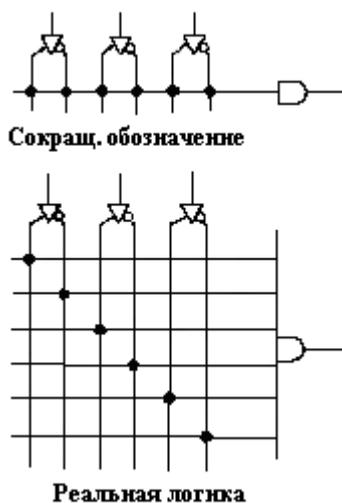


Рис.1.2. Фрагмент программируемых соединений с многовходовым вентилем И

Архитектура ПЛИС строится таким образом, чтобы на каждом имеющемся венти́ле И образовывать как можно больше произведений в пределах возможности прибора. Поэтому логическую схему И называют также термом произведения. Логическое произведение затем выводится на выход через программируемую или фиксированную матрицу ИЛИ. Каждый терм произведения потенциально может использоваться для реализации логических функций и управления внутри ПЛИС.

В качестве базовой для ПЛИС была выбрана алгебра Буля, так как она наиболее изучена конструкторами.

При всей гибкости ПЛМ считаются достаточно сложными для большинства потребителей с точки зрения их проектирования. Кроме того, наличие плавких перемычек в обеих матрицах влечет за собой их относительно большие размеры по сравнению с ПМЛ и меньшее быстродействие.

Введением своей программируемой матричной логики фирма MMI упростила ПЛМ, закрепив термы произведений за специальными выходами. Наличие одной программируемой матрицы И и фиксированной ИЛИ привело к уменьшению размеров ПЛИС и времени распространения сигнала через кристалл, упрощению программирования схем. Архитектура ПМЛ завоевала наибольшую популярность у конструкторов аппаратуры. Интегральные микросхемы ПМЛ могут программироваться большинством стандартных программаторов ППЗУ с добавлением карт индивидуализации. Во время программирования одна половина выводов ПЛИС используется для программирования, а другая - для адресации. Затем выходы переключаются для программирования других элементов. При проверке используется так же процедура, причем линии программирования удерживаются в состоянии с низким уровнем.

Следующий традиционный тип ПЛИС - программируемая макрологика. Они содержат единственную программируемую матрицу "И-НЕ" или "ИЛИ-НЕ", но за счёт многочисленных инверсных обратных связей способны

формировать сложные логические функции. К этому классу относятся, например, ПЛИС PLHS501 и PLHS502 фирмы SIGNETICS, имеющие матрицу “И-НЕ”, а также схема XL78C800 фирмы EXEL, основанная на матрице “ИЛИ-НЕ”.

Вышеперечисленные архитектуры ПЛИС содержат небольшое число ячеек, к настоящему времени морально устарели и применяются для реализации относительно простых устройств, для которых не существует готовых ИС средней степени интеграции. Естественно, для реализации алгоритмов ЦОС они не пригодны.

ИС ПМЛ (PLD) имеют архитектуру, весьма удобную для реализации цифровых автоматов. Развитие этой архитектуры — программируемые коммутируемые матричные блоки (ПКМБ) — это ПЛИС, содержащие несколько матричных логических блоков (МЛБ), объединённых коммутационной матрицей. Каждый МЛБ представляет собой структуру типа ПМЛ, то есть программируемую матрицу “И”, фиксированную матрицу “ИЛИ” и макроячейки. ПЛИС типа ПКМБ, как правило, имеют высокую степень интеграции (до 10000 эквивалентных вентилях, до 256 макроячеек). К этому классу относятся ПЛИС семейства MAX5000 и MAX7000 фирмы ALTERA, схемы XC7000 и XC9500 фирмы XILINX, а также большое число микросхем других производителей (Atmel, Vantis, Lucent и др.). В зарубежной литературе они получили название Complex Programmable Logic Devices (CPLD).

Другой тип архитектуры ПЛИС — программируемые пользователем вентильные матрицы (ПВМ), состоящие из логических блоков (ЛБ) и коммутирующих путей — программируемых матриц соединений. Логические блоки таких ПЛИС состоят из одного или нескольких относительно простых логических элементов, в основе которых лежит таблица перекодировки (ТП, Look-up table - LUT), программируемый мультиплексор, D-триггер, а также цепи управления. Таких простых элементов может быть достаточно много, например, у современных ПЛИС ёмкостью до 1 млн вентилях число

логических элементов достигает нескольких десятков тысяч. За счёт такого большого числа логических элементов они содержат значительное число триггеров, а также некоторые семейства ПЛИС имеют встроенные реконфигурируемые модули памяти (РМП, embedded array block - EAB), что делает ПЛИС данной архитектуры весьма удобным средством реализации алгоритмов цифровой обработки сигналов, основными операциями в которых являются перемножение, умножение на константу, суммирование и задержка сигнала.

В зарубежной литературе такие ПЛИС получили название Field Programmable Gate Array (FPGA). К FPGA (ППВМ) классу относятся ПЛИС XC2000, XC3000, XC4000, Spartan, Virtex фирмы XILINX; АСТ1, АСТ2 фирмы АСТЕЛ, а также семейства FLEX8000 фирмы ALTERA, некоторые ПЛИС Atmel и Vantis.

Существующие в настоящее время ПЛИС, выпускаемые различными производителями, имеют разнообразную архитектуру и возможности. Систематизация ПЛИС производится обычно по следующим классификационным признакам:

- степень интеграции (логическая емкость);
- архитектура функционального преобразователя;
- организация внутренней структуры СБИС и структуры матрицы соединений функциональных преобразователей;
- тип используемого программируемого элемента;
- наличие внутренней оперативной памяти.

Степень интеграции (логическая емкость) — наиболее важная характеристика ПЛИС, по которой осуществляется ее выбор. Производители ПЛИС стоят на передовых рубежах электронной технологии, и число транзисторов в ПЛИС большой емкости составляет десятки миллионов. Но ввиду избыточности структур, включающих большое число коммутирующих транзисторов, логическую емкость измеряют в эквивалентных логических вентилях типа 2И-НЕ (2ИЛИ-НЕ), которые понадобились бы для реализации устройств той же

сложности, что и на соответствующих СБИС. Среди основных производителей ПЛИС назовем фирмы Altera, Xilinx, Actel. ПЛИС выпускаемые фирмой Altera (семейства FLEX10K) имеют логическую емкость: 250 тыс. логических вентиляей.

Функциональные преобразователи ПЛИС включают в себя настраиваемые средства реализации логических функций и триггер. Наиболее часто логические функции реализуются или в виде суммы логических произведений (sum of product) или на 16-разрядных ПЗУ (таблицы перекодировки). Использование этих двух подходов в ПЛИС основных фирм - производителей показано на рис.1.3. ПЛИС с функциональными преобразователями на базе сумм произведений позволяют проще реализовать сложные логические функции, а с преобразователями на базе таблиц перекодировки создавать насыщенные триггерами устройства.

ПЛИС с внутренней памятью выпускаются фирмами Altera (семейство FLEX10K), Atmel (семейство AT40K), Xilinx (семейство XC4000). Организация внутренней памяти в ПЛИС различных производителей различна: в семействе FLEX10K фирмы Altera это крупные выделенные модули памяти объемом 2 кбит, в ПЛИС других производителей - распределенные по кристаллу небольшие блоки (теневые ОЗУ таблиц перекодировки объемом 32 бит в СБИС фирмы Xilinx и расположенные в узлах матрицы межсоединений блоки памяти объемом 32x4 бит в ПЛИС фирмы Atmel).

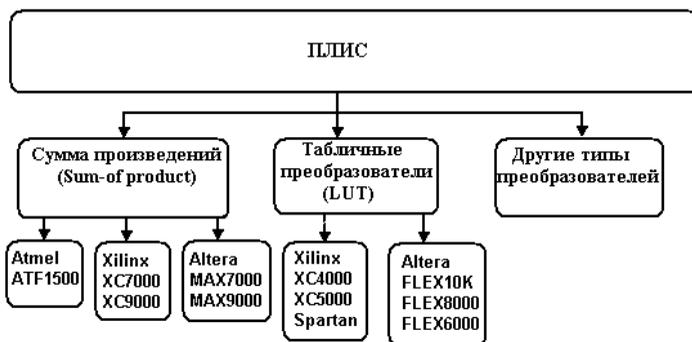


Рис.1.3. Архитектура функционального преобразователя

Различаются ПЛИС организацией внутренней структуры и структуры матрицы соединений макроячеек (функциональных преобразователей) (рис.1.4). Большинство фирм выпускает сложные ПЛИС, располагая, функциональные преобразователи в виде квадратной матрицы на площади кристалла, при этом связи между преобразователями выполняются в виде проводников, разделенных на отдельные участки (сегменты) электронными ключами. Такая одноуровневая структура получила название ППВМ. Иерархическая (многоуровневая) организация ПЛИС позволяет улучшить их технические характеристики (рис.1.5). Функциональные преобразователи в этом случае группируются в блоки (например, в логический блок ПЛИС семейств FLEX10K фирмы Altera входит 8 макроячеек), имеющие свою собственную локальную шину межсоединений. Блоки обмениваются сигналами через шины межсоединений верхнего уровня. Проводники межсоединений непрерывны (т. е. не разделены на сегменты электронными ключами), что обеспечивает малые задержки распространения сигналов и позволяет существенно сократить количество электронных ключей. Кроме того, благодаря этому свойству логические блоки можно заменять без изменения временной

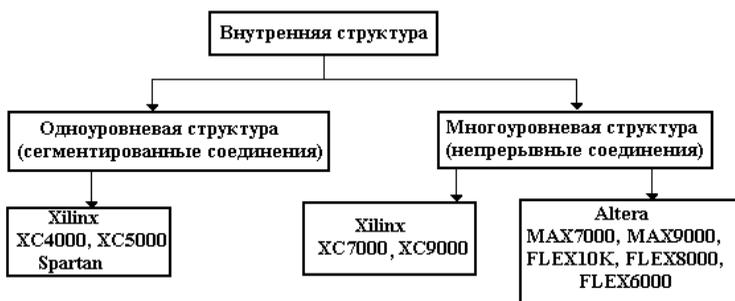


Рис.1.4. Организация внутренней структуры ПЛИС различных производителей

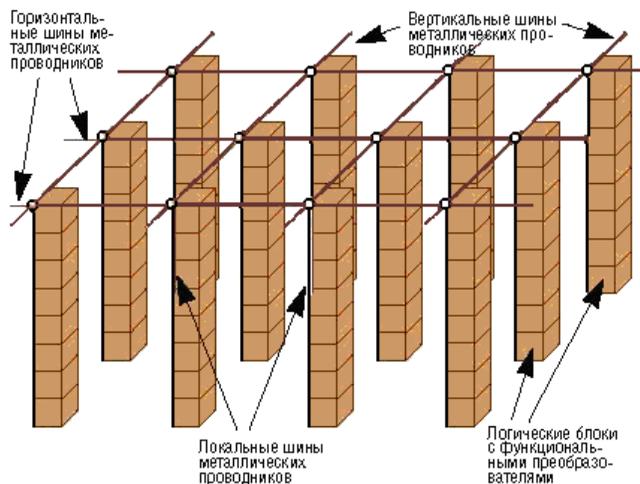


Рис.1.5. Непрерывные (несегментированные) соединения и иерархическая структура ПЛИС фирмы Altera

модели устройства, что существенно ускоряет процедуру реализации проекта и упрощает временное моделирование.

Тип используемого программируемого элемента - электронного ключа - определяет возможности ПЛИС по программированию, перепрограммированию и сохранению конфигурации при отключении питания. Наиболее перспективны программируемые элементы, выполненные по EEPROM- и FLASH-технологии (полевые транзисторы с плавающим затвором), обеспечивающие энергонезависимое сохранение конфигурации и многократное перепрограммирование (в том числе ИС, распаянной непосредственно на плате), а также элементы, выполненные по SRAM-технологии. Последние представляют собой электронный ключ и триггер оперативной памяти, в который при включении питания должна быть записана информация о конфигурации. SRAM-технология позволяет уменьшить

энергопотребление и реконфигурировать ПЛИС за десятки миллисекунд, обеспечивая исходную загрузку конфигурирующей памяти и при необходимости - реконфигурирование “на лету” для адаптации структуры реализуемого устройства. Особое место занимают семейства ПЛИС фирмы Actel, программируемые элементы которых - antifuse - представляют собой *pn*-переходы, пробиваемые при программировании. Эти устройства имеют повышенную способность к сохранению конфигурации при спецвоздействиях, но не получили широкого распространения в силу высокой стоимости и однократности программирования.

На рис.1.6 показана архитектура блока одной из современных ПЛИС с присущими им характерными особенностями:

ПЛИС содержат регистры для хранения сумм произведений. Эти регистры можно использовать для изготовления синхронных схем и последовательной логики, например машины состояний;

схемы имеют программируемую полярность (ПП) выхода, или возможность выбора активно-низкого или активно-высокого выходного сигнала;

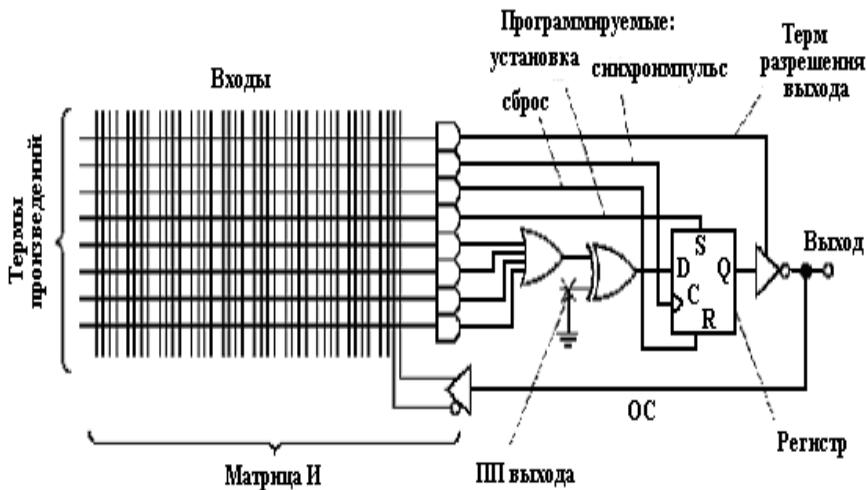


Рис.1.6. Архитектура блока ПЛИС

обратная связь (ОС) от выхода к матрице И позволяет использовать выход как двунаправленную линию ввода-вывода. Кроме того, содержимое регистра может быть передано обратно в матрицу для создания тем самым машины состояний; некоторые ПЛИС содержат термы произведений, которые отпирают выходные буфера (разрешение выхода). Разрешение выхода может осуществляться индивидуально и асинхронно;

некоторые термы произведений можно подавать на вход синхронизации внутренних регистров (программируемая синхронизация), позволяя логике синхронизировать индивидуальные регистры;

термы произведений могут управлять установкой и сбросом линий внутренних регистров.

1.3. Академические ПЛИС

Большинство коммерческих архитектур ПЛИС типа ППВМ (программируемые пользователем вентиляемые матрицы, FPGA) по технологии СОЗУ имеет одноуровневую структуру, когда логические блоки окружены с четырех сторон межсоединениями горизонтальных и вертикальных трассировочных каналов, равномерно распределенных по всей площади кристалла (рис.1.7) или многоуровневую структуру (рис.1.8). В ПЛИС семейств Stratix используется трехсторонняя трассировочная структура, а в ПЛИС Virtex-5 - двухсторонняя (рис.1.9). Уровень 1 использует прямые соединения, а уровни 2 и 3 программируемые соединения, которые отмечены кружками в пересечениях соединений. С повышением уровня соединений, при удалении от логических блоков, возрастает ширина трассировочных каналов.

Большинство фирм выпускает сложные одноуровневые ПЛИС, располагая LUT-таблицы входящие в состав ЛБ в виде квадратной матрицы на площади кристалла, при этом связи между LUT-таблицами выполняются в виде соединений (треков или дорожек), разделенных на отдельные участки (сегменты) электронными ключами (рис.1.7).

Иерархическая (многоуровневая) организация ПЛИС позволяет улучшить их технические характеристики (рис.1.8). Функциональные преобразователи в этом случае группируются в блоки (например, в логический блок ПЛИС семейства FLEX фирмы Altera входит 8 логических элементов), имеющие свою собственную локальную шину межсоединений. Логические блоки обмениваются сигналами через шины межсоединений верхнего уровня. Межсоединения (проводники) в каналах непрерывны (т.е. не разделены на сегменты электронными ключами), что обеспечивает малые задержки распространения сигналов между логическими блоками и позволяет существенно сократить количество электронных ключей.

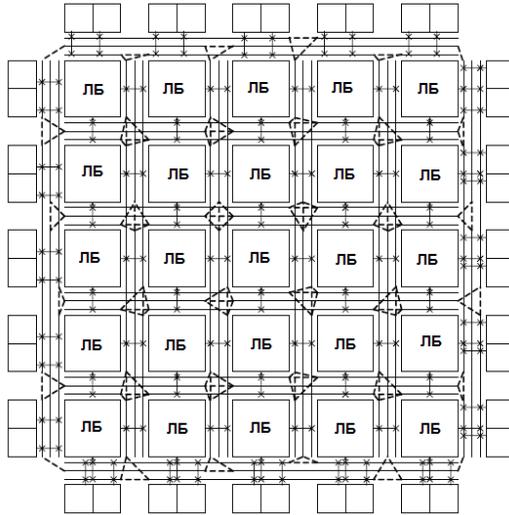


Рис.1.7. Одноуровневая структура ПЛИС типа ППВМ

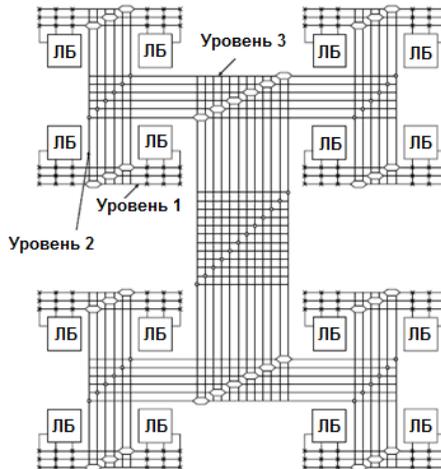


Рис.1.8. Многоуровневая структура ПЛИС типа ППВМ (FLEX10K, АРЕХ, АРЕХ II фирмы Altera)

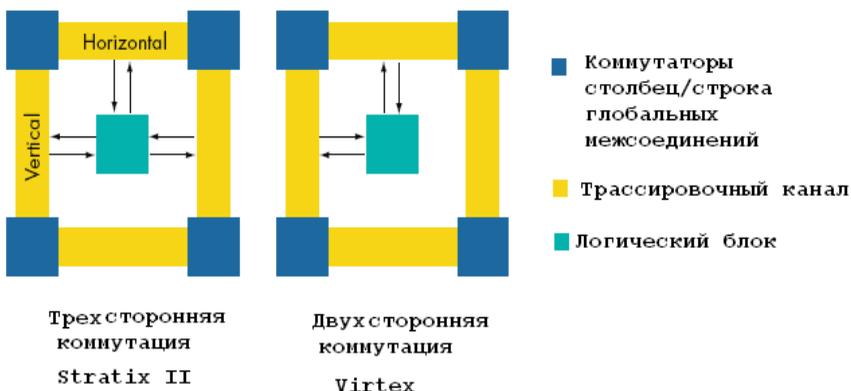
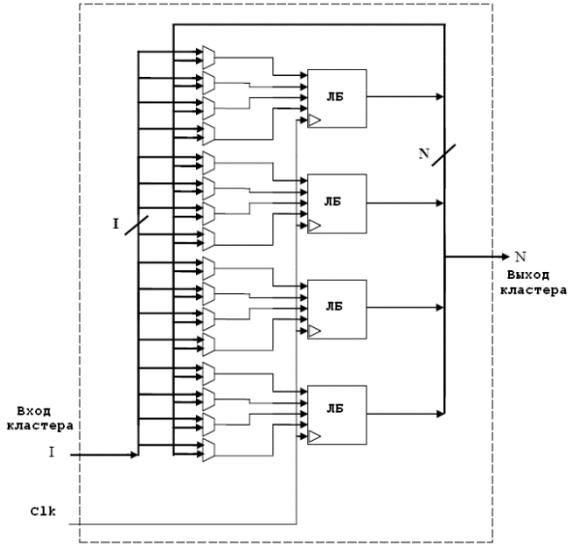


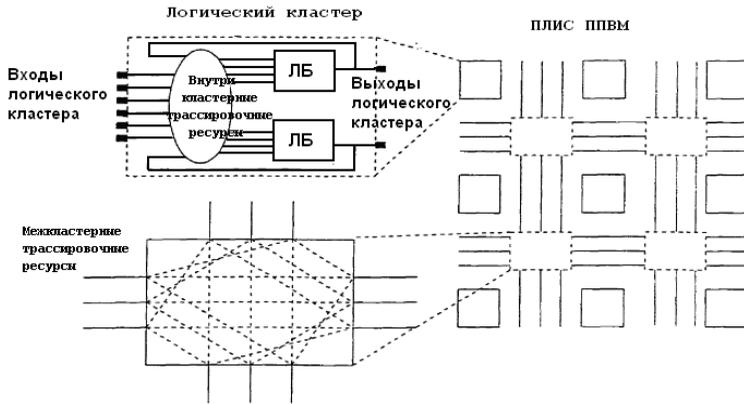
Рис.1.9. Трассировочная структура межсоединений в ПЛИС типа ППВМ Stratix фирмы Altera и Virtex фирмы Xilinx

Для одноуровневой и многоуровневой структуры ПЛИС логические блоки зачастую выгодно объединять в кластеры (рис.1.10). Так, под терминологией конфигурируемый логический блок фирмы Altera подразумевается кластер из 8 логических блоков (для ПЛИС серии FLEX10K).

Для ранних архитектур ПЛИС Xilinx серий XC3000 и XC4000 (рис.1.11) характерно: наличие канальных межсоединений разделенных электронными ключами в коммутационном блоке; прямые межсоединения, соединяющие выходы логического блока (ЛБ) со входами/выходами четырех соседних ЛБ; длинные горизонтальные и вертикальные линии проходящие вдоль всего кристалла; сеть тактовых синхросигналов, охватывающая весь кристалл, подключаемая к синхростомам триггеров ЛБ.



а)



б)

Рис.1.10. Объединение логических блоков в кластеры (а) и использование кластеров в одноуровневых ПЛИС типа ППМ (б)

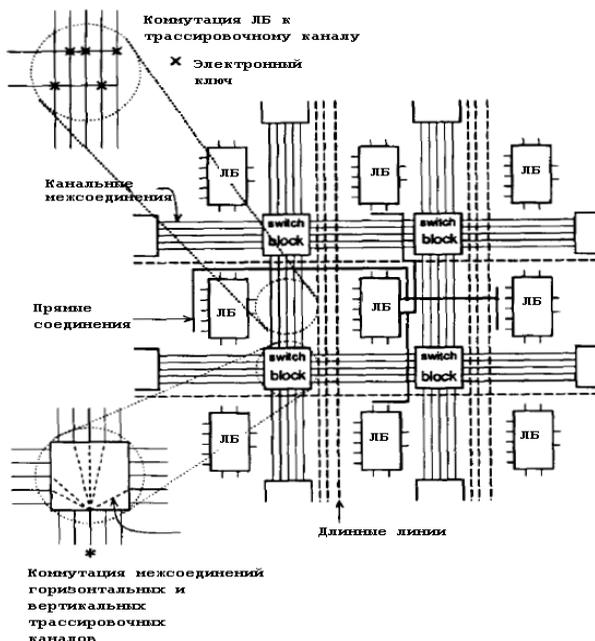


Рис.1.11. Архитектура ПЛИС типа ППВМ Xilinx 3000

ПЛИС с одноуровневой структурой межсоединений представляют массив логических блоков (логических элементов) подключаемых с помощью соединительных блоков С1 и С2 к вертикальным и горизонтальным трассировочным каналам межсоединений (рис.1.12). Блок С1 подключает один из входов (второй) LUT-таблицы и сигнал set/reset к вертикальному каналу, а блок С2 подключает один из входов (третий) и выход ЛЭ к горизонтальному каналу. Соединительные блоки С1 и С2 представляют собой программируемые коммутаторы на мультиплексорных структурах, позволяющие подключать любое межсоединение из горизонтального или вертикального трассировочных каналов на один из входов логического блока. Блок С2 подключает любое межсоединение из канала к входу in3, а блок С1 подключает любое межсоединение из канала к входу in2.

Для коммутации выходов ЛБ в блоке С2 используются коммутаторы (демультиплексоры) типа track-to-pin (один n-МОП ключ на каждое соединение) на проходных n-МОП ключах. В соединительных блоках С1 и С2 в качестве буферных элементов используются два последовательно соединенных инвертора.

Коммутация межсоединений в каналах осуществляется с помощью программируемого коммутатора-маршрутизатора (S-блок) представляющего из себя два шеститранзисторных n-МОП ключа, два непрерывных прямых горизонтальных канала и два вертикальных канала. Совместно с n-МОП ключом применяется буфер восстановления уровня сигнала (рис.1.13), т.к. при использовании n-МОП ключей высокий уровень в цепочке снижается после каждого элемента на величину порогового напряжения. Буфер с восстановлением уровня с p-МОП транзистором в обратной связи широко используется в коммутаторах межсоединений коммерческих ПЛИС, например, серии Flex, Stratix фирмы Altera.

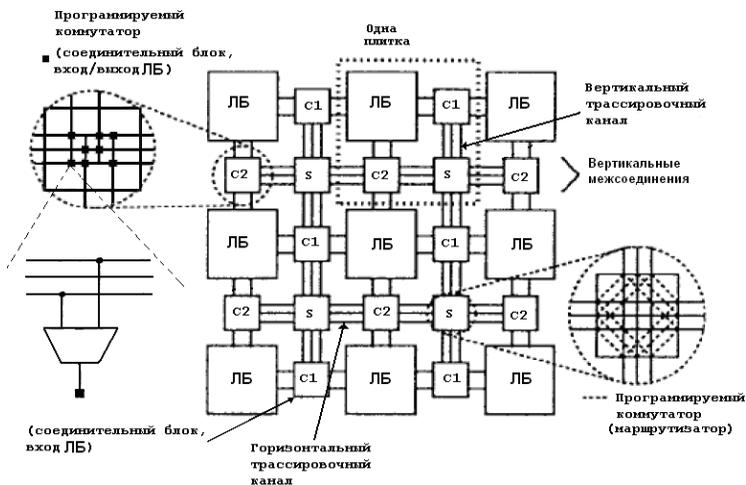


Рис.1.12. Архитектура академических ПЛИС

Замена программируемого межсоединения на жесткое, показано на рис.1.14. Пунктиром показаны направления коммутации межсоединений определяемые конфигурационными ключами. Что позволяет уменьшить число конфигурационных ячеек памяти, буферов восстановления уровня сигнала и существенно увеличить быстродействие ПЛИС.

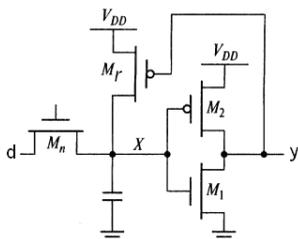


Рис.1.13. Схема буфера с восстановлением уровня с р-МОП транзистором (фиксатором) в положительной обратной связи

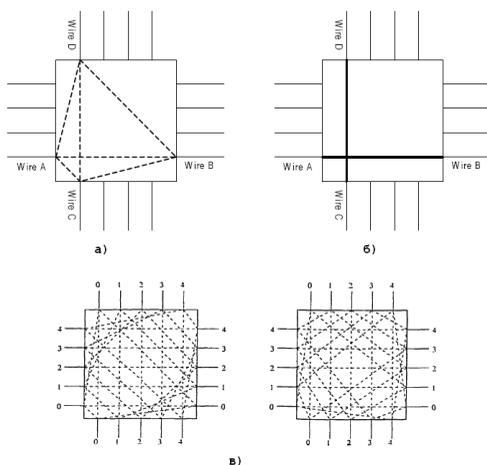


Рис.1.14. Замена программируемого соединения (а) на жесткое (б) высокоскоростное соединение и различные варианты реализации коммутационного блока (в)

1.4. Индустриальные ПЛИС фирмы Altera

ПЛИС можно разделить на два больших подмножества. Это ПЛИС с энергонезависимой прошивкой (т.е. независимо от наличия или отсутствия питания внутренняя конфигурация ПЛИС - “зашивка” - сохраняется) и ПЛИС с загрузкой конфигурации при включении питания (при выключении питания конфигурация “сбрасывается”).

Первые выполнены по технологии EEPROM (семейства MAX 7000/E/S/A, MAX 9000A) и допускают не менее 100 циклов стирания-записи, вторые - по технологии SRAM (семейства FLEX 6000/A, FLEX 8000A, FLEX 10K/KA/KB/KE) с неограниченным количеством циклов перезаписи и позволяющих перезагружать конфигурацию непосредственно в процессе работы. К первому подмножеству относятся также микросхемы семейства Classic с однократным программированием или с ультрафиолетовым стиранием.

1.4.1. Семейство ПЛИС MAX3000 и MAX7000

ПЛИС семейства MAX3000 выполнены по КМОП ЭСПЗУ технологии (ПЗУ с электрическим стиранием) при соблюдении технологических норм 0.35 мкм, что позволило существенно удешевить их по сравнению с семейством MAX7000S. Все ПЛИС MAX3000 поддерживают технологию программирования в системе (ISP, In-system programmability) и периферийного сканирования (boundary scan) в соответствии со стандартом IEEE Std. 1149.1 JTAG. Элементы ввода-вывода (ЭВВ) позволяют работать в системах с уровнями сигналов 5 В, 3.3 В, 2.5 В. Матрица соединений имеет непрерывную структуру, что позволяет реализовать время задержки распространения сигнала до 4.5 нс. ПЛИС MAX3000 имеют возможность аппаратной эмуляции выходов с открытым коллектором (open - drains pin) и удовлетворяют требованиям

стандарта PCI. Имеется возможность индивидуального программирования цепей сброса, установки и тактирования триггеров, входящих в макроячейку. Предусмотрен режим пониженного энергопотребления. Программируемый логический расширитель позволяет реализовать на одной макроячейке функции до 32 переменных. Имеется возможность задания бита секретности (security bit) для защиты от несанкционированного тиражирования разработки. Реализация функции программирования в системе поддерживается с использованием стандартных средств загрузки, таких как ByteBlasterMV, BitBlaster, MasterBlaster, а также поддерживается формат JAM. ПЛИС MAX3000 выпускаются в корпусах от 44 до 208 выводов. На рис.1.15 представлена функциональная схема ПЛИС семейства MAX3000.

Основными элементами структуры ПЛИС семейства MAX3000 являются: логические блоки (ЛБ) (LAB, Logic array blocks); макроячейки (МЯ) (macrocells); логические расширители (expanders) (параллельный (parallel) и разделяемый (shareble)); программируемая матрица соединений (ПМС) (Programmable interconnect array, PIA); элементы ввода-вывода (ЭВВ) (I/O control block).

ПЛИС семейства MAX3000 имеют четыре вывода, закрепленных за глобальными цепями (dedicated inputs). Это глобальные цепи синхронизации сброса и установки в третье состояние каждой макроячейки. Кроме того, эти выводы можно использовать как входы или выходы пользователя для “быстрых” сигналов, обрабатываемых в ПЛИС.

Как видно из рис.1.15, в основе архитектуры ПЛИС семейства MAX3000 лежат логические блоки, состоящие из 16 макроячеек каждый. Логические блоки соединяются с помощью программируемой матрицы соединений. Каждый логический блок имеет 36 входов с ПМС. На рис.1.16 приведена структурная схема макроячейки ПЛИС семейства MAX3000.

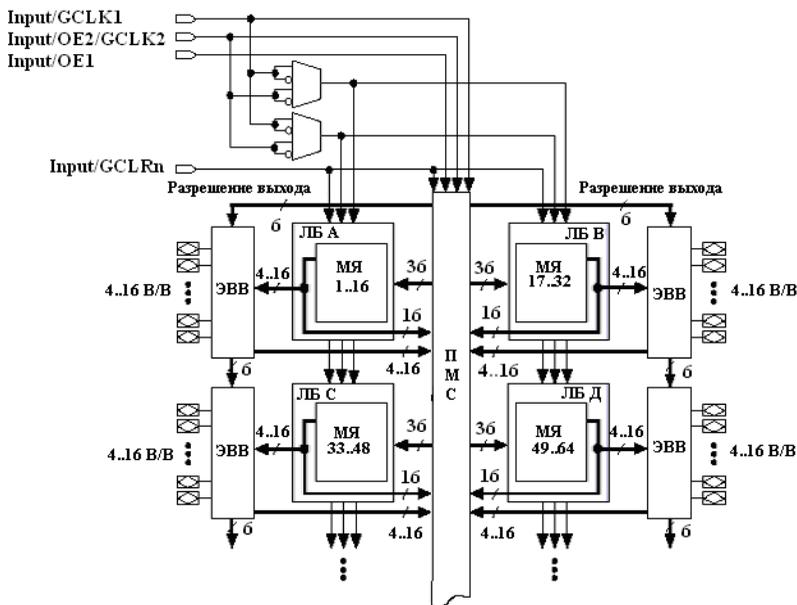


Рис.1.15. Функциональная схема ПЛИС семейства MAX3000

МЯ ПЛИС семейства MAX3000 состоит из трех основных узлов: локальной программируемой матрицы (LAV local array); матрицы распределения термов (product-term select matrix); программируемого регистра (Programmable register).

Комбинационные функции реализуются на локальной программируемой матрице и матрице распределения термов, позволяющей объединять логические произведения либо по ИЛИ (OR), либо по исключаящему ИЛИ (XOR). Кроме того, матрица распределения термов позволяет скоммутировать цепи управления триггером МЯ.

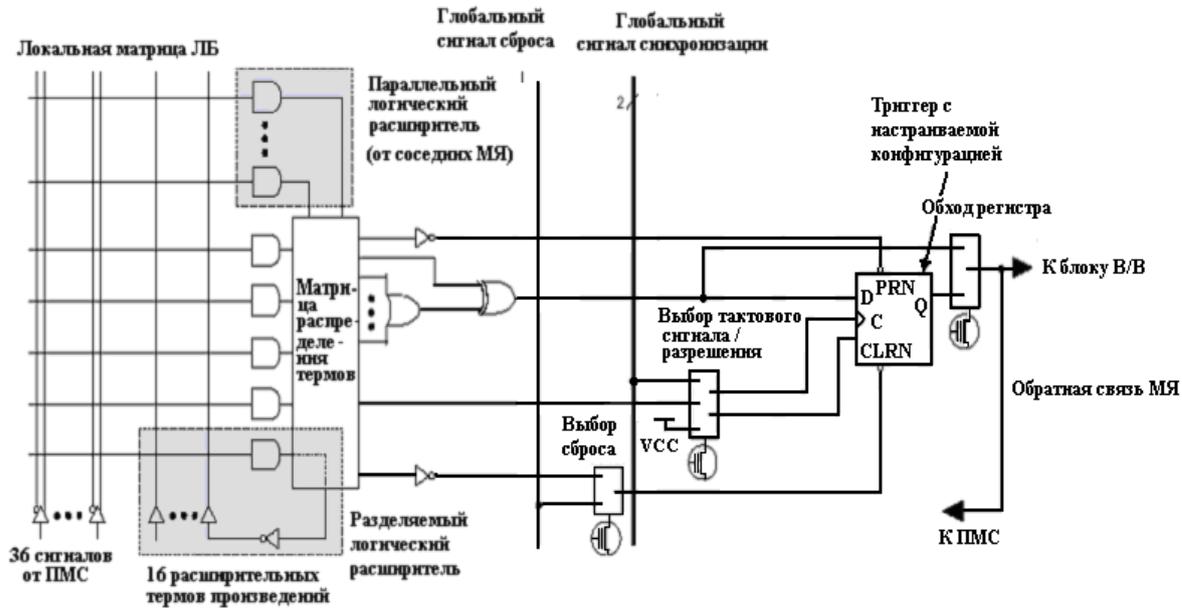


Рис.1.16. Структурная схема макроэчейки ПЛИС семейства MAX3000

Режим тактирования и конфигурация триггера выбираются автоматически во время синтеза проекта в САПР MAX+PLUS II в зависимости от выбранного разработчиком типа триггера при описании проекта.

В ПЛИС семейства MAX3000 доступно 2 глобальных тактовых сигнала, что позволяет проектировать схемы с двухфазной синхронизацией.

Для реализации логических функций большого числа переменных используются логические расширители. Разделяемый логический расширитель позволяет реализовать логическую функцию с большим числом входов, позволяя объединить МЯ, входящие в состав одного ЛБ. Таким образом, разделяемый расширитель формирует терм, инверсное значение которого передается матрицей распределения термов в локальную программируемую матрицу и может быть использовано в любой МЯ данного ЛБ. Как видно из рис.1.7, имеются 36 сигналов локальной ПМС, а также 16 инверсных сигналов с разделяемых логических расширителей, что позволяет в пределах одного ЛБ реализовать функцию до 52 термов ранга 1.

Параллельный логический расширитель позволяет использовать локальные матрицы смежных МЯ для реализации функций, в которые входят более 5 термов. Одна цепочка параллельных расширителей может включать до 4 МЯ, реализуя функцию 20 термов. На ПМС выводятся сигналы от всех возможных источников: ЭВВ, сигналов обратной связи ЛБ, специализированных выделенных выводов. В процессе программирования только необходимые сигналы “заводятся” на каждый ЛБ.

ПЛИС семейства MAX3000 полностью поддерживают возможность программирования в системе в соответствии со стандартом IEEE Std. 1149.1 –1990 (JTAG) с использованием соответствующих инструментальных средств.

Повышенное напряжение программирования формируется специализированными схемами, входящими в

состав ПЛИС семейства MAX3000, из напряжения питания 3.3 В. Во время программирования в системе входы и выходы ПЛИС находятся в третьем состоянии и “слегка” подтянуты к напряжению питания. Сопротивления внутренних подтягивающих резисторов порядка 50 кОм.

Семейство MAX (Multiple Array matrix) 7000 объединяет семь серий ПЛИС. ПЛИС этого семейства позволяют заменить устройство, содержащее до сотни корпусов микросхем средней степени интеграции, и обеспечивают: задержку распространения сигнала от любого входа до выхода ПЛИС не более 5 нс; устойчивую работу на частотах до 151 МГц; возможность регулирования скорости переключения выходных буферов; возможность использования четырех режимов работы выходных буферов: вход, выход, двунаправленный, открытый коллектор; возможность задания режима пониженного энергопотребления (Turbo-off) как для всей СБИС в целом, так и для цепей распространения отдельных сигналов; возможность программирования и репрограммирования после распайки на плате; возможность задания режима секретности разработки (Design Security); работу с пониженным (3.3 В) напряжением питания.

ПЛИС семейства MAX7000 являются первыми CPLD фирмы ALTERA, выполненными по КМОП ЭСПЗУ технологии. В настоящее время выпускаются ПЛИС MAX7000, MAX7000A, MAX7000B, MAX7000E, MAX7000S. Семейства MAX7000A и MAX7000B рассчитаны на работу в системах с напряжением питания 3.3 и 2.5 В соответственно, ПЛИС MAX7000S является дальнейшим развитием 5 вольтового MAX7000, допуская возможность программирования в системе. ПЛИС допускают не менее 100 циклов стирания-записи, чего для отладки изделия более чем достаточно. Это гарантированная фирмой цифра, хотя реально количество циклов может доходить до 250.

ПЛИС семейства MAX 7000 содержат от 32 до 256 макроячеек, которые объединены в группы по 16 макроячеек,

называемые LAB (Logic Array Block). Каждая макроячейка содержит программируемую матрицу “И” и фиксированную матрицу “ИЛИ”, а также конфигурационный триггер с независимыми сигналами тактового импульса, разрешения тактового импульса, сброса и предустановки. Для реализации сложных логических функций к каждой макроячейке могут быть подключены дополнительные термы произведений (за счет специальных ресурсов - так называемых “expander terms”), что увеличивает количество термов в макроячейке до 32.

ПЛИС семейства MAX7000S отличаются от MAX7000 возможностью программирования в системе (ISP) с использованием JTAG-интерфейса через специальный кабель Byteblaster (Bitblaster) непосредственно из САПР, а также пониженным по сравнению с MAX7000 потреблением.

Для оптимизации соотношения “быстродействие/потребление” используется так называемый программируемый “турбо-бит” который, будучи запрограммированным в состояние “ON” позволяет цепи достичь максимального быстродействия. В случае программирования его в состояние “OFF” - ограничивается максимальное быстродействие цепи (приблизительно в 2-2,5 раза), при этом сокращается потребление примерно в том же соотношении. “Турбо-бит” может быть запрограммирован для каждого конкретного сигнала независимо от других.

ПЛИС MAX 7000 выпускаются в различных типах корпусов (PLCC, QFP, PGA) с количеством выводов от 44 до 208.

Семейство MAX 7000A. Технология EEPROM с возможностью программирования в системе (ISP). Напряжение питания 3,3 В, и, следовательно, пониженное на 40 % потребление. Возможность установки режима пониженного потребления (около 50 %) для каждой макроячейки. Программируемый бит секретности, позволяющий защитить ПЛИС от несанкционированного считывания. Совместимость по выходам с уровнями 5,0/3,3/2,5 В.

ПЛИС MAX7000AE способны корректно работать в режиме "горячего включения" (Hot Socketing), т.е. допускают подачу входных сигналов на контакты и отсутствие сигналов на выходе до или во время включения питания.

ПЛИС EPM7032AE, EPM7064AE, EPM7128A и EPM7256AE по выводам совместимы с соответствующими микросхемами семейства MAX 7000S. Схожесть внутренней архитектуры позволит разработчикам, применяющим сегодня микросхемы MAX 7000S и MAX 9000A, легко перевести свои проекты на MAX 7000A.

Семейство MAX 7000S. Все ПЛИС MAX7000s поддерживают технологию программирования в системе (ISP, In-system programmability) и периферийного сканирования (boundary scan) в соответствии со стандартом IEEE Std. 1149.1 JTAG. Элементы ввода-вывода (ЭВВ) позволяют работать в системах с уровнями сигналов 5 В или 3.3 В. Матрица соединений имеет непрерывную структуру, что позволяет реализовать время задержки распространения сигнала до 5 нс. ПЛИС MAX7000s имеют возможность аппаратной эмуляции выходов с открытым коллектором (open - drains pin) и удовлетворяют требованиям стандарта PCI. Имеется возможность индивидуального программирования цепей сброса, установки и тактирования триггеров, входящих в макроячейку. Предусмотрен режим пониженного энергопотребления. Программируемый логический расширитель позволяет реализовать на одной макроячейке функции до 32 переменных. Имеется возможность задания бита секретности (security bit) для защиты от несанкционированного тиражирования разработки.

Семейство MAX (Multiple Array matriX) 9000 объединяет четыре серии ПЛИС. ПЛИС этого семейства позволяют заменить устройство, занимающее десятки плат, выполненных на микросхемах средней степени интеграции, и обеспечивают возможность: устойчивой работы на частотах до 117 МГц; независимого использования логической части и

триггера макроячейки; задания режима пониженного энергопотребления (power-saving mode) как для всей ПЛИС в целом, так и для цепей распространения отдельных сигналов; программирования и репрограммирования после распайки на плате; работы в системах со смешанным напряжением питания (3.3 В, 5.0 В); регулирования скорости переключения выходных буферов; использования трех режимов работы выходных буферов: вход, выход, двунаправленный.

ПЛИС как семейства MAX9000, так и MAX9000A обладают возможностью программирования в системе (ISP) и полностью совместимы между собой по корпусам функциональным возможностям и по файлу прошивки. ПЛИС MAX9000A изготовлены по более совершенной технологии, что позволило повысить быстродействие микросхем до 7.5 нс (178 МГц) от входа до выхода.

1.4.2. Семейство ПЛИС FLEX6000 и FLEX10K

По своим характеристикам ПЛИС FLEX6000 является промежуточным между семействами FLEX8000 и FLEX10K. ПЛИС FLEX6000 выпускаются по технологии 0.5 мкм СОЗУ (SRAM), FLEX6000A по 0.35 мкм с тремя слоями металлизации и обладают удачными характеристиками цена-производительность для реализации не очень сложных алгоритмов ЦОС. Отличительной особенностью архитектуры ПЛИС FLEX6000 является технология OptiFLEX, представленная на рис.1.17.

В основе архитектуры OptiFLEX лежат логические блоки (ЛБ) (LABs, Logic array blocks), каждый из которых объединяет по 10 логических элементов (ЛЭ) (Logic elements) с помощью локальной матрицы соединений. Особенностью архитектуры OptiFLEX является то, что каждый логический элемент может коммутироваться как на локальную матрицу соединений собственного логического блока, так и смежных

(рис.1.17), тем самым расширяются возможности для трассировки.

На рис.1.18 приведена структура ЛБ ПЛИС семейства FLEX6000. Как видно из рис.1.18, ЛБ имеет чередующуюся структуру (interleaved structure), объединяя на локальной матрице соединений (ЛМС) (local interconnect) сигналы с двух смежных ЛБ. Кроме того, сигналы с ЛЭ и ЛМС могут коммутироваться на строки и столбцы глобальной матрицы соединений, которые имеют непрерывную структуру, обеспечивающую минимальные задержки. Каждый ЛБ и ЛЭ управляется выделенными глобальными сигналами (Dedicated inputs), являющимися сигналами сброса, установки и синхронизации триггеров ЛЭ (рис.1.11).

На рис.1.19 приведена структура ЛЭ ПЛИС семейства FLEX6000. В основе ЛЭ лежит четырехходовая таблица перекодировок (ТП, LUT, Look-up Table). Кроме того, в состав ЛЭ входят цепи ускоренного цепочечного переноса (Carry-in, carry-out) и каскадирования (cascade-in, cascade-out). Триггер ЛЭ может быть сконфигурирован с помощью логики сброса-установки (clear/preset logic), тактируется одним из сигналов, выбираемых логикой тактирования (clock select). При необходимости сигнал с выхода ТП может быть подан на выход ЛЭ в обход триггера (register bypass).

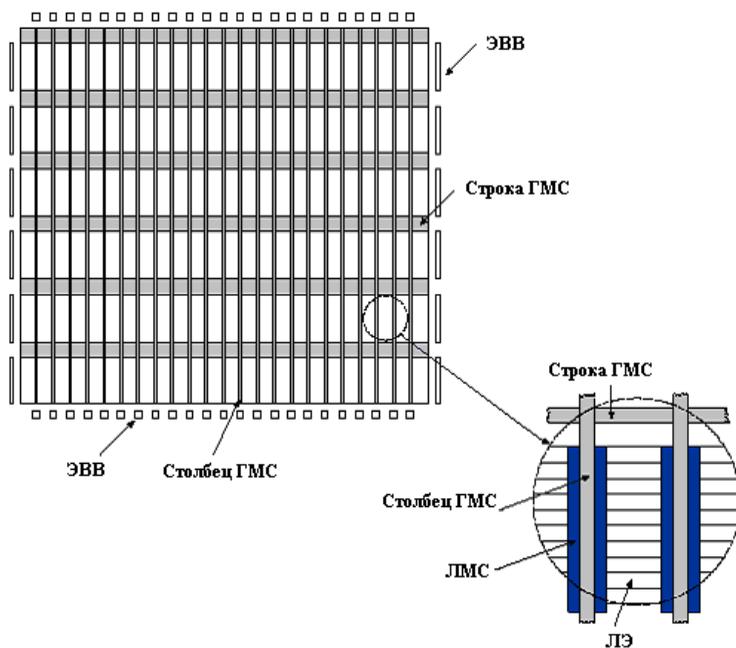


Рис.1.17. Технология OptiFLEX

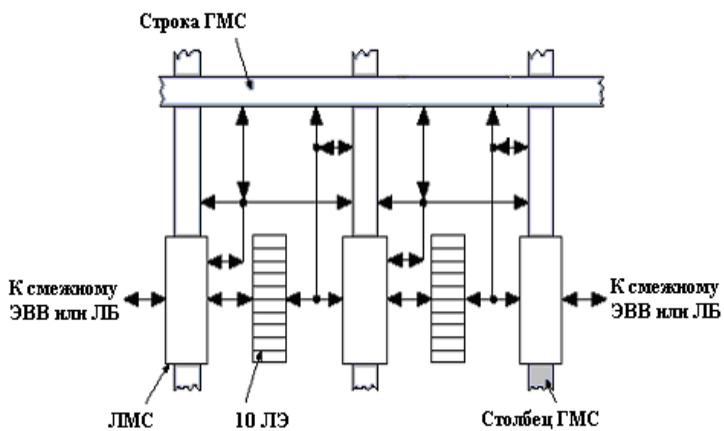


Рис.1.18. Структура ЛБ FLEX6000

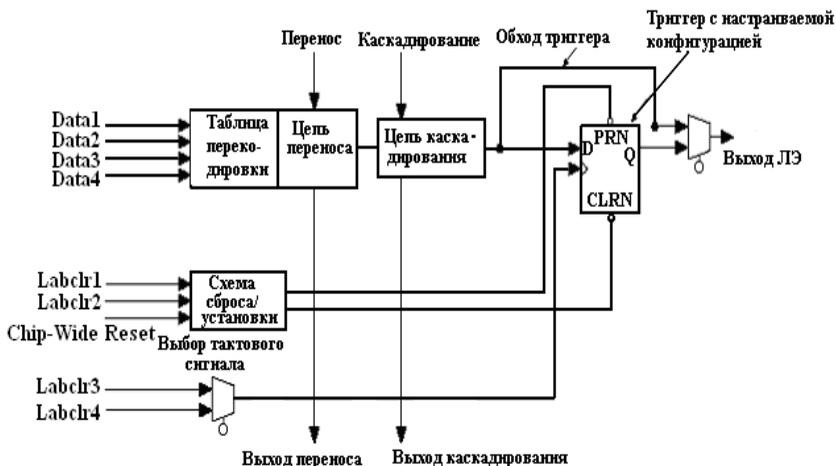


Рис.1.19. Структура ЛЭ ПЛИС семейства FLEX6000

Для обеспечения минимальной задержки при реализации сложных арифметических функций, таких как счетчики, сумматоры, вычитатели и т.п., используется организация ускоренных цепочечных переносов (carry chain) между ЛЭ. При организации цепочечных переносов первый ЛЭ каждого ЛБ не включается в цепочку цепочечных переносов, поскольку он формирует управляющие сигналы ЛБ. Вход первого ЛЭ в каждом ЛБ может быть использован для формирования сигналов синхронной загрузки или сброса счетчиков, использующих цепочечный перенос. Цепочка переносов длиннее чем 9 ЛЭ автоматически формируется путем объединения нескольких ЛБ вместе, причем перенос формируется не в соседний ЛБ, а через один, то есть из четного в четный, из нечетного ЛБ – в нечетный. Например, последний ЛЭ в первом ЛБ в ряду формирует перенос во второй ЛЭ в третьем ЛБ в том же ряду.

Семейство FLEX (Flexible Logic Element matrix) 10K объединяет семь серий ПЛИС. ПЛИС этого семейства позволяют заменить устройство, занимающее сотни плат, выполненных на микросхемах средней степени интеграции, и

обеспечивают возможность: устойчивой работы на частотах до 450 МГц; реализации на кристалле статической памяти и ПЗУ объемом до 24 Кбит; независимого использования логической части и триггера каждого логического элемента; эмуляции внутренней шины с тремя состояниями; умножения внутренней тактовой частоты; работы в системах со смешанным напряжением питания (3.3 В, 5.0 В); реализации неограниченного числа циклов репрограммирования, в том числе "на лету", т.е. без выключения питания ПЛИС; регулирования скорости переключения выходных буферов; использования четырех режимов работы выходных буферов: вход, выход, двунаправленный, открытый коллектор.

ПЛИС семейства FLEX10K изготовлены по технологии SRAM с загрузкой при включении питания. Интеграция до 250000 вентилей. Особенностью этого семейства является возможность реализации на одном кристалле логических функций и памяти (RAM, ROM, FIFO), при этом память реализуется без затрат основной логики. Время доступа к памяти до 6 нс.

Память реализуется на специализированных ресурсах микросхемы, которые также могут быть использованы для эффективной реализации различных алгоритмов, в т.ч. цифровой обработки сигналов. Эти ПЛИС позволяют достичь высоких характеристик при разработке устройств, совместимых со стандартом PCI.

ПЛИС семейства FLEX10K имеют двухуровневую архитектуру матрицы соединений (рис.1.20). 8 ЛЭ объединяются в группы - логические блоки (ЛБ). Внутри логических блоков ЛЭ соединяются посредством локальной программируемой матрицы соединений (ЛМС), позволяющей соединять любой ЛЭ с любым. Логические блоки связаны между собой и с элементами ввода/вывода посредством глобальной программируемой матрицы соединений (ГПМС). Локальная и глобальная матрицы соединений имеют

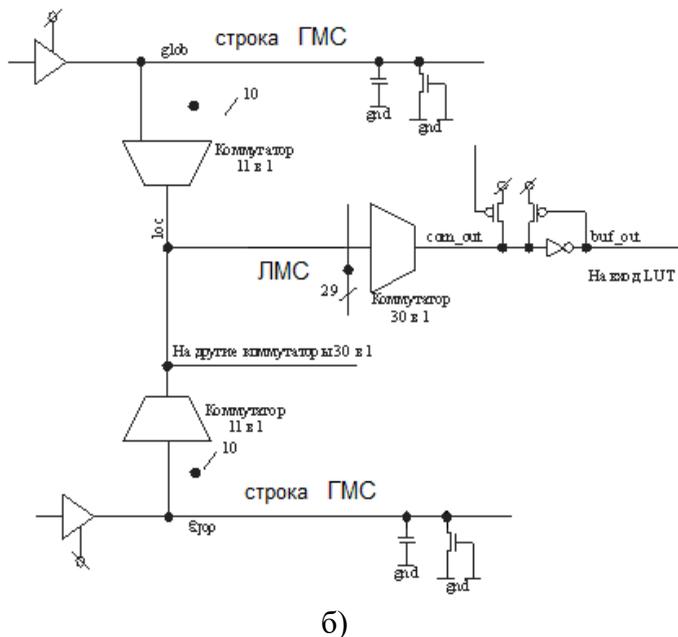
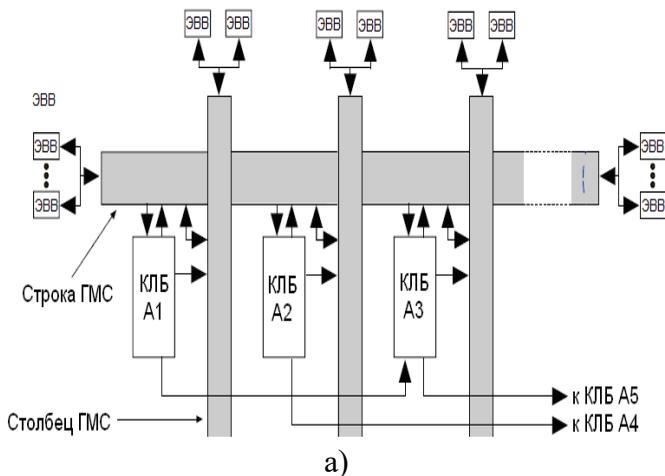


Рис.1.21. Программируемая коммутация сигналов в ПЛИС FLEX10KE фирмы Altera (а) и пример использования входных коммутаторов в межсоединениях ПЛИС (б)

На рис.1.21, б показано, как осуществляется коммутация сигналов с дорожек ГМС на ЛМС КЛБ и с ЛМС на входы ЛЭ.

Коммутаторы в ПЛИС могут быть реализованы на мультиплексорах (рис.1.22) или с использованием одного n-МОПТ ключа (рис.1.23), на каждое track-to-pin соединение. В первом случае требуется 4 ячейки конфигурационной памяти (24 транзистора), во втором случае 16 ячеек памяти (96 транзисторов), однако, появляется критический путь из четырех последовательно соединенных n-МОПТ-ключей. В мультиплексорах могут быть использованы как n-МОПТ ключи (рис.1.22, б), так и КМОП-ключи (рис.1.22, в).

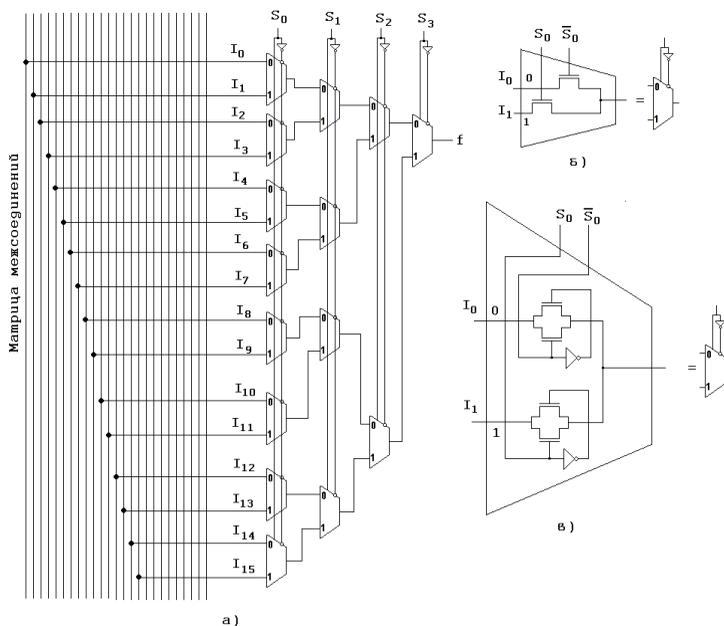


Рис.1.22. Коммутатор сигналов с ЛМС на вход КЛБ с использованием мультиплексоров: S_0 - S_3 – конфигурационные биты памяти (а); б – мультиплексор на n-МОПТ ключах; в – мультиплексор на КМОП-ключах

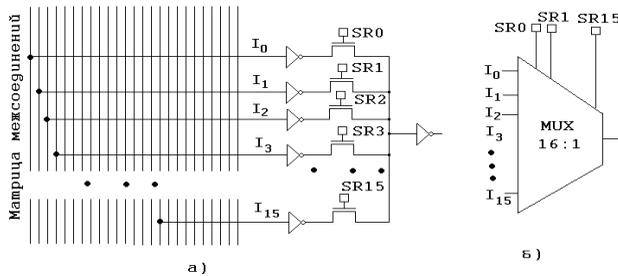


Рис.1.23. Коммутатор сигналов 16 в 1 с ЛМС на вход КЛБ с использованием n-МОПТ ключей на каждое соединение (а); б) условное обозначение

Использование мультиплексов дает меньшую площадь, но наносит существенный удар по быстродействию, так как сигнал должен проходить через серии ключей. При использовании n-МОПТ-ключей высокий уровень в цепочке снижается после каждого элемента на величину порогового напряжения.

На рис.1.24 показана детализированная схема программируемой коммутации выходных сигналов ЛЭ КЛБ на строки и столбцы ГМС и обратно на ЛМС, а также коммутация столбца на строку ГМС в ПЛИС FLEX10KE фирмы Altera. Коммутация выхода ЛЭ 1 показана на рис.1.25.

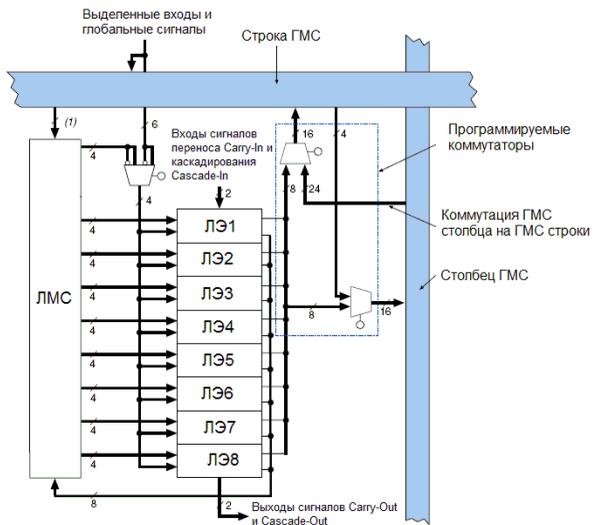


Рис.1.24. Программируемая коммутация сигналов в ПЛИС FLEX10KE фирмы Altera (выходные коммутаторы)

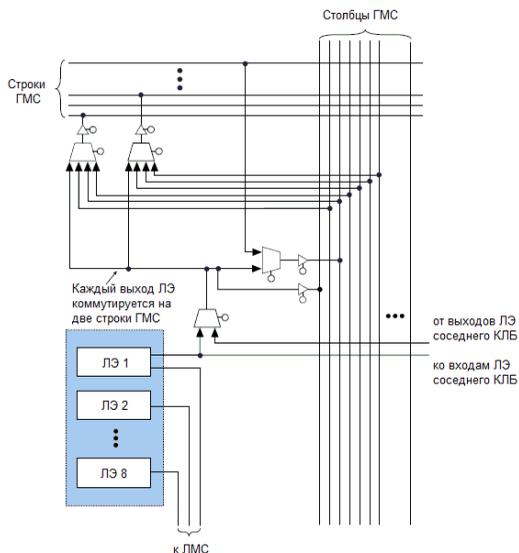


Рис.1.25. Коммутация выхода ЛЭ 1 на строки, столбцы ГМС и на ЛМС в ПЛИС FLEX10KE фирмы Altera

1.4.3. Семейство ПЛИС АРЕХ20К

Развитие и разнообразие архитектур функциональных преобразователей, лежащих в основе базовых узлов ПЛИС, привели к тому, что в последние годы ПЛИС становятся основой для “систем на кристалле” (system-on-chip, SOC). В основе идеи SOC лежит интеграция всей электронной системы в одном кристалле (например, объединение на одном кристалле процессора, памяти и др. цифровых устройств). Компоненты этих систем разрабатываются отдельно и хранятся в виде файлов параметризуемых модулей. Окончательная структура SOC-ИС выполняется на базе этих “виртуальных компонентов”, называемых также “блоками интеллектуальной собственности”, с помощью САПР БИС. Благодаря стандартизации в одно целое можно объединять “виртуальные компоненты” от разных разработчиков.

Примером новых семейств ПЛИС, пригодных для реализации “систем - на - кристалле”, является семейство АРЕХ20К фирмы Altera (рис.1.26).

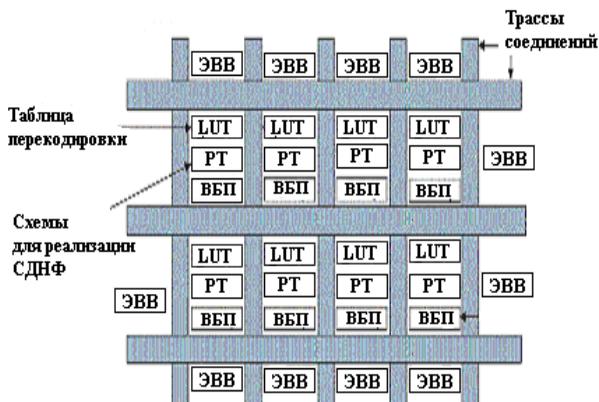


Рис.1.26. Архитектура АРЕХ20К ПЛИС фирмы Altera

Архитектура АРЕХ20К сочетает в себе как достоинства FPGA ПЛИС с их таблицами перекодировок (ТП) или LUT (Look-up table), входящими в состав логического элемента ПЛИС, так и логику вычисления СДНФ, характерную для ПЛИС CPLD - ПЛИС с высокой степенью интеграции элементов на кристалле (рис.1.26).

1.4.4. Семейство ПЛИС Stratix III

Stratix III, новое поколение ППВМ (FPGA) компании Altera, выполнено по технологии 65-нм. Главный упор сделан на снижение потребляемой мощности. ПЛИС Stratix III потребляют вдвое меньше энергии, работают на 25 % быстрее и обладают вдвое большим количеством логических элементов по сравнению с предыдущим поколением - Stratix II.

Семейство Stratix III представлено двумя главными направлениями: **Stratix III L** (Logic) - сбалансированы по количеству логических узлов (вентилей), памяти и блоков цифровой обработки сигналов (ЦОС) для приложений общего назначения; **Stratix III E** (Enhanced или улучшенные) - количество интегрированной памяти и блоков ЦОС увеличено для работы с соответствующими приложениями.

Основой семейства ПЛИС Stratix III являются адаптивные логические блоки (ALM), которые объединяются в логические блоки (logic array block, LAB). Таблица перекодировки (LUT) адаптивного логического блока (Memory LAB) может быть сконфигурирована как 16 x 2 двухпортовое ОЗУ. Всего 10 таких ALM могут образовать блок двухпортового ОЗУ емкостью 16 x 20 бит (320 бит конфигурационной памяти). LUT логических блоков (LAB) такой возможностью не обладают. Блоки Memory LAB и LAB сосуществуют парами и подключены к локальным матрицам межсоединений и к строкам и столбцам C4, C12, R4, R20 обладающими различной скоростью распространения сигналов

и длинной межсоединений (рис.1.27). Локальные матрицы позволяют напрямую подключать соседние блоки LAB, блоки памяти с архитектурой TriMatrix, встроенные блоки цифровой обработки сигналов (DSP-блоки) или блоки ввода/вывода. Архитектура межсоединений MultiTrack обеспечивает большую доступность ко всем окружающим LAB с помощью меньшего числа связей, что позволяет увеличить производительность, снизить энергопотребление и оптимизировать упаковку логики.

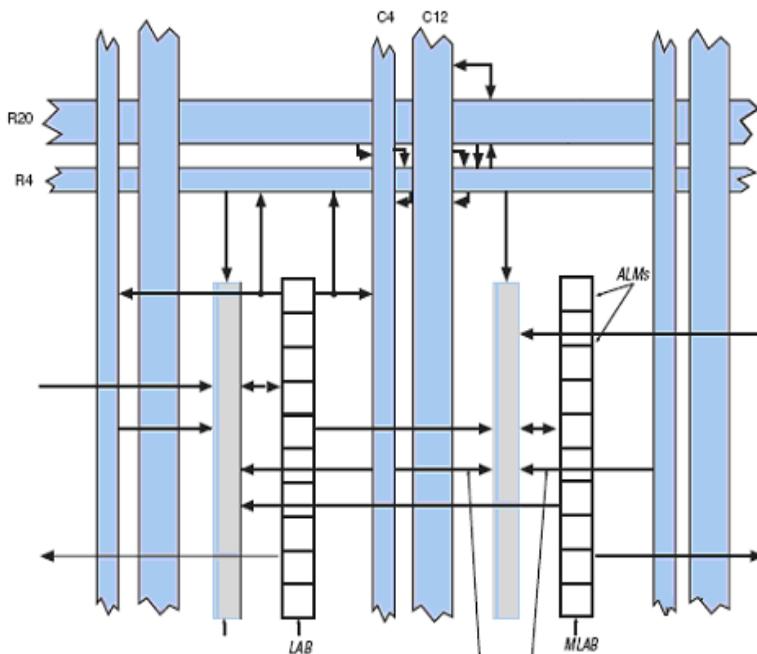


Рис.1.27. Фрагмент архитектуры ПЛИС семейства Stratix III

ALM обеспечивают эффективное управление логическими функциями, т.е. позволяют упаковывать большее число комбинационных и последовательностных логических элементов. Каждый блок способен реализовывать различные комбинационные функции на 8-ми входовой таблице перекодировки, которая аппаратно реализуется на двух 4-х

входных адаптивных LUT-таблицах и последовательностную логику на двух программируемых D-триггерах, а также арифметические операции на двух специализируемых сумматорах (рис.1.28). С помощью такой LUT-таблицы можно реализовать булевы функции от 7, 6 и две независимые функции с меньшим числом переменных. Триггеры reg0 и reg1 могут быть использованы независимо от LUT-таблиц.

ALM способны работать в различных режимах: нормальный, расширенный LUT-режим, арифметический, общий арифметический и LUT-reg (в этом режиме используются три триггера). В каждом режиме ресурсы ALUT используются различно.

Например, ALM способен реализовать две независимые 4-входные функции (без общих входов). На рис.1.29 показаны примеры реализации функций как без каких-либо общих входов, так и с ними. Нормальный режим работы позволяет обеспечить полную совместимость с 4-х входовыми LUT-таблицами предыдущих серий ПЛИС, такими как APEX II, FLEX.

Для реализации булевой функции 6-ти переменных могут быть использованы входы dataa, datab, datac, datad а также входы datae0, dataf0 или datae1, dataf1 (рис.1.29). Если используются входы datae0, dataf0 то выход функции регистренный или триггер reg0 может быть обойден. Если доступны входы datae1 и dataf0, то используется выход триггера reg1 или триггер reg1 может быть обойден.

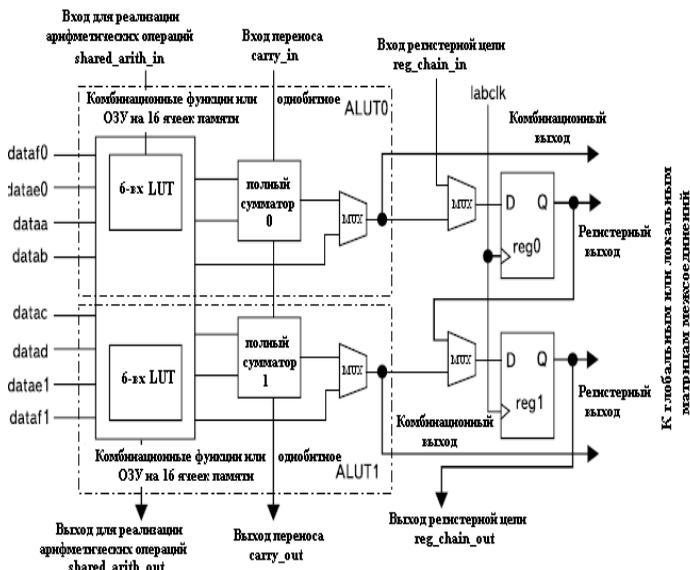


Рис.1.28. Адаптивный логический блок ПЛИС Stratix III

На рис.1.31 показан типовой шаблон реализации булевой функции 7-ми переменных для комбинационной схемы. Неиспользуемый вход dataf1 доступен для упаковки триггера. Данный шаблон используется для реализации конструкции if-else языка VHDL. Работа ALUT в арифметическом режиме показана на рис.1.32. Арифметический режим используется для реализации сумматоров, счетчиков и др. Встроенные сумматоры в ALM могут работать в двух режимах: как два независимые 2-х входовые сумматоры (арифметический режим) или один как 3-х входовой для реализации сложных арифметических операций (общий арифметический режим).

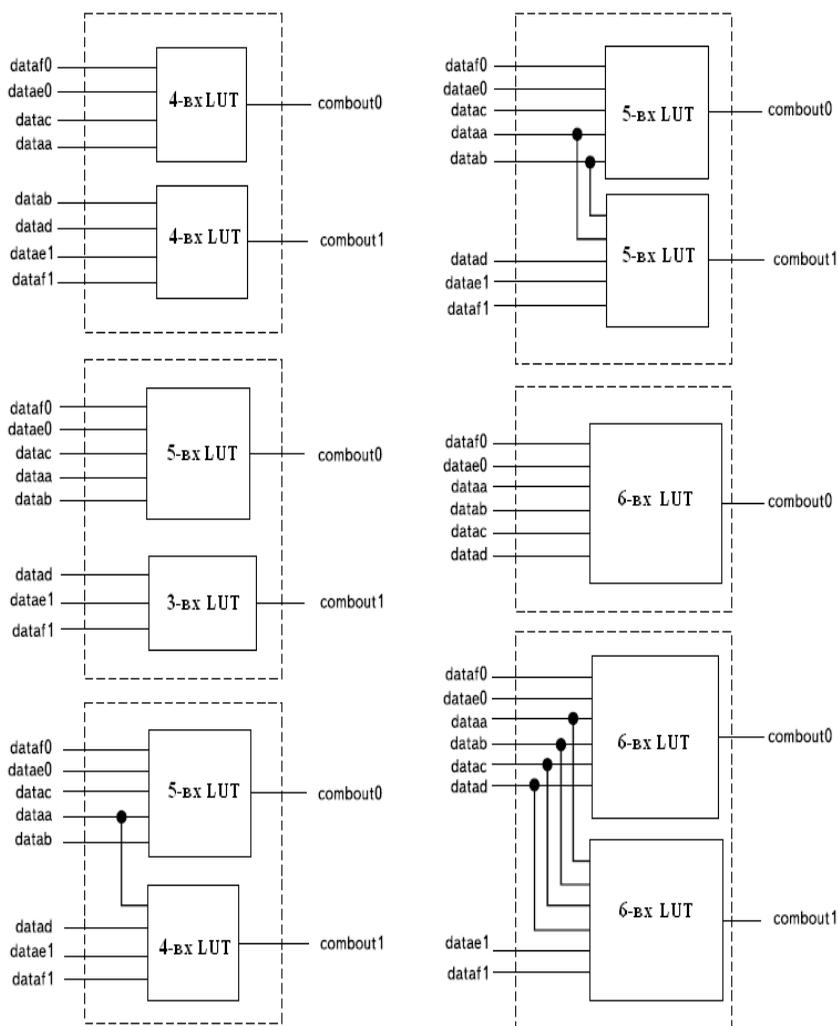


Рис.1.29. Реализация булевых функций в нормальном режиме работы ALM: а – двух независимых функций от 4-х переменных; б – независимой функции 5-ти и 3-х переменных; в – функции 5-ти и 4-х переменных с одним общим входом; г – функции 5-ти и функции 5-ти переменных с 2-мя общими входами; д – функции 6-ти переменных; е – функции 6-ти и функции 6-ти переменных с 4-мя общими входами

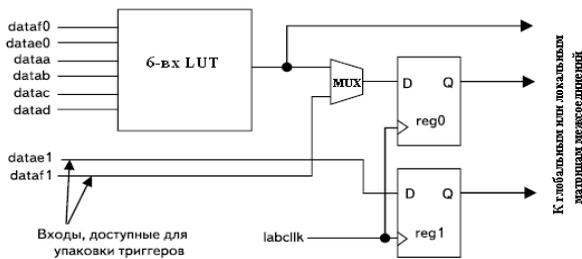


Рис.1.30. Реализация булевых функций 6-ти переменных в нормальном режиме работы ALM

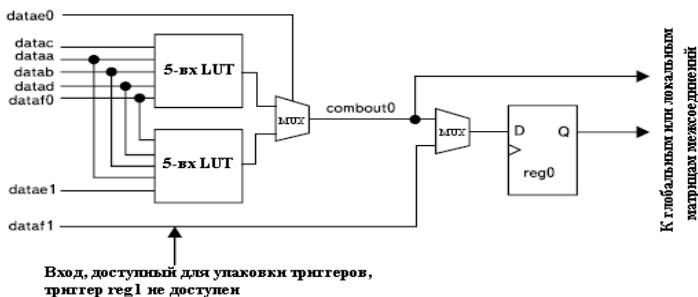


Рис.1.31. Работа ALUT в расширенном режиме

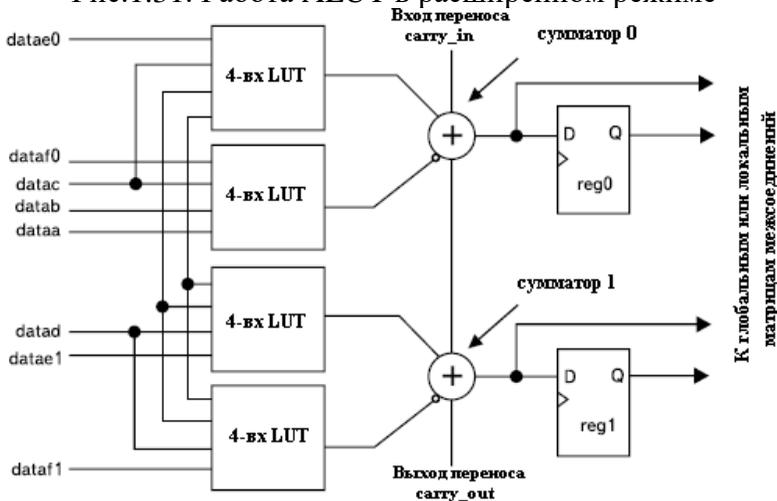


Рис.1.32. Работа ALUT в арифметическом режиме

ПЛИС Stratix включают в себя до 28 блоков ЦОС, которые повышают эффективность устройства при реализации приложений, требующих арифметических операций. Блоки ЦОС могут быть включены как умножители, или как умножители с накоплением, что обеспечивает увеличение эффективности при одновременном увеличении скорости обработки данных и существенно сберегает ресурс, занимаемый на кристалле проектом пользователя. На кристалле также может находиться до 12 схем автоподстройки частоты (PLLs). Цепи синхронизации могут иметь до 40 системных синхрочастот. ПЛИС Stratix поддерживают множество стандартов ввода – вывода, как для передачи сигналов по однопроводным соединительным линиям, так и по дифференциальным линии. Таким образом, данные устройства находятся на новом уровне системной интеграции для system-on-a-programmable-chip проектов (SOPC).

1.5. Программные средства проектирования ПЛИС

Рассмотрим программные инструменты T-Vpack и VPR, разработанные в университете Торонто (Канада, Торонто, <http://www.eecg.utoronto.ca/vpr>) для проектирования академических ПЛИС типа ППВМ с одноуровневой структурой межсоединений под технологические проектные нормы 22 – 180 нм КМОП технологии с минимальной площадью кристалла и шириной трассировочного канала, нахождением критического пути в трассировочных ресурсах ПЛИС. Успехи в области исследования и создания новых архитектур ПЛИС с использованием T-Vpack и VPR привели к созданию в Торонто технологического центра фирмы Altera (Altera Toronto Technology Centre).

Основные функциональные блоки ПЛИС (рис.1.33): логический блок (ЛБ), соединительные блоки (С-блоки), коммутатор-маршрутизатор (S-блок). В академических ПЛИС

для обеспечения программируемой коммутации существует две технологии соединений: multi-driver и single-driver, которые распространяются как на соединительные блоки, так и на коммутаторы-маршрутизаторы. Маршрутизатор с использованием двунаправленных межсоединений и двунаправленных ключей реализованных на буферах с третьим состоянием получил название multi-driver, при этом также возможно использование n-МОП ключей, а с использованием однонаправленных межсоединений и мультиплексорных структур - single-driver switch block.

В настоящее время считается, что использование однонаправленных межсоединений в совокупности с мультиплексорными структурами в маршрутизаторах наиболее перспективно, т.к. позволяет получать существенный выигрыш по сравнению с технологией multi-driver по быстродействию (задержка распространения сигнала в трассировочных ресурсах ПЛИС уменьшается на 9 %) и по площади кристалла (экономия площади кристалла до 25 %). Технология соединений single-driver, известная как DirectDrive™ широко используется в современных сериях ПЛИС серий Stratix. Технология single-driver также распространяется на входные мультиплексоры и на демультплексоры в соединительных блоках (рис.1.333).

Рассмотрим типовой маршрут проектирования гетерогенных академических ПЛИС, который предполагает использование следующих программных инструментов: ODIN, ABC, T-Vpack, VPR. ODIN конвертирует схемное описание некоторого сложно-функционального устройства (“бенч марк”, тестовая схема на языке Verilog HDL) в специальный файл в .blif формате, в котором выделяет логические вентили для описания логики устройства и “черные ящики” для гетерогенных блоков.

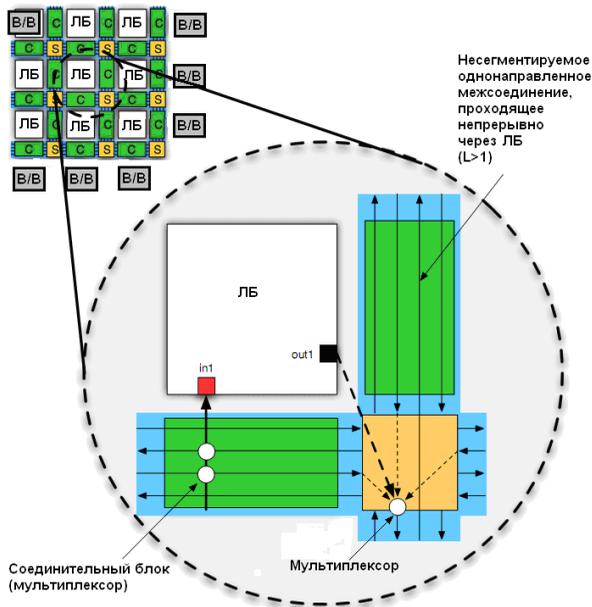


Рис.1.33. Распространение технологии соединений single-driver на соединительные блоки и непосредственное подключение выходов логических блоков к мультиплексорам коммутаторов-маршрутизаторов

Далее с использованием инструмента ABC (существуют и другие программные инструменты минимизации булевых функций в базис ПЛИС типа ППВМ с использованием 4-х входовой LUT-таблицы и D-триггера логического блока, такие как SIS и FlowMap) проводится логическая оптимизация схемы с использованием специального стиля описания независимого от технологии проектирования БИС и ее размещение в логические блоки академической ПЛИС. Выходным так же является файл в .blif формате, в котором выделяются LUT-таблицы, D-триггеры логических блоков и гетерогенные блоки (пример 1).

```
# Benchmark "iir1" written by ABC
```

```
...
```

```

.latch n279 hetero_REGISTER_61_1838_out re iir1_clk_i_0 0
.latch n284 hetero_REGISTER_61_1839_out re iir1_clk_i_0 0
.latch n289 hetero_REGISTER_61_1840_out re iir1_clk_i_0 0
.latch n294 hetero_REGISTER_61_1841_out re iir1_clk_i_0 0
.latch n299 hetero_REGISTER_61_1842_out re iir1_clk_i_0 0
.latch n304 hetero_REGISTER_61_1843_out re iir1_clk_i_0 0
...
.names iir1_dat_i_4 iir1_rst_i_0 hetero_REGISTER_61_1906_out n1533 n999
00-10
-0000
.names iir1_dat_i_5 iir1_rst_i_0 hetero_REGISTER_61_1907_out n1533 n1004
00-10
-0000
.names iir1_dat_i_6 iir1_rst_i_0 hetero_REGISTER_61_1908_out n1533 n1009
00-10
-0000
.names iir1_dat_i_7 iir1_rst_i_0 hetero_REGISTER_61_1909_out n1533 n1014
00-10
-0000
.end
.model mult_36
.inputs a0 a1 a2 a3 a4 a5 a6 a7 a8 a9 a10 a11 a12 a13 a14 a15 a16 a17 b0 b1 \
b2 b3 b4 b5 b6 b7 b8 b9 b10 b11 b12 b13 b14 b15 b16 b17
.outputs c0 c1 c2 c3 c4 c5 c6 c7 c8 c9 c10 c11 c12 c13 c14 c15 c16 c17 c18 \
c19 c20 c21 c22 c23 c24 c25 c26 c27 c28 c29 c30 c31 c32 c33 c34 c35
.blackbox
.end

```

Пример 1. Выходной файл инструмента ABC в формате blif

Инструмент T-Vpack перепаковывает файл в .blif-формате (LUT-таблицы и D-триггеры) в кластеры логических блоков (типовой размер кластера 2-12 ЛБ; число входов LUT-таблицы 2-7; длина межсоединений 1-8), которые аналогичны кластерам в ПЛИС FLEX8, 10К или кластерам ПЛИС Virtex, и формирует выходной файл в .net формате для VPR (пример 2), который размещает кластеры логических блоков и гетерогенные блоки по кристаллу ПЛИС и организует глобальные и локальные трассировочные ресурсы для меж- и внутрикластерной связи логических блоков наиболее оптимальным образом, с учетом требований, например, к минимальной ширине трассировочного канала, быстродействию, экономии площади кристалла и др. (рис.1.34).

Для размещения функциональных блоков на кристалле ПЛИС применяется алгоритм “имитации отжига”. Процесс “имитации отжига” может быть представлен на основе четырех ключевых компонентов: представления состояния текущего решения, набора перемещений из одного состояния в другое, целевой функции стоимости для оценки каждого состояния, и “схемы охлаждения”, определяющей, как можно перейти от начального поиска к локальной оптимизации. Разводка электрических связей между кластерами осуществляется с учетом задержек распространения сигналов в трассировочных ресурсах ПЛИС.

```
.clb hetero_REGISTER_38_960_out
pinlist: hetero_H_SKEL_14_101_4 iir1_valid_0 n1324 n1325 \
hetero_H_SKEL_14_102_4 hetero_H_SKEL_14_102_5 hetero_REGISTER_38_961_out
\
hetero_H_SKEL_14_102_6 hetero_REGISTER_38_962_out hetero_H_SKEL_14_102_7
\
hetero_REGISTER_38_963_out
hetero_H_SKEL_14_102_8 hetero_REGISTER_38_964_out \
hetero_H_SKEL_14_102_9 hetero_REGISTER_38_965_out open open open open \
open open hetero_REGISTER_38_960_out n1414 n1416 n1420 n1422 n1426 n1428 \
n1432 n1434 n1438 iir1_clk_i_0
subblock: hetero_REGISTER_38_960_out 0 1 2 3 22 32
subblock: n1414 4 5 ble_0 6 23 open
subblock: n1416 4 5 ble_0 6 24 open
subblock: n1420 7 8 ble_1 open 25 open
subblock: n1422 7 8 ble_2 open 26 open
subblock: n1426 9 10 ble_3 open 27 open
subblock: n1428 9 10 ble_4 open 28 open
subblock: n1432 11 12 ble_5 open 29 open
subblock: n1434 11 12 ble_6 open 30 open
subblock: n1438 13 14 ble_7 open 31 open
```

Пример 2. Выходной файл инструмента T-Vracc в формате net

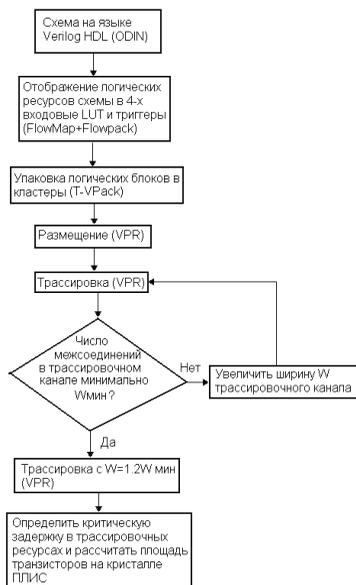


Рис.1.34. Маршрут проектирования ПЛИС типа ППВМ с одноуровневой структурой межсоединений

Для работы этих программ в среде Windows необходимо использовать свободно распространяемую UNIX-подобную среду Cygwin. Cygwin обеспечивает тесную интеграцию Windows приложений, данных и ресурсов с приложениями, данными и ресурсами UNIX-подобной среды. Процесс инсталляции необходимо начать на сайте <http://www.cygwin.com> и загрузить программу setup.exe, далее с помощью этой программы необходимо скачать следующие приложения: GCC, GDB, X Windows (<http://cygwin.com/xfree>) и др. Более подробную информацию можно получить на сайте <http://www.intuit.ru/department/security/issec/5/>.

Ниже показано использование инструментов T-Vpack и VPR для размещения и трассировки тестовой схемы БИХ-фильтра $y[n] = b_{10} * x[n] + b_{11} * x[n-1] + b_{12} * x[n-2] + a_{11} * y[n-1] + a_{12} * y[n-2]$ (<http://opencores.org>) в базис гетерогенных (со

встроенными блоками перемножителей 36x36) ПЛИС типа ППВМ с одноуровневой структурой межсоединений.

Пример использования программных инструментов.

```
../T-VPACK_HET/t-vpack.exe iir1.map4.latren.blif iir1.map4.latren.net  
-inputs_per_cluster 22 -cluster_size 10 -lut_size 4  
../VPR_HET/vpr.exe iir1.map4.latren.net k4-n10.xml place.out route.out
```

Информация об архитектуре ПЛИС содержится в файле k4-n10.xml (пример 3). В этом файле содержится: информация о требуемых размерах кристалла; об сопротивлении и минимальных геометрических размерах n- и p-МОП-ключей; об емкостях входных буферов мультиплексорных структур соединительных блоков, задержках сигналов через эти буферы и мультиплексоры; о типах маршрутизаторах; об соединительных блоках; об сегментации межсоединений в каналах, о типе межсоединений (двунаправленные или однонаправленные) и их сопротивлениях и емкостях; о ширине трассировочного канала ядра и периферийного канала между ядром и блоками ввода/вывода и др.

```
<architecture>  
<layout auto="1.000000" />  
<device>  
<sizing R_minW_nmos="5726.870117" R_minW_pmos="15491.700195"  
ipin_mux_trans_size="1.000000" />  
<timing C_ipin_cblock="1.191000e-14" T_ipin_cblock="1.482000e-10" />  
<area grid_logic_tile_area="30000.000000" />  
< ! Спецификация на трассировочные каналы>  
<Задается ширина периферийного трассировочного канала относительно  
самого широко канала ядра и устанавливается равномерное распределение  
межсоединений в канале>  
<chan_width_distr>  
<io width="1.000000" />  
<x distr="uniform" peak="1.000000" />  
<y distr="uniform" peak="1.000000" />  
</chan_width_distr>  
<switch_block type="wilton" fs="3" />
```

</device>

<! Пример спецификации ключа для однонаправленных межсоединений >

< Задается тип ключа, его имя, сопротивление, входные и выходные емкости, внутренняя задержка ключа, геометрический размер мультиплексора и буфера восстановления уровня в условных единицах площади, привязанных к минимальной ширине (канала) транзистора для получения минимальной площади >

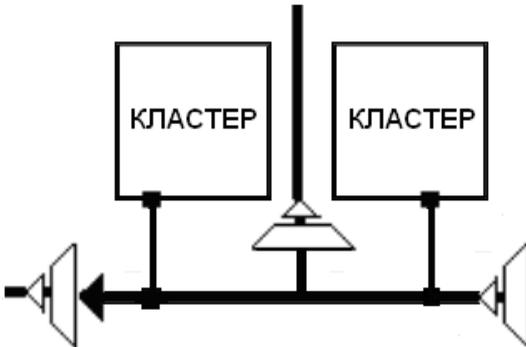
<switchlist>

```
<switch type="mux" name="0" R="94.841003" Cin="1.537000e-14"
Cout="2.194000e-13" Tdel="6.562000e-11" mux_trans_size="10.000000"
buf_size="1" />
```

</switchlist>

<! Пример спецификации на однонаправленные сегментированные межсоединения >

<! Задаются частота сегментации межсоединения в канале, длина сегмента (сколько кластеров проходит межсоединение без сегментации), направление передачи сигнала (однонаправленное или двунаправленное межсоединение), сопротивление и емкость межсоединения, схема депопуляции (удаление) маршрутизаторов на заданную длину сегмента (1 - есть, 0 - нет маршрутизатора), схема депопуляции подключений межсоединений ко входам кластера с помощью соединительных блоков на заданную длину сегмента >



<segmentlist>

```
<segment freq="1.000000" length="2" type="unidir" Rmetal="11.064550"
Cmetal="4.727860e-14">
```

```
<mux name="0" />
```

```
<sb type="pattern">1 1 1</sb>
```

```
<cb type="pattern">1 1</cb>
```

```
</segment>
```

```

</segmentlist>
<! Пример спецификации для блоков ввода/вывода >
<! Задается число блоков ввода/вывода на строку/столбец из кластеров ЛБ,
задержки, коэффициенты объединения по входу/выходу>
<typelist>
<io capacity="3" t_inpad="7.734000e-11" t_outpad="4.395000e-11">
<fc_in type="frac">0.250000</fc_in>
<fc_out type="frac">1.000000</fc_out>
</io>
<! Пример спецификации кластера N=10, K=4, I=22 >
<type name=".clb">
<subblocks max_subblocks="10" max_subblock_inputs="4">
<timing>
<T_comb>
<tr>1.679000e-10</tr>
<tr>1.679000e-10</tr>
<tr>1.679000e-10</tr>
<tr>1.679000e-10</tr>
</T_comb>
<T_seq_in>
<tr>-3.990000e-11</tr>
</T_seq_in>
<T_seq_out>
<tr>1.261000e-10</tr>
</T_seq_out>
</timing>
</subblocks>
<fc_in type="frac">0.250000</fc_in>
<fc_out type="frac">1.000000</fc_out>

```

Пример 3. Фрагмент xml-файла с описанием архитектуры ПЛИС

На рис.1.35 показана гетерогенная архитектура ПЛИС типа ППВМ с одноуровневой структурой межсоединений размером 10x10 кластеров и встроенными блоками перемножителей 36x36 (9 шт) в VPR5.0. Каждый кластер состоит из 10 логических блоков (ЛБ), каждый блок состоит из 4-х входовой LUT-таблицы и триггера. По периферии кристалла располагаются блоки ввода/вывода. В базис ПЛИС размещена тестовая схема БИХ-фильтра. Задействованные

блоки перемножителей для реализации БИХ-фильтра отображены оранжевым цветом. Трассировочные ресурсы ПЛИС не подвергаются оптимизации. На рис.1.36 показаны электрические связи между функциональными блоками ПЛИС.

На рис.1.37 показана архитектура ПЛИС после оптимизации (размещение и трассировка). Зеленым цветом показан выделенный кластер из ЛБ (блок 89 n1071 с координатами (6,8)). Синим цветом – функциональные блоки (1 перемножитель, 3 кластера и 5 блоков ввода/вывода) которые связаны с коэффициентом объединения по входу F_{Cin} (показывается число межсоединений в трассировочном канале, которые могут быть подключены ко входу функционального блока, задается в долях от W) выделенного кластера; красным цветом – блоки которые связаны с коэффициентом разветвления по выходу F_{Cout} выделенного кластера (1 перемножитель, 7 кластеров). На рис.1.38 показана ПЛИС с общими трассировочными ресурсами после размещения и трассировки связей между блоками.

На рис.1.39 показаны общие трассировочные ресурсы, которые заложены в структуру программируемых межсоединений. Выделенный кластер показан ярко зеленым цветом. Темно-зеленым цветом показаны направления соединений межсоединений в маршрутизаторах. Синим цветом (синие линии и квадраты) – подключение трассировочных ресурсов ко входам кластера с помощью соединительных блоков (мультиплексоров). Соединительные блоки подключают входы кластера к трассировочным каналам.

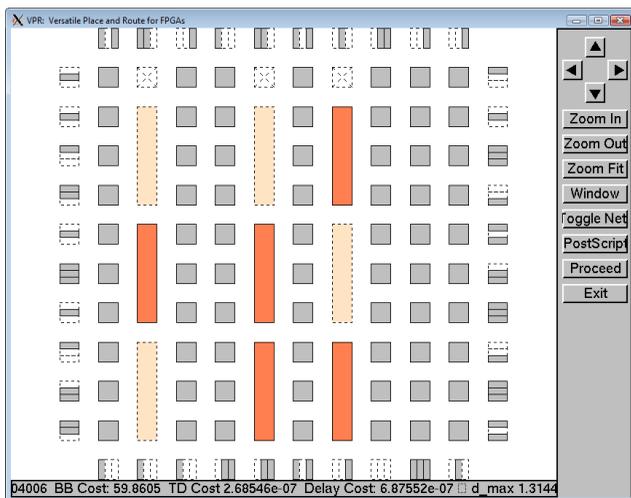


Рис.1.35. Интерфейс инструмента VPR. Гетерогенная архитектура (со встроенными умножителями) ПЛИС с одноуровневой структурой межсоединений (4-х входовая LUT-таблица, размер кластера 10 логических блоков)

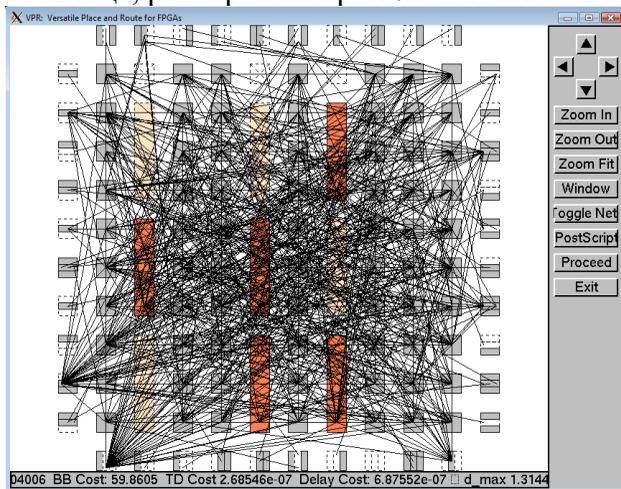


Рис.1.36. Гетерогенная архитектура ПЛИС с одноуровневой структурой межсоединений (4-х входовая LUT-таблица, размер кластера 10 логических блоков) со связями между функциональными блоками

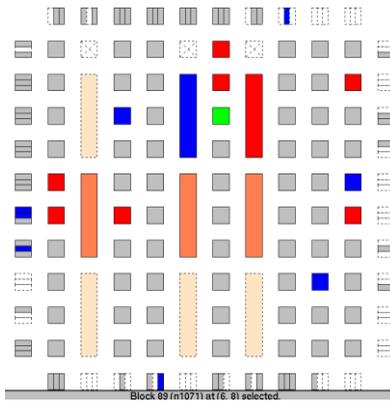


Рис.1.37. Гетерогенная архитектура ПЛИС с одноуровневой структурой межсоединений (4-х входовая LUT-таблица, размер кластера 10 логических блоков) после операций размещения и трассировки

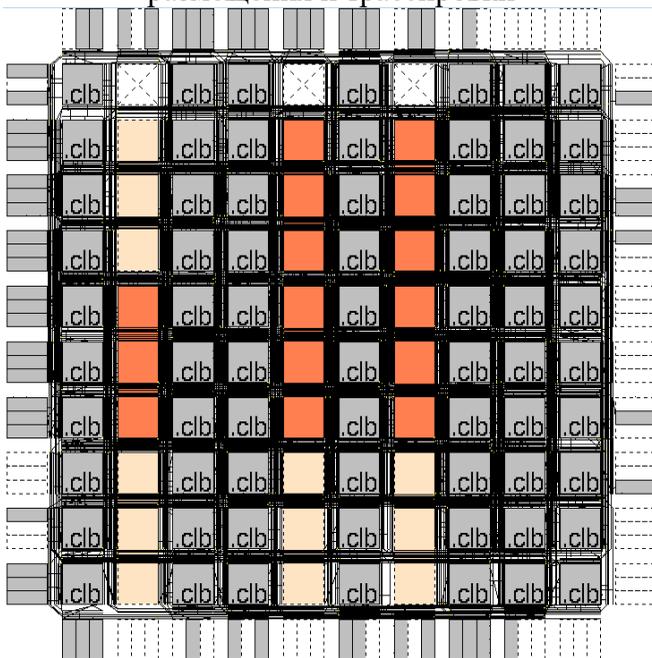


Рис.1.38. Гетерогенная ПЛИС с общими трассировочными ресурсами

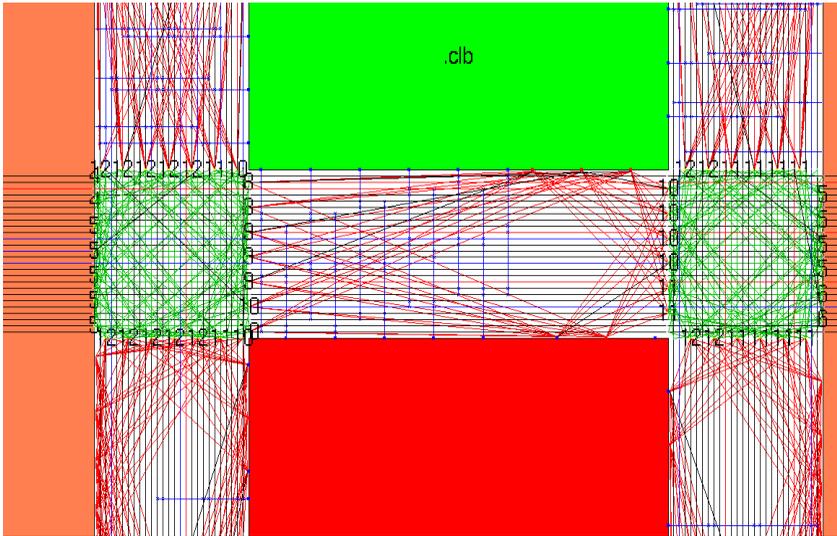


Рис.1.39. Общие трассировочные ресурсы гетерогенной ПЛИС

Выходы кластера по методологии соединений single-driver switch block напрямую подключаются к мультиплексорам маршрутизаторов. Для соединительных блоков (реализуются на мультиплексорах) задается коэффициент разветвления по входу $F_{\text{Cin}} = 0.25$. Для кластеров ядра ПЛИС выходы логических блоков подключаются к 13 мультиплексорам маршрутизаторов находящиеся слева (7 мультиплексоров) и с права (6 мультиплексоров) от выделенного кластера с коэффициент разветвления по выходу $F_{\text{Cout}} = 1$ (рис.1.39).

Красным цветом (красные линии и квадраты) показаны выходы кластера, межсоединения связанные с коэффициентом разветвления по выходу с выделенным кластером и избыточные (неиспользуемые) трассировочные ресурсы.

На рис.1.40 показаны только те трассировочные ресурсы, которые необходимы для реализации БИХ-фильтра в базе гетерогенной ПЛИС. Синие линии (соединительные блоки и каналные трассировочные ресурсы) связаны с коэффициентом объединения по входу (синие крестики), а

красные линии и красные квадраты (выходы кластера) связаны с коэффициентом разветвления по выходу. Выходы кластера подключаются к трассировочным ресурсам с помощью буферов с третьим состоянием (тристабильная логика). На рис.1.40 связь красных квадратов (выходов) и красных линий (канальные трассировочные ресурсы) осуществляется черными линиями и черными треугольниками (буферы). Черным цветом показаны входы/выходы кластеров не связанные с выделенным кластером, так же этим цветом показываются канальные трассировочные ресурсы и различные межсоединения (в маршрутизаторах и в соединительных блоках) относящиеся к задаче размещения БИХ-фильтра в базис ПЛИС.

Горизонтальный и вертикальный трассировочный канал состоит из 26 однонаправленных межсоединений, т.е. ширина канала $W=26$ (рис.1.41). Канал разделяет коммутатор-маршрутизатор типа Wilton с коэффициентом разветвления $F_s = 3$, который обладает лучшей разводимостью (большее число путей маршрутизации в пределах заданного направления) и позволяет организовать длинные межсоединения. VPR 5.0 позволяет использовать 3 типа маршрутизаторов: subset, wilton, universal.

Треугольники (серые и черные) по периферии маршрутизатора показывают направление передачи сигналов по межсоединениям. Серые треугольники по периферии маршрутизатора указывают на то, что пара разнонаправленных межсоединений проходит через маршрутизатор непрерывно (без использования ключей в горизонтальном или вертикальном направлениях). В рассматриваемом примере, в каналах, межсоединения непрерывно проходят через 2 кластера, в этом случае $L = 2$.

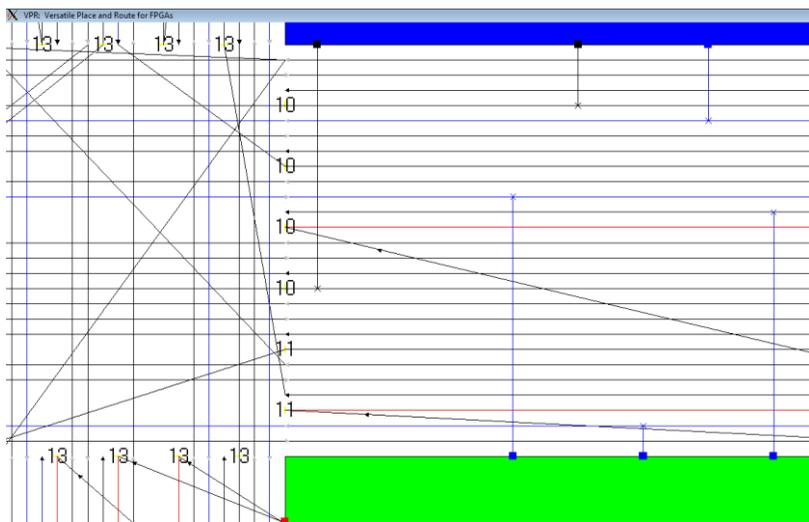


Рис. 1.40. Фрагмент коммутатора-маршрутизатора (левый верхний от блока 89) типа Wilton, горизонтальный трассировочный канал из однонаправленных сегментов и трассировочные ресурсы задействованные для реализации БИХ-фильтра в базисе ПЛИС

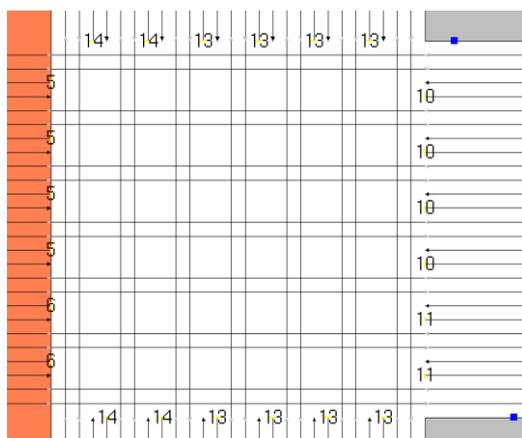
Желтой черточкой и черной стрелкой показаны места сегментации пары разнонаправленных межсоединений на периферии маршрутизатора. В позиции желтых черточек осуществляется подключение выходов соседних кластеров и выходов гетерогенных блоков (перемножителей). Цифрами обозначена разрядность мультиплексов. Например, цифра 13, это мультиплексор 13 в 1 (рис.1.41).

Рассмотрим вертикальный трассировочный канал и левый верхний маршрутизатор от блока 89, находящиеся в ядре кристалла (рис.1.41, а). С каждой стороны маршрутизатора имеется 13 входящих межсоединений, из них 7 входящих непрерывных (серые треугольники, обращенные острием в маршрутизатор) и 6 входящих сегментированных межсоединений (черные треугольники, обращенные острием в маршрутизатор) и 13 исходящих межсоединений: 7 исходящих

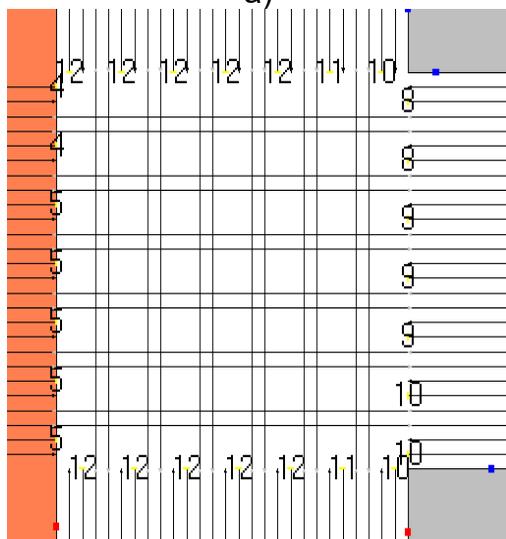
непрерывных (серые треугольники, обращенные острием от маршрутизатора) и 6 исходящих сегментированных (желтые черточки).

Все входящие соединения имеют коэффициент разветвления $F_s = 3$, т.е. входящие межсоединение в маршрутизаторе разветвляется на 3 направления, однако, в случае сегментированных входящих соединений в каждом из направлений имеется буферизованный ключ, а в случае входящих несегментированных межсоединений, горизонтальные или вертикальные направления несегментированы ключами (рис.1.41, б). В левом нижнем маршрутизаторе ситуация меняется на противоположную. С каждой стороны маршрутизатора имеется 13 входящих межсоединений, из них 6 входящих непрерывных и 7 входящих сегментированных межсоединений и 13 исходящих межсоединений: 6 исходящих непрерывных и 7 исходящих сегментированных. Таким образом в первом случае с каждой стороны по 6 а во втором по 7 мультиплексов по методологии single-driver.

Рассмотрим коммутаторы-маршрутизаторы располагающиеся на периферийных трассировочных каналах ПЛИС. На рис.1.42, а показан коммутатор-маршрутизатор, расположенный в центре периферийного вертикального трассировочного канала. Слева кластеры логических блоков, а справа блоки ввода/вывода. В 13 мультиплексов небольшой разрядности (4 и 5) левой стороны маршрутизатора осуществляется подключение выходов кластеров и блоков ввода/вывода. На рис.1.42, б показан коммутатор-маршрутизатор в углах пересечения горизонтального и вертикального периферийного трассировочных каналов.



а)



б)

Рис.1.41. Коммутатор-маршрутизатор (расположен в центре ядра кристалла ПЛИС) построенный по методологии single-driver: а) -левый верхний от блока 89 (6 мультиплексоров с каждой стороны); б) - левый нижний от блока 89 (7 мультиплексоров с каждой стороны)

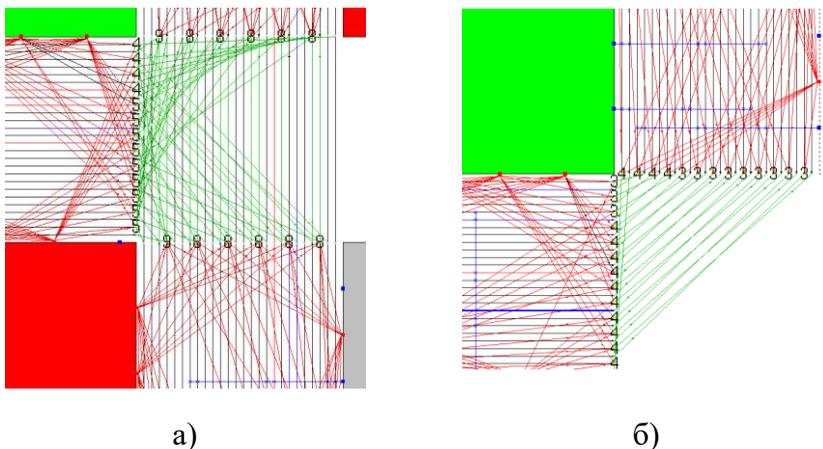


Рис.1.42. Коммутатор-маршрутизатор с общими трассировочными ресурсами: а) – расположен в центре периферийного вертикального трассировочного канала; б) – на пересечении горизонтального и вертикального периферийного трассировочного канала

Ведущие мировые дизайн-центры (более 200) и учебные образовательные центры (более 1000) широко используются программные инструменты T-Vpack и VPR как для проектирования, так и для исследования новых архитектур ПЛИС типа ППВМ.

В настоящее время разработчики как коммерческих, так и академических ПЛИС пришли к выводу о целесообразности использования однонаправленных сегментированных межсоединений различной длины в трассировочных каналах и использования мультиплексорных структур в соединительных блоках и коммутаторах-маршрутизаторах, что позволяет получать существенный выигрыш по быстродействию и по площади кристалла.

2. ТРЕХМЕРНЫЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ 3D БИС

2.1. Проблемы, связанные с проектированием БИС по субмикронным проектным нормам, и методы их решения

С наступлением эры субмикронных технологий БИС стали работать на высоких частотах, потреблять больший ток и мощность при меньших напряжениях питания. Обострились паразитные эффекты (паразитная емкость связи между проводниками, приводящая к перекрестным искажениям, электромиграция, времязависимый пробой подзатворных оксидов, паразитное падение напряжения в цепях питания и заземления, паразитные индуктивные эффекты), которые не учитывались при конструировании БИС предыдущего поколения. В субмикронных условиях проблема взаимосвязи таких параметров, как скорость, потребляемая мощность, целостность сигналов и надежность стала столь же актуальной, как и проблема снижения площади кристалла для БИС предыдущего поколения.

Это привело к более яркому проявлению эффекта паразитной емкостной связи (рис.2.1). Кроме того, масса других паразитных эффектов, которые можно было не учитывать в проектах предыдущего поколения, стали ключевыми факторами для обеспечения правильного функционирования и высокой производительности новых БИС повышенной плотности. Например, для субмикронных БИС характерны такие паразитные эффекты, как, например, преобладание задержек распространения сигналов по токопроводящим дорожкам над задержками распространения сигналов в вентилях из-за наличия собственных сопротивлений и емкостей (RC-характеристики).

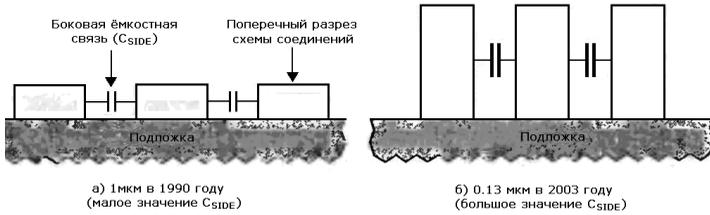


Рис.2.1. Увеличение боковой емкости с уменьшением размеров токопроводящих дорожек субмикронных БИС

Уменьшение геометрических проектных норм привело к значительному увеличению емкости C_{SIDE} между боковыми стенками соседних дорожек (емкость боковой связи) по сравнению с емкостью между основанием проводника и подложкой кристалла C_{AREA} и емкостью между боковой стенкой проводника и подложкой C_{FRINGE} . Более того, для БИС с 6 и более слоями металлизации характерно появление существенной по величине емкостной связи между соседними слоями C_{CROSS} (рис.2.2).

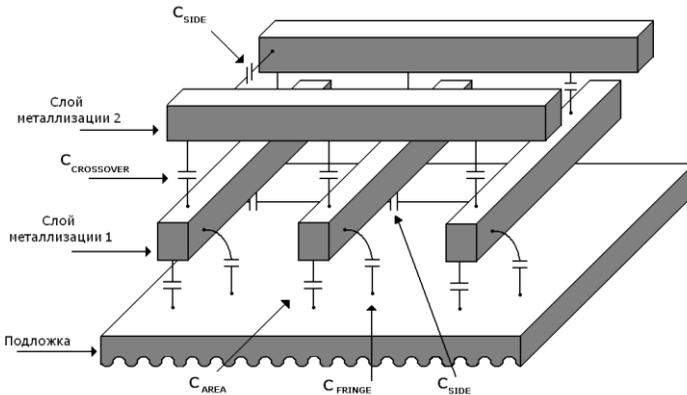


Рис.2.2. Емкостные явления, связанные с внутренними проводниками БИС

Мерой оценки эффекта перекрёстных искажений является отношение ёмкости боковой связи, возникающей между проводниками, расположенными на одном слое C_{SIDE} , к ёмкости межслойной связи C_{CROSS} , возникающей между проводниками, расположенными на разных слоях. Эффект взаимосвязи становится более видным, поскольку развитие технологии приводит к использованию геометрических объектов меньшего размера. Согласно докладам, представляемым на регулярно проходящей международной конференции International Technology Roadmap for Semiconductors, ёмкость боковых связей для технологий 1999 года превышала ёмкость межслойных связей почти в три раза, а к 2006 году это соотношение достигло пяти (рис.2.3).

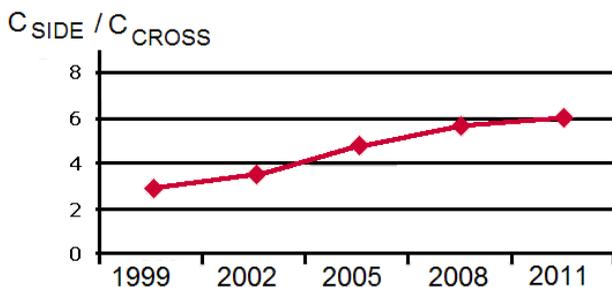


Рис.2.3. Рост отношения ёмкости боковой связи, возникающей между проводниками, расположенными на одном слое C_{SIDE} , к ёмкости межслойной связи C_{CROSS} в субмикронных БИС

На рис.2.4 представлена современная КМОП-структура с двумя n- и p-карманами по 0.18 мкм проектным нормам с одним уровнем поликремния и шестью уровнями алюминиевой металлизации (AlCu (0.5 % Cu) с подслоем Ti) и напряжением питания ядра 1.8 В кремниевой фабрики X-FAB Semiconductor Foundries работающей в режиме “foundry”. XFAB Semiconductor Foundries AG (Германия) - ведущая группа предприятий полупроводникового производства

специализирующаяся на выпуске кристаллов смешанных аналого-цифровых БИС по субмикронным проектным нормам (табл.2.1).

В технологическом маршруте используются поликремниевые затворы и глубокая изоляция канавками. В n -кармане формируются p -МОПТ, а в p -кармане – n -МОПТ. По КТТ минимальная длина n - и p -МОПТ с индуцированными каналами составляет 0.18 $\mu\text{м}$, а минимальная ширина 0.22 $\mu\text{м}$.

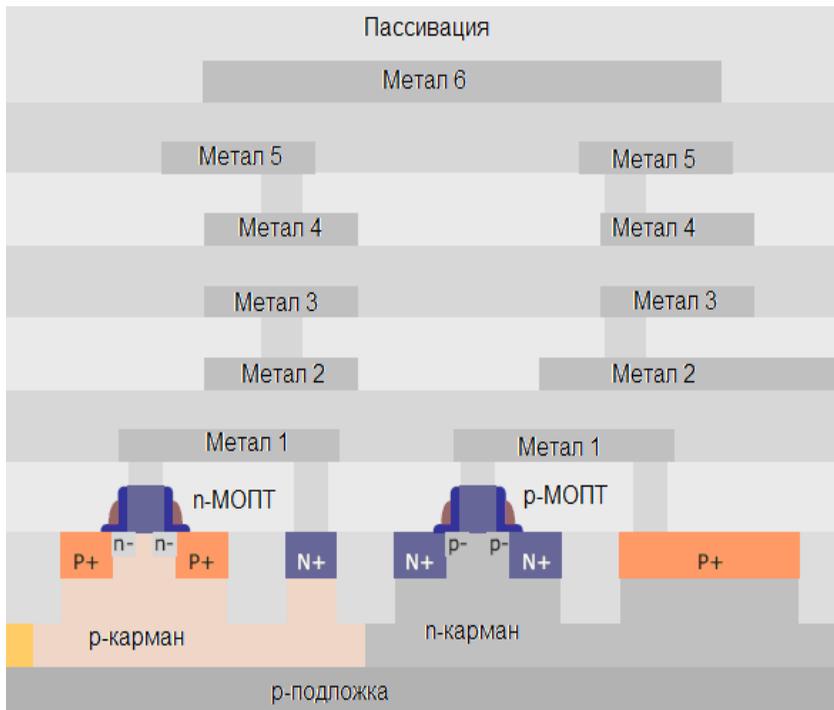


Рис.2.4. Сечение КМОП структуры с двумя карманами n - и p -типа проводимости в p -подложке

Таблица 2.1

Конструктивно-технологические требования кремниевой фабрики XFAV в КМОП-технологическом процессе XC018

| Топологический слой | Технология 0.18 мкм | | |
|---------------------|---------------------------|----------------------------|--------------------------------|
| | Ширина проводника, мкм | Толщина проводника, мкм | Минимальное расстояние, мкм |
| Металл1 | 0.23 | 0.17 | 0.23 |
| Металл2 | 0.28 | 0.22 | 0.28 |
| Металл3 | 0.28 | 0.25 | 0.28 |
| Металл4 | 0.28 | 0.25 | 0.28 |
| Металл5 | 0.28 | 0.25 | 0.28 |
| Металл6 | 0.44 | 0.35 | 0.46 |

Сопротивление токопроводящей дорожки определяется по формуле:

$$R = \frac{rl}{S} = \frac{rL}{HW} = \rho \frac{L}{W},$$

где r – удельное сопротивление, при $20\text{ }^{\circ}\text{C}$ для Al-металлизации $r = 2.7 * 10^8 \text{ Ом*м}$; H – константа технологии (толщина проводника); ρ – удельное поверхностное сопротивление, Ом/квadrat .

Согласно упрощенным представлениям, для субмикронных БИС, модель емкости токопроводящих дорожек складывается из емкости параллельных пластинок (относительно нижележащих токопроводящих дорожек или относительно земли) и краевой емкости (рис.2.5). Сосредоточенная емкость проводника определяется по следующей формуле: $C_i = \frac{\epsilon_{ox}}{t_{ox}} WL$, где W – ширина; L – длина проводника; t_{ox} – толщина окисла (межслойного диэлектрика). Из формулы следует, что емкость прямопропорциональна перекрытию проводников и обратно пропорциональна

расстоянию между ними. В субмикронных БИС отношение $W/H < 1$ поэтому модель параллельных пластинок становится не точной и емкость между боковыми стенками токопроводящих дорожек и подложкой (краевая емкость) уже нельзя игнорировать.

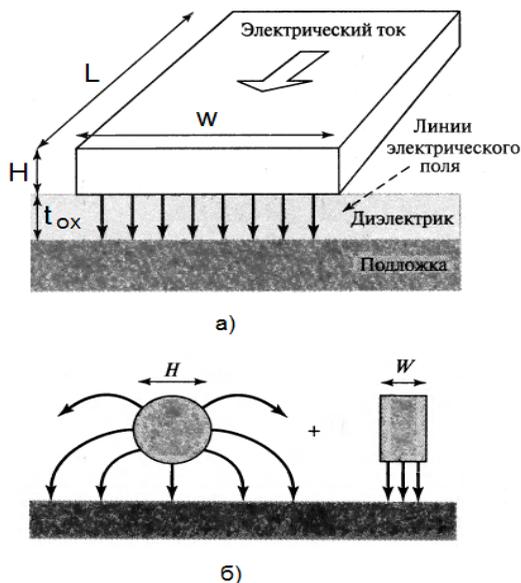


Рис.2.5. Токопроводящая дорожка (а) и модель емкости токопроводящей дорожки: емкость параллельных пластинок и краевая емкость, моделируемая цилиндрическим проводником, диаметр которого равен толщине дорожки

Для расчета паразитной емкости прямоугольных токопроводящих дорожек в субмикронных БИС используют следующую аппроксимацию:

$$C_{wire} = C_s + C_p = \frac{w\epsilon_{ox}}{t_{ox}} + 2 \frac{\pi\epsilon_{ox}}{\log(t_{ox}/H)},$$

где C_s – удельная поверхностная емкость проводника на единицу длины и пластиной заземления; C_p – краевая емкость; $w = W - H/2$.

На практике используют более простую формулу для вычисления емкости токопроводящей дорожки:

$$C = C_s + C_p = (\sigma_s \cdot l \cdot w) + 2 \cdot l \cdot \sigma_{p66},$$

где σ_s – удельная поверхностная ёмкость с нижележащим металлом, аФ/мкм²; σ_{p66} – краевая емкость или емкость периметра. Множитель 2 в формуле учитывает две стороны токопроводящей дорожки при расчете краевой емкости, а ее толщиной пренебрегают. Удельные и краевые емкости берутся из технологических файлов кремниевых фабрик. Если рассматриваемая токопроводящая дорожка находится в двух верхних слоях металлизации, например, в шестом и пятом слое металлизации, то:

$$C = C_s + C_p = (\sigma_s \cdot l \cdot w) + 2 \cdot l \cdot \sigma_{p66} + 2 \cdot l \cdot \sigma_{p65}.$$

Если перекрытие по площади с нижележащим металлом составляет от 10 до 50 %, то это учитывается коэффициентом в емкости параллельных пластинок:

$$C = 0.5 \cdot C_s + C_p.$$

Если расстояние между проводниками 2 мкм, а минимальное расстояние по КТТ 0.46 мкм, то влияние краевой емкости ослабляется в 4.35 раза:

$$C = 0.5 \cdot C_s + C_p / 4.35.$$

Рассмотрим пример, алюминиевая токопроводящая дорожка длиной 10 см и шириной 1 мкм располагается на кристалле размером порядка 1-2 см. Например, для 6 слоя AlCu-металлизации $\sigma_s = 34$ аФ/мкм²; краевая емкость $\sigma_{p66} = 116$, аФ/мкм. Общая емкость составит:

$$\begin{aligned} C = C_s + C_p &= 34 \text{ аФ/мкм}^2 * 0.1 * 10^6 \text{ мкм}^2 + 2 * 0.1 * 10^6 \text{ мкм} * 116 \text{ аФ/мкм} = \\ &= 3.4 \text{ пФ} + 23.2 \text{ пФ} = 26.6 \text{ пФ} \end{aligned}$$

Из расчета следует, что краевой емкостью в субмикронных БИС пренебрегать нельзя.

При увеличении длины шин синхронизации, паразитная емкость может вносить существенный вклад в перекокс

значений времен t_{LH} и t_{HL} . Рассчитаем задержку распространения тактового сигнала в RC-цепи первого порядка. Предположим, что паразитная емкость RC-цепи C заряжена до уровня напряжения питания U_{CC} , а на входе цепи действует перепад напряжения от U_{CC} до 0, то переходной процесс разряда в емкости описывается экспоненциальной функцией вида ($\tau = RC$):

$$U_{\text{вых}} = U_{CC} e^{-t_{HL}/RC}, \quad t_{HL} = -RC \ln \frac{U_{\text{вых}}}{U_{CC}} = -0.69\tau.$$

Для шины синхронизации, между двумя блоками, при $U_{\text{вых}} = U_{CC}/2$, с параметрами RC-цепи $R = 216$ Ом, $C = 1904$ фФ задержка времени спада фронта синхросигнала t_{HL} составляет 0.29 нс.

Аналогично рассчитывается время нарастания фронта сигнала, когда на входе действует перепад напряжения с 0 до U_{CC} , а паразитная емкость разряжена до напряжения нуля:

$$U_{\text{вых}} = U_{CC} (1 - e^{-t_{LH}/RC}), \quad t_{LH} = -RC \ln \frac{U_{CC} - U_{\text{вых}}}{U_{CC}} = 0.69\tau.$$

Технология ученых из NIST является вариантом технологии, известной, как «дамасская металлизация», которая часто используется для изготовления сложной трехмерной разводки в БИС, системы соединения электрических элементов в многослойных структурах.

Технология, названная по имени известной древней арабской технологии изготовления высокоуглеродистой стали для клинков, предполагает вытравливание на поверхности подложки горизонтальных бороздок и вертикальных перемычек, которые затем заполняются медью методом гальванопластики. Размеры бороздок могут колебаться от десятков нанометров до сотен микронов. После заполнения подложка полируется для удаления излишков меди.

Основным достоинством метода дамаской металлизации является то, что металл полностью заполняет бороздки, не оставляя пустот. Для этого в электролит добавляется вещество, которое препятствует слишком быстрому оседанию молекул металла на стенках бороздок. Однако картина нанесения становится иной, когда наносится не медь, а магнитный материал. Ученым из NIST удалось оптимизировать эту технологию для создания ферромагнитных наноструктур. С помощью данной технологии станет возможным изготовление сложных микроэлектромеханических устройств, в которых для соединения магнитных материалов с немагнитными компонентами могут использоваться широко распространенные в электротехнике методы.

Внутренними называются задержки, которые свойственны внутренней архитектуре логических функций. Под внешними задержками подразумевают задержки, относящиеся к межблочным соединениям внутри кристалла БИС. В БИС предыдущего поколения внутренние задержки преобладали над внешними. Например, в 2 мкм технологии внутренние задержки составляли величину порядка двух третей от общей задержки (рис.2.6). Но с уменьшением технологических проектных норм внешняя задержка стала расти и приобрела доминирующее влияние (рис.2.6). При переходе на новые технологические поколения рост доли внешних задержек сохранится и в современных БИС по субмикронным и нанометровым проектным нормам доля внешних задержек может составлять до 80 % и более от величины общей задержки.

Задержки типа вывод-вывод и точка-точка являются современными названиями внутренних и внешних задержек соответственно. Задержка вывод-вывод характеризует собой время от прихода воздействия на вход вентиля до появления соответствующей реакции на его выходе, а точка-точка описывает время распространения сигнала между выходом источника сигнала и входом нагрузки (рис.2.7).

Задержка вывод-вывод обычно равна времени от момента достижения входным сигналом порога срабатывания до начала соответствующей реакции (отклика) на выходе вентиля, а задержка точка-точка определяется от начала соответствующей посылки источника сигнала до достижения ею порога срабатывания нагрузки.



Рис.2.6. Внутренние и внешние задержки в БИС различного технологического поколения

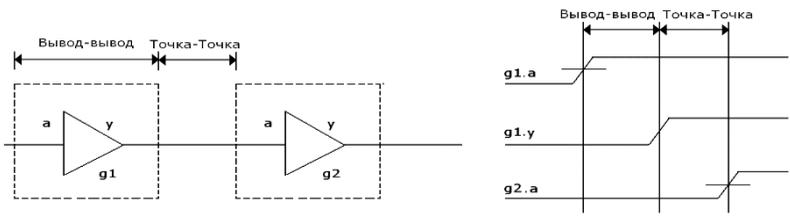


Рис.2.7. Задержки вывод-вывод и точка-точка в БИС

Для упрощения расчетов задержек вывод-вывод будем считать, что отсчитываются они от времени, когда входной сигнал достигает уровня 50 % от разницы между 0 и 1, исходя из предположения, что порог срабатывания у вентиля составляет 50 % (рис.2.8).

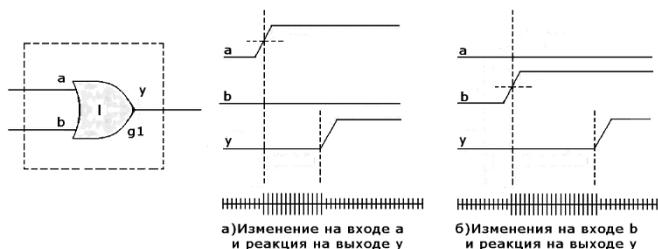


Рис.2.8. Зависимость задержки вывод-вывод от пути прохождения сигнала

Данный пример показывает, что в современных субмикронных БИС каждый путь прохождения сигнала от входа до выхода характеризуется своим значением задержки вывод-вывод.

Крутизна (наклон) импульса синхронизации представляет скорость изменения сигнала при его переходе с логического 0 на уровень логической 1 и наоборот (рис.2.9). При мгновенном переходе обеспечивается максимально возможное значение крутизны.

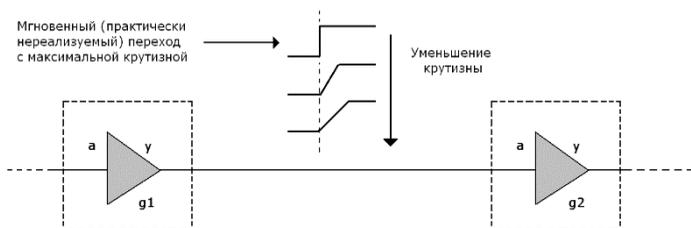


Рис.2.9. Крутизна сигнала характеризует время, необходимое для перехода сигнала с уровня на уровень

В субмикронных БИС и ПЛИС фронт сигнала с большой крутизной может вызвать быстроменяющийся отклик на выходе (рис.2.10, а), а фронт сигнала с малой крутизной может привести к появлению медленноменяющегося выходного сигнала (рис.2.10, б).

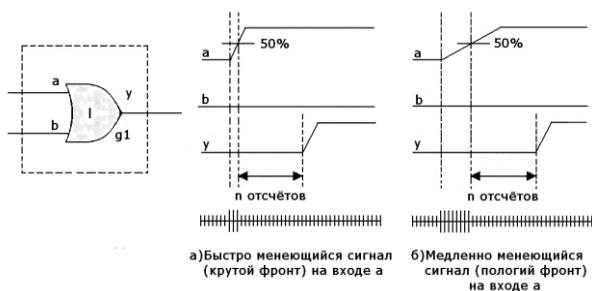


Рис.2.10. Зависимость выходной характеристики вентиля от крутизны входного сигнала

Уменьшение размеров (идеальное масштабирование, $\alpha > 1$) при постоянном электрическом поле в канале МОПТ приводит не только к уменьшению мощности рассеяния, площади вентиля и времени задержки, но и к ухудшению, например, плотности тока через соединительную дорожку, и контакт при масштабировании возрастают в α^2 раз, возрастает также и сопротивление соединений при уменьшении размеров.

Чтобы оказать противодействие паразитным явлениям при уменьшении размеров элементов на кристалле, напряжения питания КМОП БИС не снижались в строгом соответствии с законом масштабирования при постоянном электрическом поле. Однако сильные электрические поля, возникающие при уменьшении размеров МОПТ, при сохранении питающего напряжения приводят к появлению горячих носителей (Hot Carrier Injection, HCI). Эти горячие носители могут вызвать проблемы, связанные с необходимостью обеспечения надежности в течение длительной работы. В соответствии с принципами масштабирования КМОП ИС толщина подзатворного оксида T_{ox} непрерывно уменьшается. Для технологического поколения 0.05-0.25 мкм напряженность электрического поля в оксиде не превышает 5 МВ/см. Практически допустимая минимальная толщина термического оксида составляет 3.5 нм,

при этом плотность дефектов достигает уровня 0.5 см^{-2} при напряженности поля в оксиде $E_{ox} = 7.5 \text{ МВ/см}$.

Для субмикронных КМОП БИС характерны: сдвиг во времени порогового напряжения ΔV_t , деградация крутизны Δg_m , деградация тока стока $\Delta I_c / I_c$, лавинный пробой между истоком и стоком, наличие туннельной компоненты тока утечки стокового перехода при высокой напряженности вертикального электрического поля в области перекрытия стока затвором (GIDL-эффект) и др.

Снижение напряжения питания V_{DD} в значительной степени уменьшает влияние эффекта горячих носителей на долговременную стабильность параметров КМОП БИС. Величина максимального напряжения питания, при котором напряженность продольного электрического поля вблизи стока не превышает критической величины E_{cr} , снижающей срок службы прибора ниже 10 лет, дается соотношением:

$$V_{DD} = V_{CInac}(L_{eff}) + E_{cr}(0.2T_{OX}^{1/3} X_j^{1/2} + l_{LDD}),$$

где V_{CInac} – напряжение насыщения стока; L_{eff} – эффективная длина канала; l_{LDD} – эффективная длина LDD-области (слаболегированные области стока); X_j – глубина залегания $p-n$ -перехода. При уменьшении L_{eff} в 2 раза напряжение насыщения стока может быть снижено не более чем на 0,5 В, следовательно, V_{DD} также будет снижено на 0,5 В. Наличие LDD-области дает возможность увеличить напряжение питания на 30 % и более, т.е. на величину $E_{cr}l_{LDD}$. Допустимая с точки зрения надежности (обусловленной горячими носителями) величина E_{cr} составляет $3 \cdot 10^5 \text{ В/см}$.

Установлено, что использование LLD-областей для субмикронных КМОП БИС позволяет: ослабить чувствительность порогового напряжения V_t к эффективной

длине канала L_{eff} ; ослабить величину DIBL-эффекта, характеризующего значение сдвига порогового напряжения ΔV_t , вызываемого большим напряжением на стоке V_C ; подавить GIDL-эффект; увеличить напряжение питания V_{DD} для обеспечения высокого быстродействия БИС.

Сквозной маршрут проектирования БИС с учетом надежности требует разрушения барьеров между уровнями проектирования: логическим проектированием, синтезом, физическим проектированием и физической верификацией. Вариант размещения топологических ячеек, явившийся результатом учёта одной проблемы (например, нарушений, выявляемых при временном анализе), может обострить и другую (например, вывести за пределы допустимых отклонений параметры целостности сигналов). Большая точность любого отдельно взятого анализа не может быть достигнута за счёт ухудшения других аспектов всего проекта. Каждый инструмент проектирования должен быть снабжён определёнными данными от других инструментов, чтобы хорошо выполнять свою задачу, не нарушая других критериев. И в то же время эти инструменты должны обеспечивать соответствующий уровень обмена данными друг с другом без повторного проведения вычислений и генерации данных.

Например, анализ эффектов электромиграции на постологическом этапе проектирования является в субмикронных БИС запоздалым. Электромиграция традиционно рассматривалась как проблема ИС с широкими шинами питания и решалась на заключительных этапах проектирования. В современных БИС обострилась проблема электромиграции, связанная с повышенной плотностью тока в сигнальных цепях и цепях синхронизации и межслойных соединений. Экспертиза схемы и ее топологической реализации увеличивает время цикла проектирования. Увеличение ширины проводников в случае выявленных проблем может быть просто невозможным, а это означает возвращение на этап разработки

топологии, переработку с учетом результатов, полученных в предыдущем цикле проектирования. Наилучшим решением проблем электромиграции является определение правильной ширины проводников в процессе их размещения. В субмикронных БИС необходим учет тепловых эффектов, связанных с электромиграцией, известных как эффекты саморазогрева, особенно в цепях сигналов и синхронизации.

Проблемы, связанные с целостностью сигналов, также необходимо решать до топологического проектирования или во время трассировки и размещения. Целостность сигналов охватывает физические эффекты, проявляющиеся при проектировании БИС и приводящие к неправильному функционированию. Наиболее заметным является эффект паразитной емкостной связи между проводниками, приводящий к возникновению в них перекрестных искажений. Эти эффекты почти не проявлялись при использовании технологии с шириной проводников 0.5 мкм и больше. По мере повышения плотности схем и перехода к глубоким субмикронным проектным нормам емкостная связь начинает расти вследствие сближения проводников и роста их относительной толщины.

В САПР БИС используются дополнительные программные модули, позволяющие решать проблемы питания, целостности сигналов, электромагнитной интерференции, электромиграции металла, долговечности оксидов и т.д. Сквозной маршрут проектирования БИС с учетом надежности поддерживают САПР фирм Cadence Design System, Synopsys, Mentor Graphics, Avante! (Compass Design Automation).

Экспериментальную интенсивность отказов БИС и ПЛИС ведущие фирмы-изготовители (например, Siemens AG, Analog Devices (ADI), Atmel, Xilinx, Altera, QuickLogic, Actel) рекомендуют оценивать по результатам ЭТТ (предпочтительно,

динамической) по формуле:
$$\lambda = \frac{\chi^2(P^*, m)}{2N\Delta t K_y} * 10^9 = \frac{U}{N\Delta t K_y} * 10^9,$$

$$U = \frac{\chi^2(P^*, m)}{2},$$
 где χ^2 – распределение хи-квадрат (табулированная величина, зависящая от доверительной вероятности и числа отказов); P^* – доверительная вероятность (обычно выбирается из диапазона 0,5-0,95), связанная с уровнем значимости CL соотношением $P^* = 1 - \frac{CL \%}{100}$; $m = (2n + 2)$ – число степеней свободы, где n – количество отказавших ИС; N – общее число испытуемых ИС; K_y – обобщенный коэффициент ускорения; Δt – время испытаний; $N\Delta t K_y$ – приведенное полное время испытаний или эквивалентные приборо-часы (в зарубежной литературе принята аббревиатура EDH Equivalent Device Hours). Использование этой формулы предполагает рассмотрение величины U как случайной величины, распределенной по закону χ^2 . Табл.2.2 показывает результаты испытаний ПЛИС фирмы Altera по методике HTOL ($V_{CC}+20\%$, 1000 ч, температура испытаний: минимально 125 °C, максимально 140 °C).

Таблица 2.2

Результаты испытаний ПЛИС фирмы Altera (методика HTOL, MIL-STD-883)

| Семейство ПЛИС | Проектные нормы, мкм, технология | Напряжение питания при испытаниях, V_{CC} , В | Интенсивность отказов λ , ФИТ |
|----------------------|--|---|---------------------------------------|
| FLEX8000, FLEX10K | 0.5/0.42 3 слоя мет., по техн. СОЗУ | 6.0+20 % | 35.1 |

| | | | |
|----------------------------|---|----------------------|------|
| FLEX10KA, FLEX6000A | 0.3/0.35 4 слоя мет., по техн. СОЗУ | 4.0+20 % | 48.3 |
| FLEX10KB,10KE, APEX20K | 0.22 5 слоев мет., по техн. СОЗУ | 3.01+20 % | 24 |
| APEX20KE | 0.18 до 8 слоев мет., по техн. СОЗУ | 2.3+25 % | 56.3 |
| APEX20KC, APEXII | 0.15 до 8 слоев Cu-мет. | 2.3+25 % 1.8+20 % | 85.9 |
| CPLD / MAX3000A | 0.35 4 слоя мет. по техн. ЭСПЗУ | 4.0+20 % | 25.8 |
| CPLD / MAX7000B | 0.22 5 слоев мет. по техн. ЭСПЗУ | 3.0+20 % | 30 |
| Стандартное (EP910,610) | по техн. СПЗУ УФ | 6.0+20 % | 26.8 |

По результатам тестирования среднее время наработки на отказ составляет для СБИС семейств FLEX приблизительно 5000 лет, а для семейств MAX — 3000 лет, причем для последних почти половина отказов связана с потерей заряда в элементах памяти, в конфигурирующих электрически стираемых перепрограммируемых ПЗУ (ЭСПЗУ, EEPROM)-транзисторов.

2.2. Стековые 3D БИС

Увеличение плотности трехмерных ИС (3D ИС), которое становится возможным благодаря вертикальному размещению элементов, будет способствовать многократному сокращению затрат на производство ИС по сравнению с традиционными 2D ИС при той же технологии производства. 3D ИС могут масштабироваться с той же скоростью, какую предусматривает закон Мура, тем самым давая потребителям возможность со временем использовать все преимущества трехмерной технологии (рис.2.11).



Рис.2.11. Возможности масштабирования в соответствии с законом Мура для 2D и 3D ИС

Еще одна выгода от использования трехмерных ИС по субмикронным технологиям - уменьшение общей длины межсоединений на кристалле, что положительно сказывается на задержках распространения сигналов. Рис.2.12 показывает, что при переходе на новые технологические поколения задержки сигналов в межсоединениях 2D БИС неуклонно увеличиваются, а задержки в вентилях (логических элементах) уменьшаются. Задержки в вентилях для субмикронных БИС лежат в диапазоне единиц пикосекунд.

Первые 3D ИС собирались по идеологии PoP (Package on Package – корпус на корпусе или укладка в трехмерную сборку корпусированных ИС с использованием межсоединений и коммутационных слоев, размещенных на самих корпусах). Позднее операция монтажа кристаллов друг на друга с последующей упаковкой в единый корпус («stacked die», 3D-SIC, 3D stacked IC, штабелированные/стекированные трехмерные ИС) и последующего межсоединения методом разварки проволочных выводов получила более широкое распространение (рис.2.13 – рис.2.15).

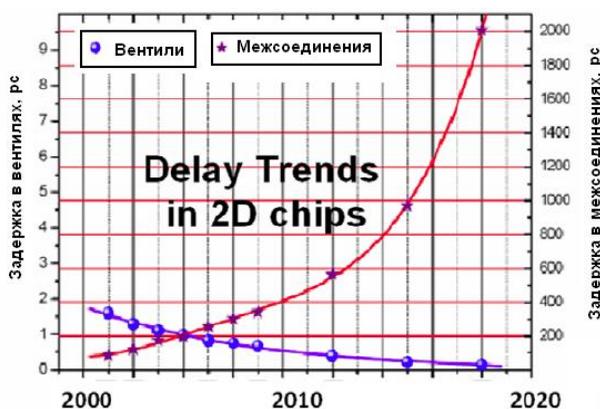


Рис.2.12. Задержки в вентилях и межсоединениях 2D БИС

МСМ ИС (многокристальный модуль на гибком полиимидном основании, МКМ 3D) появились в 1980 г. и характеризовались длинными межсоединениями между кристаллами, такими как цифровая логика и память. Наибольшая длина межсоединений достигала 10 мм. Использование стековых структур позволило уменьшить длину межсоединений до 70 мкм.

Так, на базе кристаллов 1537РУ30 (память 256 Кбит – разработка ОАО "НИИМЭ и завод "Микрон") спроектированы и изготовлены многокристальные модули памяти 1 Мбит в 3D-исполнении. На основе кристаллов 1645РУ1У (память 1 Мбит –

разработка ЗАО "НПЦ Миландр") спроектированы и изготовлены МКМ памяти 4 Мбит. При проектировании использовались пакеты DxDesigner, Expedition PCB и HyperLynx САПР Mentor Graphics.



Рис.2.13. Стековые (stacked die) 3D БИС по технологии Non TSV с разваркой выводов и последующей упаковкой в единый BGA-корпус

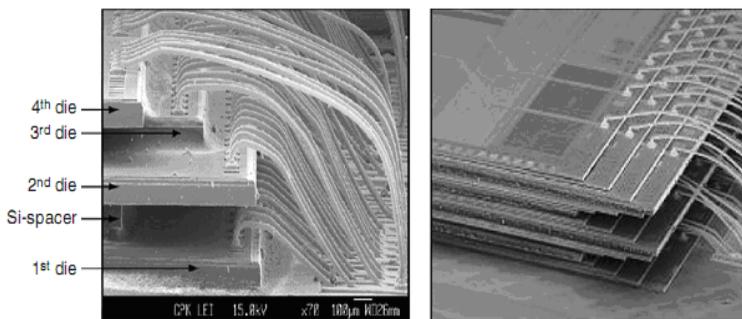


Рис.2.14. Монтаж кристаллов друг на друга и соединения их с помощью разварки выводов: а) 4 кристалла (технология фирмы ChipPAC); б) 20 кристаллов с толщиной 25 мкм по технологии фирмы Hynix

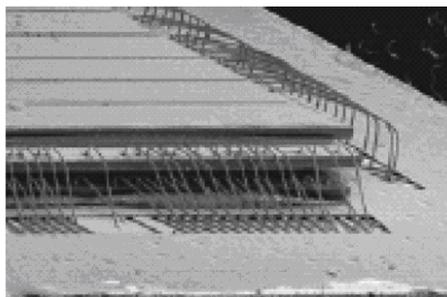


Рис.2.15. Стековые 3D БИС фирмы Intel (логика + два кристалла памяти) по технологии Non TSV с разваркой выводов. Логика – верхний кристалл

На сайте EE Times опубликован список 10 перспективных технологий электроники, которые, по мнению ресурса, получают свое развитие в 2010 году. Девятую позицию занимает TSV-технология. Ожидается, что данная технология приведет к созданию реальных 3D БИС.

В настоящее время, использование технологии TSV (through silicon vias – сквозные кремниевые межсоединения или переходные отверстия в кремнии), позволило убрать операцию разварки из технологической цепочки, обеспечив максимально возможный на сегодняшний день уровень интеграции ИС. TSV-технология включает процессы формирования соединений, осаждения, заполнения, удаления металла с поверхности, утонения пластин, соединения/стекирования, инспектирования, тестирования (рис.2.16 – рис.2.18).

На рис.2.16 показано соединение двух кристаллов в стековую структуру с использованием оригинальной технологии FaStack фирмы Tezzaron. Такое соединение можно рассматривать как “истинную” 3D интеграцию. Используется

стандартный КМОП технологический процесс с пятью слоями медной металлизации для реализации внутренних межсоединений и изоляцией активных структур мелкими канавками. Верхняя Si-пластина подверглась операции утонения. Соединение кристаллов осуществляется “лицом к лицу” с помощью внутренних контактных площадок, представляющих из себя шестой слой медной металлизации. На рис.2.17 показано соединение трех кристаллов в стековую структуру с использованием технологии FaStack фирмы Tezzaron (а) и изображение структуры в сканирующем электронном микроскопе (б). Два кристалла соединяются “лицом к лицу”, а третий кристалл (верхний) присоединяется к обратной стороне второго кристалла “лицом вниз”, посредством внутренних контактных площадок. На обратной стороне третьего кристалла формируется выходная контактная площадка из алюминия для подключения периферийных устройств, например, микромеханического датчика.

Фирма Tezzaron с использованием технологии FaStack реализует популярное 80C51 микропроцессорное ядро (плюс память) и ПЛИС по архитектуре FPGA (плюс память).

На рис.2.18 а показано концептуальное решение для стекового 3D ОЗУ DDR4 SDRAM с рабочими частотами 4.2 ГГц фирмы Hynix с использованием модулей памяти и TSV-технологии (а).

Тайванский полупроводниковый гигант, компания TSMC (Taiwan Semiconductor Manufacturing Co) активно занимается разработкой технологии TSV, с помощью которой обеспечиваются межсоединения в 3D ИС. При этом основное внимание уделяется вопросам проектирования, корпусирования и тестирования кристалла, а не только технологии изготовления.

Фирма Xilinx совместно с TSMC разработала новейшую серию ПЛИС FPGA (функциональная емкость 2 млн. эквивалентных вентиляей) Virtex-7 с использованием интеграции на уровне коммутационной Si-пластины (рис.2.18,

б). Подобную технологию (wafer-level-processed stacked package, WSP) использует фирма Samsung в ОЗУ DRAM DDR2 емкостью 4 Гб. Кристаллы Virtex-7 реализуются по технологии 28 нм, а межсоединения кристаллов выполняются в Si-пластине с использованием хорошо отработанного 65 нм технологического процесса с 4 слоями металлизации. Что обеспечивает десятки тысяч межсоединений, высокую пропускную способность и малое время задержек распространения сигналов.

Зарубежным компаниям удалось достичь определенных успехов в области создания новых средств САПР для проектирования 3D ИС. Компании Atrenta, AutoESL, Qualcomm разработали верхнеуровневую систему проектирования 3D ИС, в частности 3D-синтез высокого уровня, раннее разделение, разработку общей топологии кристалла и многодоменный анализ. Компания Qualcomm для своих 3D ИС разработала технологию PathFinding, которая способствует поэтапной оптимизации посадочной площади кристалла, тепловых характеристик и других функций.

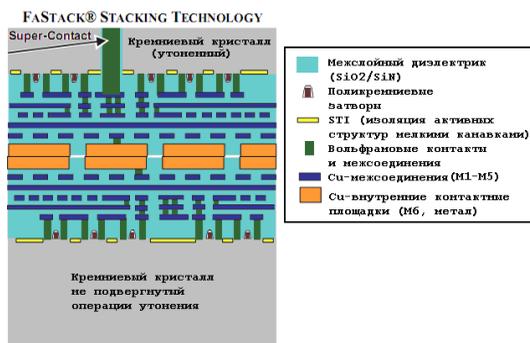
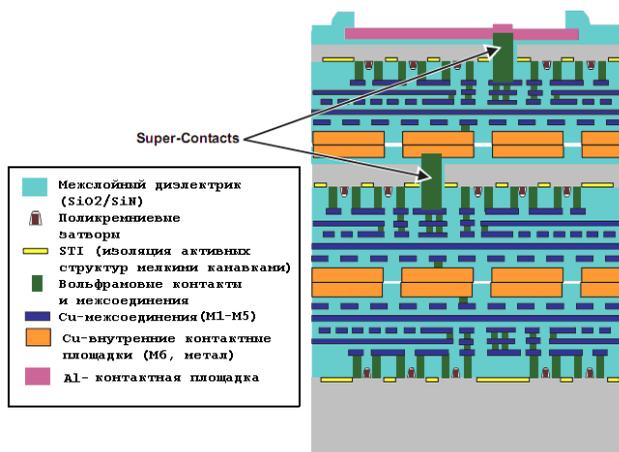
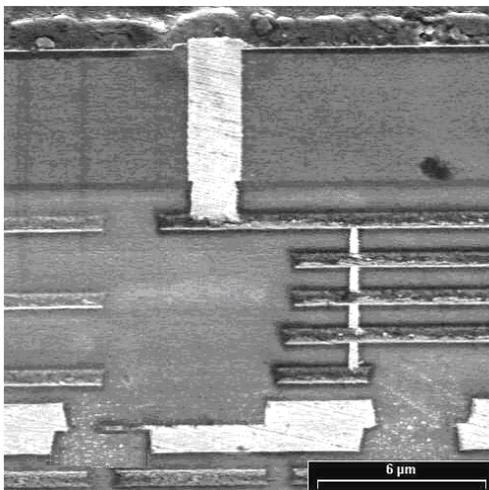


Рис.2.16. Соединение двух кристаллов в стековую структуру с использованием технологии FaStack фирмы Tezzaron



а)



б)

Рис.2.17. Соединение трех кристаллов в стекловую структуру с использованием технологии FaStack фирмы Tezzaron (а) и изображение структуры в сканирующем электронном микроскопе (б)

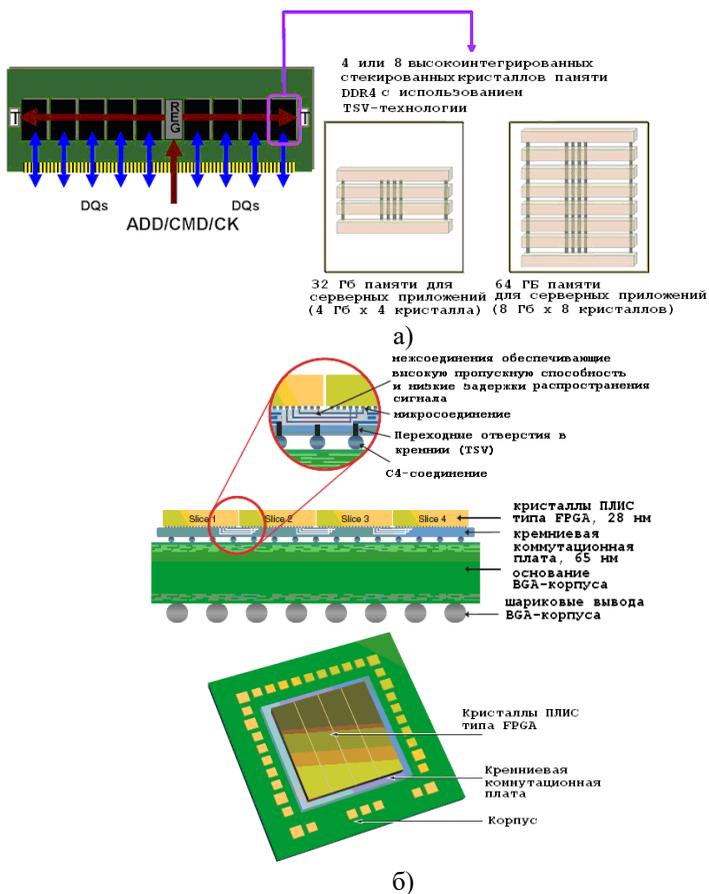


Рис.2.18. Стековое 3D ОЗУ DDR4 SDRAM с рабочими частотами 4.2 ГГц фирмы Hynix с использованием TSV-технологии (а) и (б) 3D ПЛИС FPGA серии Virtex -7 фирмы Xilinx с использованием комбинированных технологий: монтаж методом перевернутого кристалла в BGA-корпус; интеграция кристаллов на уровне кремниевой пластины по технологии 65 нм; TSV-технология; 28 нм технологический процесс

Межуниверситетский центр по микроэлектронике IMEC (Interuniversity Microelectronics Centre), крупнейший европейский независимый институт по исследованиям в

области нанoeлектроники, использует в своих опытных партиях 3D ИС технологию штабелированных трехмерных ИС и TSV-технологию. В настоящее время выпускаются кристаллы, выполненные на 200-мм пластинах в рамках базового 0.13-мкм КМОП-техпроцесса с добавлением техпроцесса Cu-TSV. Для штабелирования верхний кристалл подвергают утонению до 25 мкм и присоединяют к кристаллу-основанию с помощью термокомпрессии Cu-Cu. Центр IMEC в настоящее время расширяет данный техпроцесс до операции присоединения кристалла непосредственно к полупроводниковой пластине и находится в процессе переноса данной технологии на платформу 300 мм. Для тестирования целостности и производительности 3D ИС используют кольцевые генераторы различной конфигурации, размещенные в двух кристаллах и связанные посредством Cu TSV.

Для проектирования 3D БИС может быть использована САПР Synopsys. StarRC™ - инструмент платформы Galaxy для экстракции значений паразитных сопротивлений, индуктивностей и ёмкостей (RLC) из топологических представлений ИС в формате GDSII, позволяет, учитывает все известные физические эффекты в полупроводниках для технологий вплоть до 28 нм и осуществлять 3D моделирование внутренних соединений из меди, локальных внутренних соединений, диэлектриков с низкой диэлектрической проницаемостью, кремния на изоляторе (SOI) и вариаций параметров на кристалле. Ведущие кремниевые фабрики (TSMC, UMC, Chartered и др.), предоставляют технологические файлы процессов для работы с инструментом StarRC.

Продукты, которые необходимо использовать для проектирования 3D цифровых БИС: Encounter Digital Implementation System (EDI System), Encounter Power system (EPS), Encounter Timing System (ETS), First Encounter. EDI System позволяет достичь оптимальных результатов по быстродействию при проектировании с уровня RTL до уровня размещенных вентилях. Алгоритмы логического синтеза и

оптимизации основаны на технологии RTL Compiler. Обеспечивается полная поддержка синтеза, планировки кристалла, функций размещения макроблоков и стандартных ячеек, планирование и разводка сетки питания, экстракция паразитных параметров, функции анализа параметров быстродействия и анализа сетки питания и т.д. ETS - является средством временного статического анализа, а также анализом взаимодействия проводников. ETS-XL может точно учитывать влияние перекрестных наводок и просадок питания на временные задержки логики и ее функциональность. В продукте First Encounter САПР Cadence реализована концепция виртуального прототипа.

Трехмерный метод производства имеет два очевидных преимущества. Во-первых, это существенное снижение цен при фиксированном числе транзисторов на кристалле и, во-вторых, увеличение числа транзисторов со скоростью, не меньшей, чем предусматривает закон Мура в расчете на количество устройств, приходящихся на единицу площади.

Максимально возможный на сегодняшний день уровень интеграции ИС обеспечивает использование технологии TSV, которая позволяет убрать операцию разварки из технологической цепочки, обеспечивает более высокую плотность монтажа, большую функциональность, лучшие технические характеристики (минимальная длина соединений, межсоединения не ограничивают скорость распространения сигнала), более низкое энергопотребление, меньшую стоимость. Однако использование данной технологии требует решение ряда проблем, таких как снижение токов утечек ИС динамической памяти, снижение рассеиваемой мощности.

TSV-технология позволяет значительно увеличить количество линий ввода/вывода, что радикальным образом приводит к повышению скорости трансляции данных и уменьшить энергопотребление, а также вызвать появление принципиально новых видов высокоэффективных устройств.

Для проектирования 3D БИС с TSV необходимо использовать новые инструменты САПР для нанометровых проектов.

2.3. Транзисторы для "Платформы 2015"

Как известно, долговременное видение корпорацией Intel развития фундаментальных элементов платформ, а также архитектурные инновации и фундаментальные знания, которые движут это развитие, изложены аналитиками в документе "Платформа 2015". Там, в частности, говорится о том, что до 2015 г. и далее полупроводниковая производственная КМОП-технология будет развиваться такими же темпами, что и сейчас. Тенденция появления новых материалов и новых структур будет продолжаться. При этом в качестве примеров технологий, находящихся в стадии разработки, названы диэлектрики High-K/Metal Gate и транзисторы с трехмерным затвором (или Tri-Gate-транзисторы).

Как известно, экспериментальный дизайн транзистора, получившего название Tri-Gate, впервые был представлен в Японии на конференции International Solid State Device and Materials в 2002 г. В его основе лежала трехмерная структура, представляющая собой "микробрусok", который с трех сторон облегают изолятор и проводник затвора. Подобная структура позволяла посылать электрические сигналы как по верхней части "бруска", так и по обеим его вертикальным сторонам. "Микробрусok" превращается в исток (сток) за пределами затвора. Увеличенная таким образом площадь, доступная для прохождения сигнала, дает возможность пропускать на 20% больше тока по сравнению с традиционной планарной конструкцией, занимающей аналогичную площадь.

В Tri-Gate использованы элементы технологии TeraHertz, представленной специалистами Intel в декабре 2001 г. Подобная технология позволяет создавать транзисторы,

которые работают на частотах переключения порядка терагерц и обладают способностью к масштабированию. Такой класс транзисторов предназначен для того, чтобы максимизировать уровень производительности при уменьшении энергопотребления и стоимости производства. Заметим, что транзисторы, выполненные на основе технологий High-k/Metal Gate и Tri-Gate, относятся к классу TeraHertz.

Тройной затвор строится на сверхтонком слое полностью обедненного кремния, уменьшающего ток утечки закрытого транзистора. Он имеет наращенные сток и исток, позволяющие избежать роста сопротивления при уменьшении размеров транзистора. Кроме того, в новом транзисторе может использоваться диэлектрик High K, дополнительно снижающий ток утечки затвора.

Напомним, что наличие тонкого слоя диоксида необходимо для достижения высоких эксплуатационных характеристик диэлектрика затвора. Диоксид кремния - это материал, молекулы которого состоят из одного атома кремния и двух атомов кислорода. Он является хорошим изолятором, однако проблема состоит в том, что чем тоньше слой диоксида кремния, тем выше ток утечки, проходящий через изолятор. Следовательно, необходимо было заменить диоксид кремния новыми материалами, обладающими теми же свойствами, использование которых не потребует достижения низкой толщины слоя.

Материал на основе технологии High-k способен заменить диоксид кремния при изготовлении электрода затвора, поскольку этот материал обладает весьма неплохими изолирующими свойствами, а также создает достаточное емкостное сопротивление между затвором и каналом. Оба этих свойства желательны для достижения высоких эксплуатационных характеристик транзисторов. Символ "k" (фактически греческая буква "каппа") указывает на способность материала сохранять электрический заряд. Те материалы, которые могут хранить электрический заряд лучше, чем другие,

обладают более высоким значением "k". Применение материалов на основе технологии High-k намного уменьшает утечки, так как эти материалы могут иметь иную толщину, чем диоксид кремния, при сохранении тех же свойств.

Еще одним преимуществом транзисторов Tri-Gate является то, что выпускать ИС на их базе можно и с помощью существующего оборудования. Кроме того, можно строить структуры из нескольких "брусков" Tri-Gate, формируя силовые транзисторы. Как отмечают в Intel, этот тип транзистора разработан корпорацией для обеспечения возможности развертывания нового 45-нанометрового технологического процесса в 2007 г. Также в Intel планируются более глубокие исследования в области транзисторов III-V, углеродных нанотрубок и кремниевых нанопроводников. Цель всех этих исследований - увеличение скорости работы устройств, дальнейшее уменьшение их размеров, управление питанием и сокращение потребляемой мощности. Кроме того, интеграция между архитектурой кристаллов и производственной технологией позволит достичь еще большей плотности: на одном кристалле можно будет расположить миллиарды транзисторов. Такой подход очень важен. В процессе создания микропроцессоров и платформ будущего разработчики и технологи должны сотрудничать очень плотно.

3. ПРОЕКТИРОВАНИЕ ПЛИС ТИПА ППВМ

3.1. Разработка функциональной модели ПЛИС типа ППВМ в САПР Quartus II с использованием технологии соединений multi-driver

Одноуровневая структура межсоединений ПЛИС типа ППВМ широко используется не только в промышленных ПЛИС фирм Xilinx, Lucent Technologies, Vantis (рис.3.1), но и при разработке академических ПЛИС с архитектурой типа Island-style, например, 3D ПЛИС, комбинированных ПЛИС, в которых, в качестве массива конфигурационной памяти используются блоки памяти на нанотрубках. Многоуровневая структура межсоединений используется в ПЛИС Stratix, Cyclon и др. фирмы Altera.

Основные функциональные блоки: логический блок (ЛБ), соединительные блоки C1 и C2, коммутатор-маршрутизатор (S-блок или “свич-бокс”). Для ПЛИС типа ППВМ различных фирм характерно использование маршрутизаторов в трассировочных каналах. Быстродействие ПЛИС во многом определяется именно тем, как искусно спроектирована структура межсоединений.

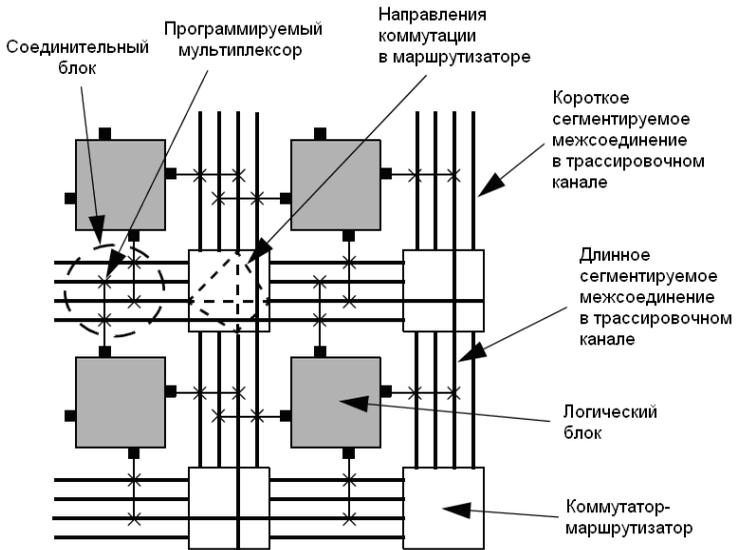
При проектировании маршрутизатора могут быть использованы однонаправленные и двунаправленные программируемые межсоединения с применением в качестве ключа n-МОП транзистора и буфера с третьим состоянием (рис.3.2, 3.3). n-МОП ключ по своей сути является двунаправленным, а двунаправленный ключ на буферах с третьим состоянием может быть получен их параллельным соединением. На рис.3.2, а показана функциональная модель n-МОП шеститранзисторного ключа на логическом уровне, используемого в маршрутизаторах ПЛИС Xilinx серии XC4000 типа disjoint (рис.3.1). Для реализации модели шеститранзисторного ключа с использованием двунаправленных межсоединений применяются буферы для

восстановления уровня сигнала, буферы с третьим состоянием и мультиплексоры (рис.3.2, *а*).

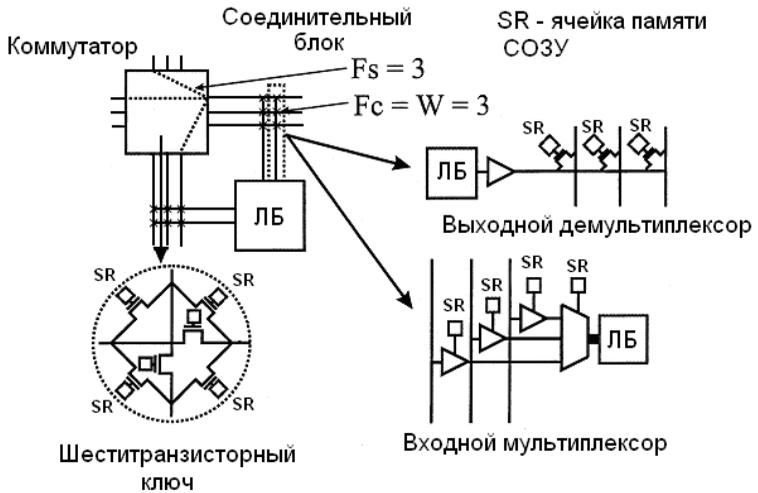
Две схемы взаимозаменяемы. Однако, второй вариант позволяет отказаться от использования буферов с третьим состоянием (рис.3.2, *б*), но приводит к увеличению числа межсоединений в канале, и как следствие, к увеличению разрядности мультиплексорных структур в соединительных блоках. В случае однонаправленных соединений, при движении сигнала в направлении стрелки, коммутация сигнала на противоположные направления осуществляется на соседние межсоединения, что приводит к появлению характерных “косичек” в трассировочных каналах.

Маршрутизатор построенный с использованием двунаправленных межсоединений и двунаправленных ключей получил название multi-driver, а с использованием однонаправленных межсоединений и мультиплексорных структур (коммутаторов) - single-driver switch block. При этом под термином “драйвер” подразумевается устройство, с помощью которого осуществляется коммутация межсоединений: n -МОП ключ, однонаправленный и двунаправленный ключ на буферах с третьим состоянием, мультиплексорная структура.

Рис.3.3 показывает идею использования двунаправленных и однонаправленных межсоединений в коммутаторах-маршрутизаторах. Рис.3.3, *а* показывает так же, что выходы логических блоков, объединенных в кластеры, могут быть подключены к трассировочным каналам с помощью выходных демультимплексоров на буферах с третьим состоянием (multi-driver) соединительных блоков.



а)



б)

Рис.3.1. ПЛИС типа ППВМ с одноуровневой структурой межсоединений (а) и основные функциональные блоки (б)

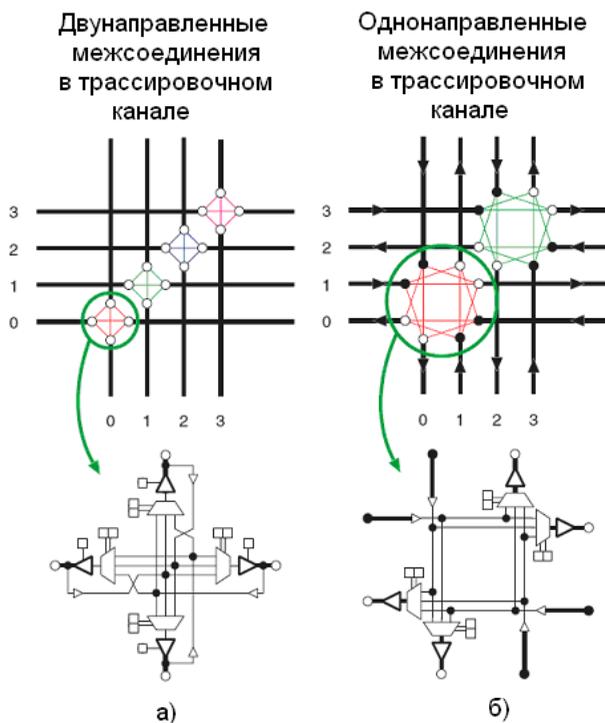


Рис.3.2. Коммутатор-маршрутизатор типа disjoint (S-блок) и функциональная модель шеститранзисторного ключа на логическом уровне: а) с использованием двухнаправленных программируемых соединений; б) однонаправленные соединения

В настоящее время считается, что использование однонаправленных межсоединений в совокупности с мультиплексорными структурами в маршрутизаторах наиболее перспективно (рис.3.4), т.к. позволяет получать существенный выигрыш по быстродействию и по площади кристалла. Методология single-driver широко используется в современных сериях ПЛИС серий Stratix и Virtex. В современных ПЛИС серий Stratix используется патентованная технология DirectDrive™, которая гарантирует идентичные

соединительные ресурсы для любой реализуемой булевой функции, независимо от её месторасположения на кристалле, а в ПЛИС Virtex-5 для реализации логических функций и локальных межсоединений используется технология ExpressFabric™.

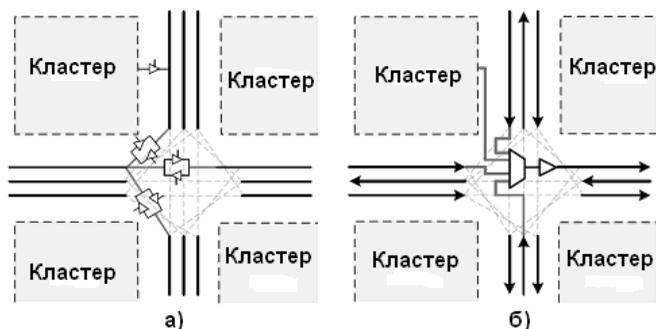


Рис.3.3. Коммутатор-маршрутизатор типа multi-driver (а) и single-driver (б)

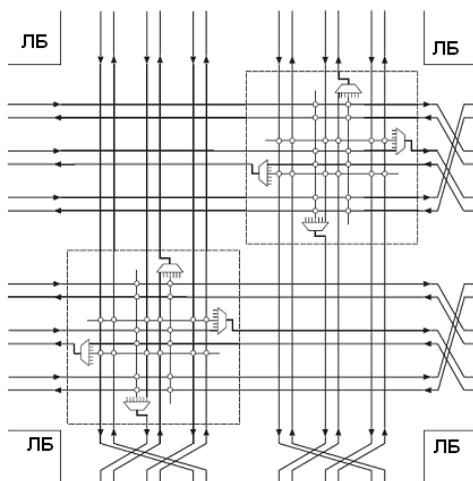


Рис.3.4. Два коммутатора-маршрутизатора типа single-driver с длиной сегмента $L=3$

Методология single-driver также распространяется на входные мультиплексоры и на демультиплексоры соединительных блоков. На рис.3.3, б показано непосредственное подключение выходов логических блоков в мультиплексоры ближайших коммутаторов-маршрутизаторов, что позволяет отказаться от использования выходных демультиплексоров в соединительных блоках.

Для проектирования гомогенных академических ПЛИС с логическими блоками объединенных в кластеры может быть использован один из программных инструментов автоматизированного проектирования - VPR версии 4.3 (Versatile Place and Route), а для гетерогенных (с использованием гетерогенных блоков таких как, встроенные перемножители, блоки ОЗУ, блоки для реализации алгоритмов цифровой обработки сигналов) - VPR версии 5.0. VPR разработан в университете Торонто (Торонто, Канада, <http://www.eecg.utoronto.ca/vpr>), поддерживает маршрутизаторы обоих типов multi-driver и single-driver.

Кратко рассмотрим типовой маршрут проектирования гетерогенных академических ПЛИС, который предполагает использование следующих программных инструментов: ODIN, ABC, T-Vpack, VPR. ODIN конвертирует схемное описание некоторого сложно-функционального устройства (“бенч марк”, тестовая схема на языке Verilog HDL) в специальный файл в .blif формате, в котором выделяет логические вентили для описания логики устройства и “черные ящики” для гетерогенных блоков. Далее с использованием инструмента ABC (существуют и другие программные инструменты минимизации булевых функций в базис ПЛИС типа ППВМ с использованием 4-х входовой LUT-таблицы и D-триггера логического блока, такие как SIS и FlowMap) проводится логическая оптимизация схемы с использованием специального стиля описания независимого от технологии проектирования БИС (например, заказная специализируемая БИС (ASIC), структурированная БИС (proASIC) или ПЛИС) и ее размещение

в логические блоки академической ПЛИС. Выходным так же является файл в .blif формате, в котором выделяются LUT-таблицы, D-триггеры логических блоков и гетерогенные блоки. Инструмент T-Vpack перепаковывает файл в .blif-формате (LUT-таблицы и D-триггеры) в кластеры логических блоков, которые аналогичны кластерам в ПЛИС FLEX8, 10K или кластерам ПЛИС 5200 и Virtex, и формирует выходной файл в .net формате для VPR, который размещает кластеры логических блоков и гетерогенные блоки по кристаллу ПЛИС и организует глобальные и локальные трассировочные ресурсы для меж- и внутрикластерной связи логических блоков наиболее оптимальным образом, с учетом требований, например, к минимальной ширине трассировочного канала, быстродействию, экономии площади кристалла и др. Подобный маршрут проектирования существует и для коммерческих ПЛИС, например, индустриальный САПР ПЛИС Quartus II.

На рис.3.5 показана структура межсоединений в ПЛИС полученная с использованием VPR 5.0 для ширины трассировочного канала $W = 10$. В маршрутизаторе типа single-driver используются однонаправленные соединения с применением n-МОП ключей (кружки) и буферов с третьим состоянием (треугольники). Мультиплексоры соединительных блоков показаны, синим цветом, а выходные демультимплексоры – красным. Зеленым цветом показан S-блок. Если ЛБ заменяется на кластер (например, под кластером подразумевается 4 ЛБ), то структура межсоединений в S-блоке значительно усложняется (рис.3.6).

Разработаем модель гомогенной ПЛИС типа ППВМ с одноуровневой структурой межсоединений в САПР ПЛИС Quartus II компании Altera, для изучения особенностей программируемой коммутации.

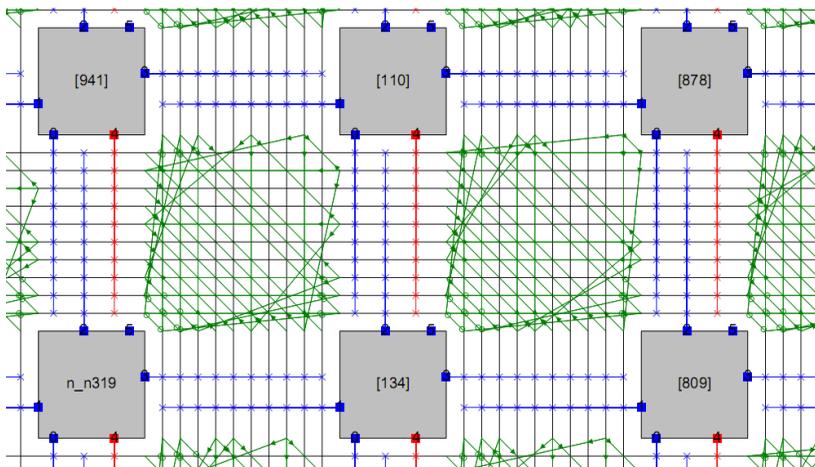


Рис.3.5. Структура межсоединений в коммутаторе-маршрутизаторе типа multi-driver при ширине канала $W = 10$, полученная с помощью VPR 5.0

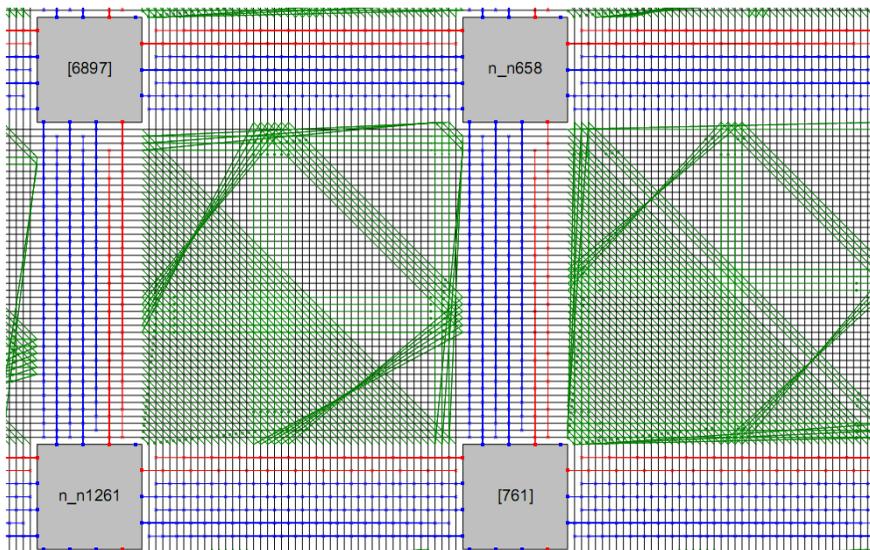


Рис.3.6. Структура межсоединений в коммутаторе-маршрутизаторе типа multi-driver при объединении логических блоков в кластеры, полученная с помощью VPR 5.0

При проектировании будем использовать следующие характеристики: коммутатор-маршрутизатор типа disjoint с коэффициентом разветвления по выходу $F_s = 3$; для соединительного блока: коэффициент объединения по входу логического блока $F_{C,in} = W$, коэффициент разветвления по выходу $F_{C,out} = W$, где W – ширина трассировочного канала. В нашем случае $W = 4$. На рис.3.1, б показан пример реализации ПЛИС с одноуровневой структурой с параметрами $F_s = 3$ и $F_{C,out} = F_{C,in} = W$. Для $F_s > 5$ уже необходимо использовать 3D коммутаторы-маршрутизаторы и переходить на 3D-технологии.

В разрабатываемой модели ПЛИС используется модель шеститранзисторного ключа показанная на рис.3.7. В качестве n-МОП ключа применяется буфер с третьим состоянием. Направление передачи сигналов однонаправленное (рис.3.8). Коммутатор-маршрутизатор состоит из двух шеститранзисторных ключей, двух вертикальных и двух горизонтальных не сегментированных межсоединений.

Для программирования конфигурационных ячеек памяти СОЗУ необходимо два универсальных (сдвиговых) регистра, один 4-х разрядный (регистр столбца) и один 12-ти разрядный (регистр строки), 12 строк на 4 столбца, итого требуется запрограммировать 48 бит конфигурационной памяти одной плитки ПЛИС LEGO. Поэтому бит 20 в логическом блоке необходим для кратности 4. С этой же целью необходимы биты 43, 44 в соединительном блоке С1. На рис.3.9 показано, как можно сконфигурировать S-блок.

Все сигналы в горизонтальном трассировочном канале передаются с право на лево, в вертикальном канале – снизу вверх (рис.3.10). Все межсоединения в каналах сегментированы. На рис.3.10 так же показана схема сегментации межсоединений в каналах: 1, 2, 4 и 4.

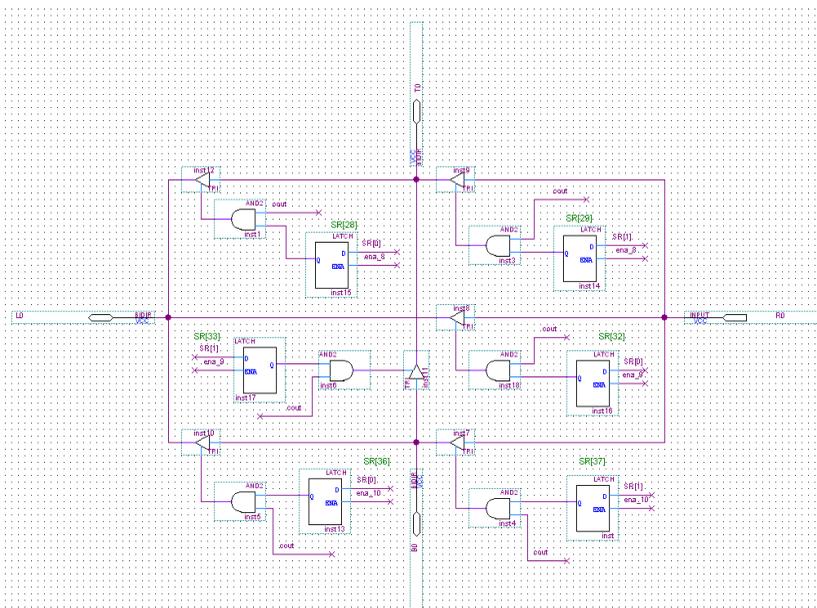


Рис.3.7. Шеститранзисторный ключ на буферах с третьим состоянием

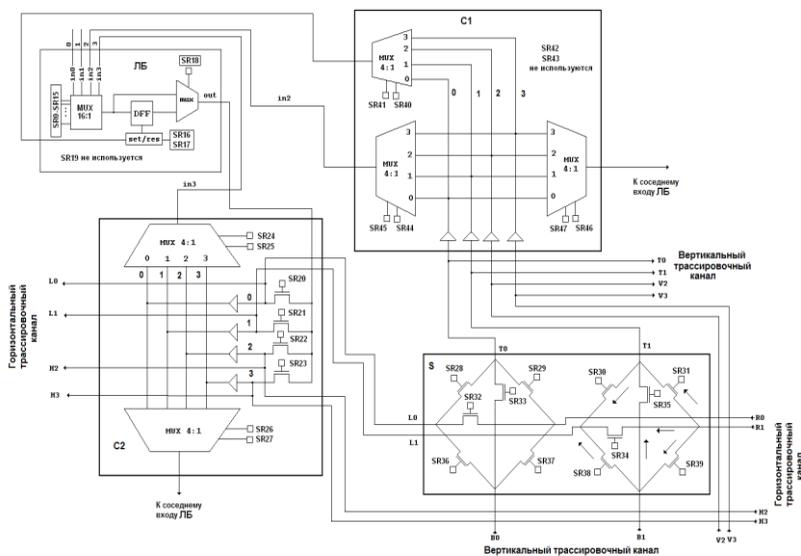


Рис.3.8. Принципиальная схема одной плитки ПЛИС

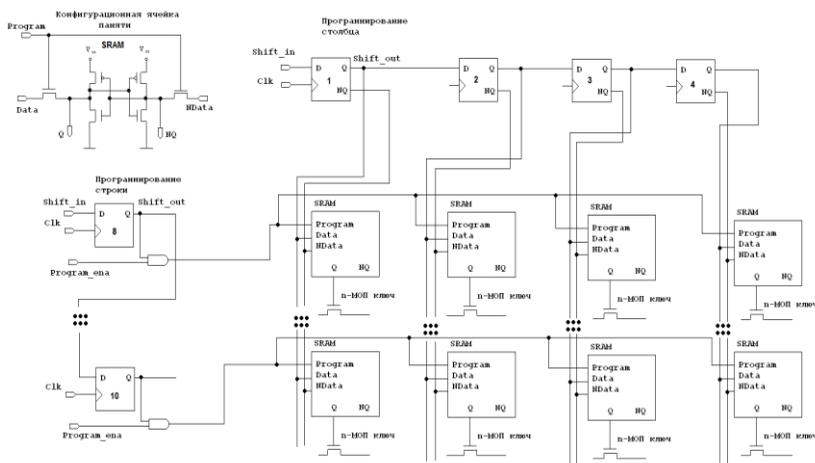


Рис.3.9. Использование 3 - х разрядов сдвигового 12 –ти разрядного регистра строки и 4 - х разрядного регистра столбца для конфигурирования S-блока, состоящего из 12 –ти n-МОП ключей

Межсоединение в канале может проходить непрерывно через 1, 2, 4 и 4 логических блока. Логический блок, соединительные блоки С1 и С2 и маршрутизатор объединяются в плитку. Для обеспечения периодичности сегментации потребовалось разработать схему в 16 плиток, назовем такую схему как “супер плитка”. Последующее ее тиражирование позволяет легко наращивать функциональную емкость проектируемой ПЛИС. На рис.3.11 показана детальная структура сегментации межсоединений 16 плиток и схема подключения соединительных блоков С1 и С2.

Электрическая схема одной плитки показана на рис.3.12. Для конфигурирования одной плитки требуется 48 бит памяти. Рассмотрим схему “загрузчика”. Загрузка конфигурации в плитку осуществляется с помощью блока downloader_rom (рис.3.13), который состоит из 4-х разрядного суммирующего счетчика с модулем счета 13, ПЗУ емкостью 4 бита на 16 слов на базе мегафункции lpm_rom и дешифратора 4 в 12, который

выбирает нужную строку с четырьмя ячейками памяти в плитке, в зависимости от состояния счетчика. По окончании загрузки счетчиком вырабатывается сигнал *cout*, высокий уровень которого разрешает перезапись информации из ячеек памяти в выходном мультиплексоре соединительного блока С2 и шеститранзисторных ключей на буферах с третьим состоянием в S-блоке, остальные ячейки (16 ячеек для настройки LUT-таблицы и все для управления адресными входами мультиплексоров в соединительных блоках) памяти доступны сразу же после записи в них конфигурационной информации. Это позволяет избежать открывание буферов с третьим состоянием во время конфигурации плитки.

В качестве ячеек памяти используются защелки (однотактный триггер или триггер тактируемый уровнем синхросигнала). На рис.3.14 показаны 16 конфигурационных ячеек памяти 4-х входовой LUT-таблицы. Ячейки памяти объединены в строки по 4 бита. Каждая строка выбирается с помощью дешифратора строки “загрузчика”. Всего 12 строк по 4 бита.

До начала работы необходимо сформировать конфигурационный файл с расширением *mif*. На рис.3.15 показан файл конфигурации ПЗУ (адреса строк начинаются с нуля). LUT-таблица запрограммирована на выполнение булевой функции $f = x_3 \oplus x_2 \oplus x_1 \oplus x_0$. Таких файлов должно быть заполнено 16 шт. При включении осуществляется параллельная конфигурация каждой плитки с помощью своего “загрузчика”. Для упрощения будем использовать 16 одинаковых конфигурационных файлов.

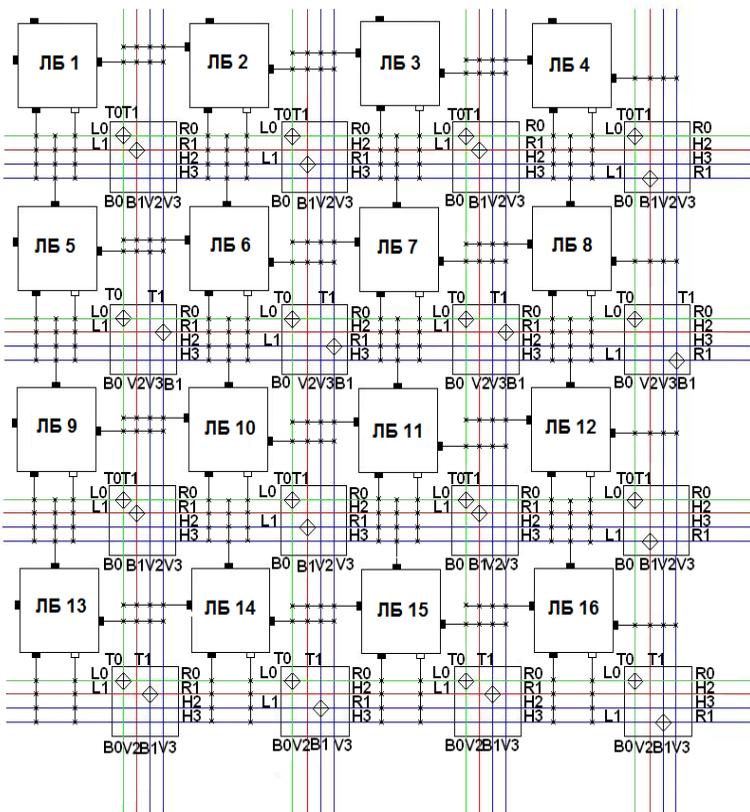


Рис.3.11. Детальная структура межсоединений 16-ти плиток

В табл.3.1 более подробно поясняется конфигурационный файл плитки 1. Плитка 1 согласно структуре межсоединений имеет два внешних входа in_0 и in_1 LUT-таблицы (входы $t1_in_lut_0$ и $t1_in_lut_1$ доступны с контактных площадок). А к входам in_2 и in_3 можно “добраться” только через маршрутизаторы со входов вертикального (соединительный блок С1) и горизонтального (соединительный блок С2) трассировочных каналов. Согласно рис.3.10 и рис.3.11 эти входы канала 1 находятся с права и с низу, а выходы с лева

и с верху, согласно схеме распространения сигнала в S-блоке (рис.3.8).

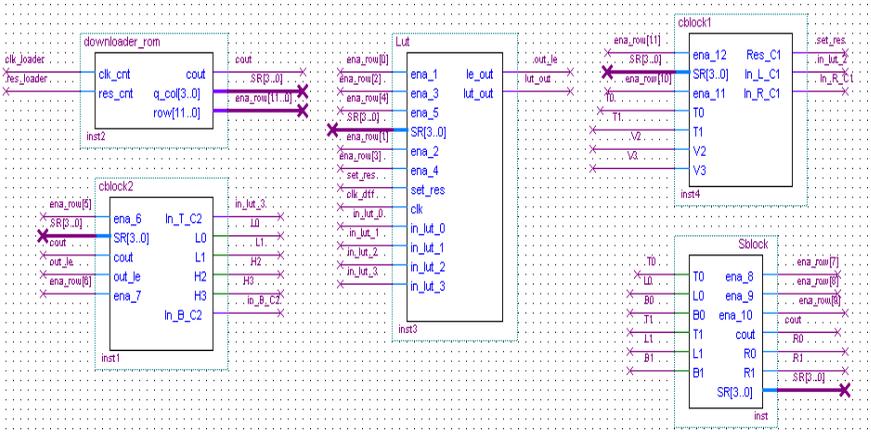


Рис.3.12. Электрическая схема одной плитки в САИР ПЛИС Quartus II

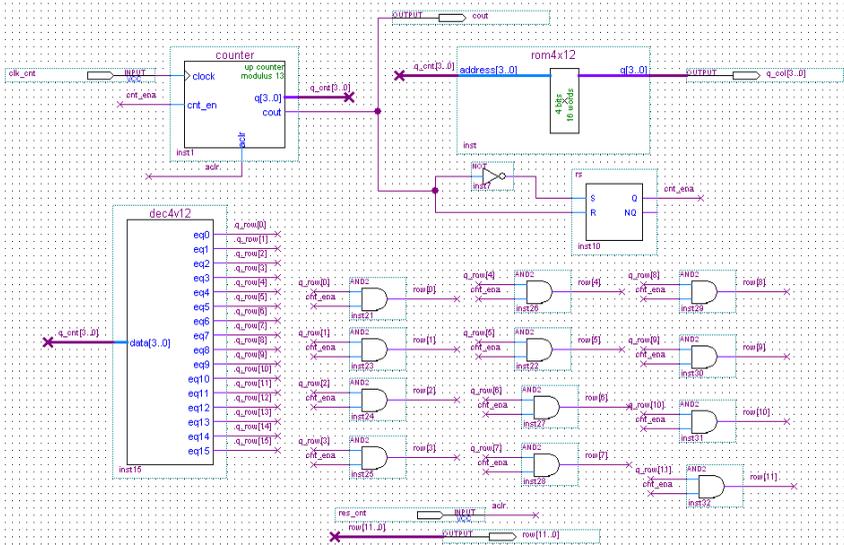


Рис.3.13. Электрическая схема “загрузчика” (блок downloader_blok) ячеек памяти в плитке

Нумерация треков в каналах показана на рис.3.8. Согласно табл.3.1 с выхода LUT-таблицы (lut_out) должны считать лог. 0.

Конфигурационный файл настроен так (табл.3.1), что выход логического блока (le_out) поступает на трек 0 соединительного блока C2, для этого в ячейку памяти с номером 20 должна быть записана лог.1, которая откроет буфер с третьим состоянием в выходном демультиплексоре типа track-to-pin блока C2. При этом когда, выход логического блока передается в горизонтальный канал на трек 0 находящийся справа, буфер с третьим состоянием управляемый ячейкой 32 в шеститранзисторном ключе должен быть закрыт, т.е. вход R0 должен быть отключен.

На трек 1 блока C2 со входа R1 шеститранзисторного ключа подается лог.1, что обеспечивает подачу сигнала лог 1 на вход in3 при условии что на адресных входах верхнего мультиплексора соединительного блока C2 в ячейках 25 и 24 записаны лог. 0 и лог.1. Для этого необходимо в ячейку памяти с номером 34 записать 1.

Для подачи лог.1 на вход in2 из вертикального трассировочного канала со входа B0 шеститранзисторного ключа необходимо в ячейку с номером 33 записать лог.1. Сигнал Set/Reset подается со входа B1 на трек 1 верхнего мультиплексора блока C1. Для этого в ячейку с номером 35 необходимо записать лог.1. На адресные входы мультиплексора подается комбинация SR41 лог. 1, SR40 лог.0. Если на вход B1 подать сигнал лог.0, то D-триггер логического блока будет сброшен в лог.0. Рис.3.16 демонстрирует временные диаграммы работы плитки 1.

Так как все плитки конфигурируются одновременно одной и той же информацией, то сигналы со входов вертикального (col1_in[3..0]) и горизонтального трассировочных (row1_in[3..0]) каналов под номерами 1 должны беспрепятственно быть поданы на входы R0, R1, H2, H3 и B1, B2, V2, V3 плитки 1. На рис.3.17 показан фрагмент схемы “супер плитка” (плитки 1, 2, 5 и 6) для демонстрации

организации электрических связей между плитками. На рис.3.18 показаны временные диаграммы работы “супер плитки”. Тестируется 12 ячейка памяти LUT-таблицы, для этого на адресные входы мультиплексора 16 в 1 логического блока подается комбинация 1100 (12D). На выходах горизонтального трассировочного канала 1 (row1_out[3..0]) должна появиться информация 0100: лог. 0 на треке 0 (L0, см. рис.10); лог. 1 на треке 1 (L1); лог. 0 на треке 2 (H2) и лог. 0 на треке 3 (H3).

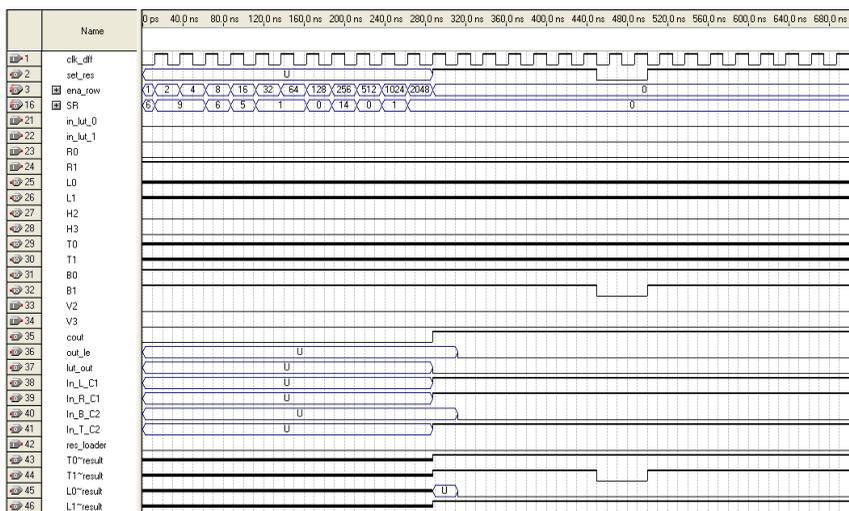


Рис.3.16. На адресные входы LUT-таблицы через S-блок плитки 1 подается комбинация 1100 (12D), а с выхода логического блока (t1_out_le) считывается содержимое 12-той ячейки памяти - лог. 0 (согласно табл.1)

Изменим содержимое 12 ячейки на лог.1, при той же комбинации на адресных входах 1100, на выходе логического блока (t1_out_le) должен появиться сигнал лог.1. На вход В1, после того как на выходе t1_out_le появится сигнал лог.1 подадим сигнал лог.0, что должно привести к сбросу триггера логического блока. Рис.3.19 демонстрирует данную ситуацию.

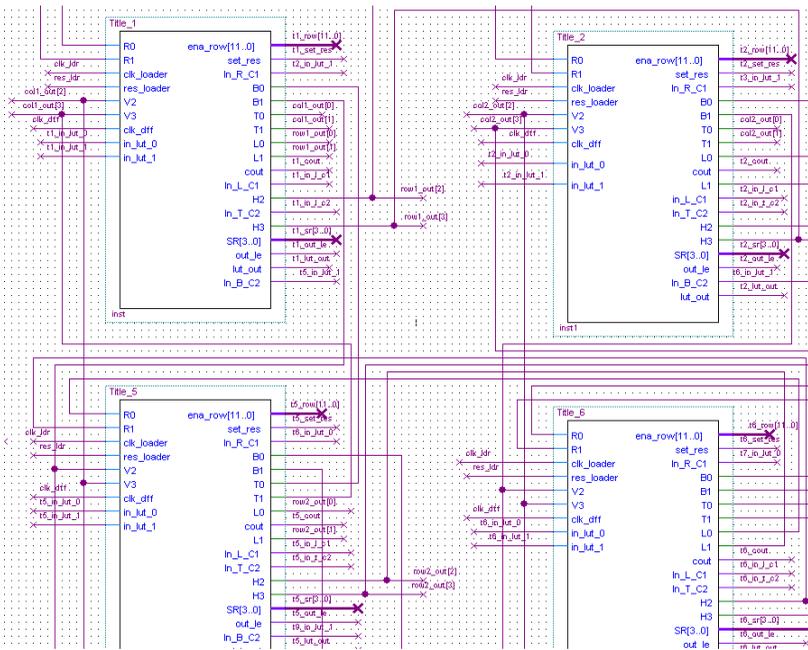


Рис.3.17. Фрагмент схемы “супер плитка” (плитки 1, 2, 5 и 6)

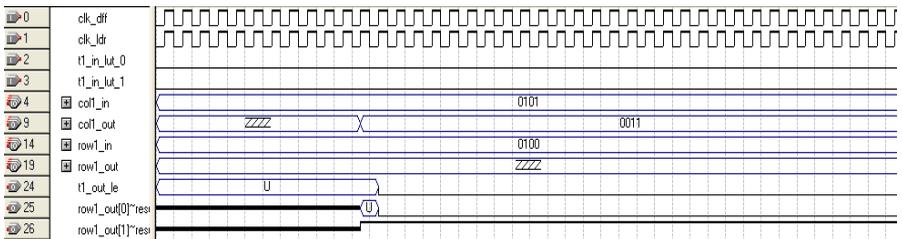


Рис.3.18. На адресные входы LUT-таблицы плитки 1 через S-блоки горизонтального и вертикального трассировочных каналов 1 подается комбинация 1100 (12D) с выхода логического блока (t1_out_le) считывается лог. 0, этот же сигнал поступает на трек 0 (row1_out[0]) горизонтального трассировочного канала 1

Таблица 3.1

Файл конфигурации одной плитки (младшие разряды с лева, SR3, SR2, SR1, SR0) на выполнение булевой функции $f = x_3 \oplus x_2 \oplus x_1 \oplus x_0$ от четырех входных переменных

| | | | | | | | | | | | | | | | | | | | |
|------------|----|----|----|-----------|----|----|----|-----------|----|----|----|----------|----|----|----|----------|----|----|----|
| N строки | | | | Строка 0 | | | | Строка 1 | | | | Строка 2 | | | | Строка 3 | | | |
| N ячейки | | | | 3 | 2 | 1 | 0 | 7 | 6 | 5 | 4 | 11 | 10 | 9 | 8 | 15 | 14 | 13 | 12 |
| содержимое | | | | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 |
| | | | | 6 | | | | 9 | | | | 9 | | | | 6 | | | |
| Строка 4 | | | | Строка 5 | | | | Строка 6 | | | | Строка 7 | | | | Строка 8 | | | |
| 19 | 18 | 17 | 16 | 23 | 22 | 21 | 20 | 27 | 26 | 25 | 24 | 31 | 30 | 29 | 28 | 35 | 34 | 33 | 32 |
| 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 |
| 5 | | | | 1 | | | | 1 | | | | 0 | | | | 14 | | | |
| Строка 9 | | | | Строка 10 | | | | Строка 11 | | | | | | | | | | | |
| 39 | 38 | 37 | 36 | 43 | 42 | 41 | 40 | 47 | 46 | 45 | 44 | | | | | | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | | | | | | | | |
| 0 | | | | 1 | | | | 0 | | | | | | | | | | | |

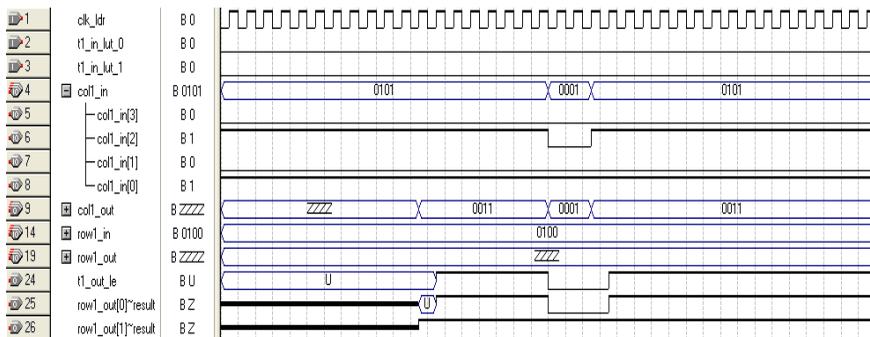


Рис.3.19. На адресные входы LUT-таблицы плитки 1 через S-блоки горизонтального и вертикального трассировочных каналов 1 подается комбинация 1100 (12D) с выхода логического блока (t1_out_le) считывается лог. 1, сигнал лог.0 на входе B1 приводит к сбросу триггера ЛБ

Разработана модель ПЛИС типа ППВМ с одноуровневой структурой межсоединений с функциональной емкостью 16 ЛБ в САПР Quartus II. Используются однонаправленные сегментированные межсоединения различной длины, 1, 2, 4 и 4, проходящие непрерывно через 1, 2, 4 и 4 логических блока по вертикали и горизонтали. В качестве однонаправленного ключа используется буфер с третьим состоянием. Для реализации проекта требуются ПЛИС со встроенными блоками памяти, необходимые для хранения файлов конфигурации. Для конфигурирования “супер плитки” требуется 768 бит памяти и 32 шеститранзисторных ключа, для реализации которых необходимо 192 буфера с третьем состоянием.

3.2. Разработка модели ПЛИС типа ПШВМ с одноуровневой структурой межсоединений с использованием технологии соединений single-driver в системе визуально-иммитационного моделирования Matlab/Simulink

Успехи в области создания академических ПЛИС и программных инструментов, оказали существенное влияние на развитие архитектур индустриальных ПЛИС.

В академических ПЛИС для обеспечения программируемой коммутации существует две технологии соединений: multi-driver и single-driver. В настоящее время преимущество отдается технологии single-driver, т.к. ее использование позволяет получать существенный выигрыш по сравнению с технологией multi-driver как по быстродействию, так и по площади кристалла.

На рис.3.20 показаны основные функциональные блоки (логический блок (ЛБ), два соединительных блока С1 и С2, маршрутизатор (S)) ПЛИС с одноуровневой системой межсоединений и принцип коммутации пар разнонаправленных межсоединений по технологии single-driver. Соединительные блоки подключают входы/выходы логического блока к горизонтальному и вертикальному трассировочному каналу. Маршрутизатор осуществляет коммутацию сигналов (межсоединений) в трассировочных каналах. Так же показан наиболее распространенный способ коммутации сигналов с помощью мультиплексоров и принцип сегментации межсоединений (подобный принцип сегментации single, Double, HEX-3, HEX-6 используется в ПЛИС серии Virtex II компании Xilinx, которые классифицируются как ПЛИС с одноуровневой структурой межсоединений). Межсоединение по которому сигнал распространяется только в одну сторону получило название – однонаправленное.

В качестве учебных целей разработаем модель ПЛИС типа ППВМ с одноуровневой системой межсоединений и с использованием технологии соединений single-driver в системе Matlab/Simulink и покажем, как можно в автоматическом режиме получить код высокоуровневого языка описания аппаратных средств (VHDL). Полученный код может быть использован для разработки функциональной модели проектируемой ПЛИС, например в САПР Quartus II.

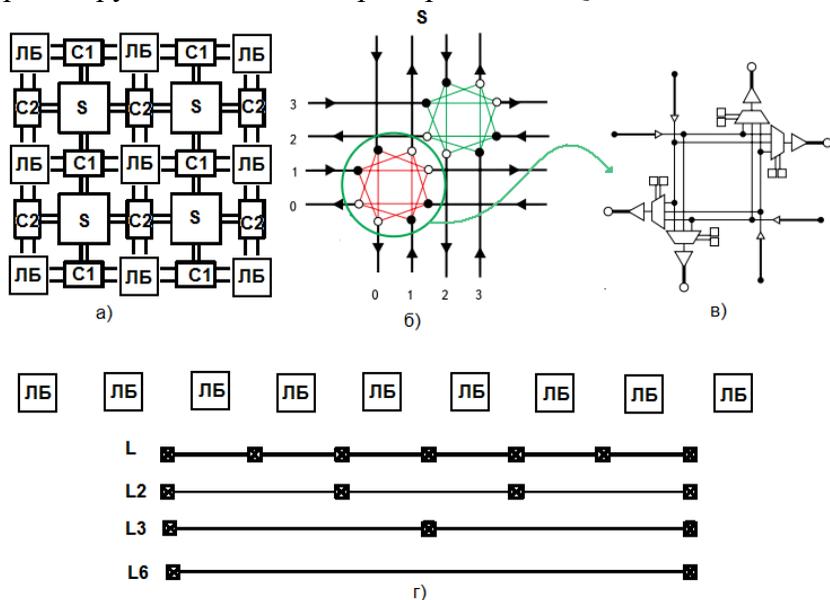


Рис.3.20. Основные функциональные блоки ПЛИС с одноуровневой системой межсоединений (а); б) – коммутация двух пар разнонаправленных межсоединений в горизонтальном и вертикальном направлениях; в) – принцип коммутации разнонаправленных межсоединений с использованием мультиплексоров; г) принцип сегментации межсоединений (через один ЛБ, через два ЛБ, через три ЛБ, через шесть ЛБ)

Модель ПЛИС реализована в формате с фиксированной запятой (точкой), с использованием fi-объектов системы Matlab/Simulink. Simulink – графическая среда визуально-имитационного моделирования аналоговых и дискретных систем. Предоставляет пользователю графический интерфейс для конструирования моделей из стандартных функциональных блоков. Simulink работает с линейными, нелинейными, непрерывными, дискретными и многомерными системами. Система Matlab/Simulink содержит встроенный генератор кода языка описания аппаратных средств HDL (Simulink HDL Coder). Simulink HDL Coder – программный продукт для генерации VHDL-кода без привязки к конкретной архитектуре ПЛИС и платформе по Simulink-моделям. Используем следующий формат, для представления десятичных чисел:

$$a = fi(v, s, w, f),$$

где v – десятичное число, s – знак (0 (false)– для чисел без знака и 1 (true) – для чисел со знаком), w - размер слова в битах (целая часть числа), f – дробная часть числа в битах.

Формат $a = fi(v, s, w, f, fimath)$, позволяет задать режим округления (Roundmode) – ‘floor’ – округление вниз; реакцию на переполнение (OverflowMode) – ‘wrap’ – перенос, при выходе значения v из допустимого диапазона, “лишние” старшие разряды игнорируются. При выполнении операций умножения (‘ProductMode’) и сложения (‘SumMode’), для повышения точности вычислений (precision) используется машинное слово шириной в 32 бита.

```
% HDL specific fimath
hdl_fm = fimath(...
'RoundMode', 'floor',...
'OverflowMode', 'wrap',...
'ProductMode', 'FullPrecision', 'ProductWordLength', 32,...
'SumMode', 'FullPrecision', 'SumWordLength', 32,...
'CastBeforeSum', true);
```

Массив ПЛИС разобьем на “плитки”. “Плитка” – минимальная структурная единица. В плитку (верхняя левая в

массиве плиток) включают ЛБ, два соединительных блока, маршрутизатор (рис.3.21). На рис.3.22 показан принцип коммутации межсоединений в разрабатываемой модели. L-маршрутизатор обеспечивает длину сегмента межсоединения в два ЛБ.

По четырем сторонам маршрутизатора располагаются многоходовые мультиплексоры, в которых сегментируется только лишь одна из двух пар разнонаправленных межсоединений в горизонтальных и вертикальных направлениях. Не сегментируемая пара разнонаправленных межсоединений переключается “косичкой” с сегментируемой парой за пределами плитки (рис.3.22).

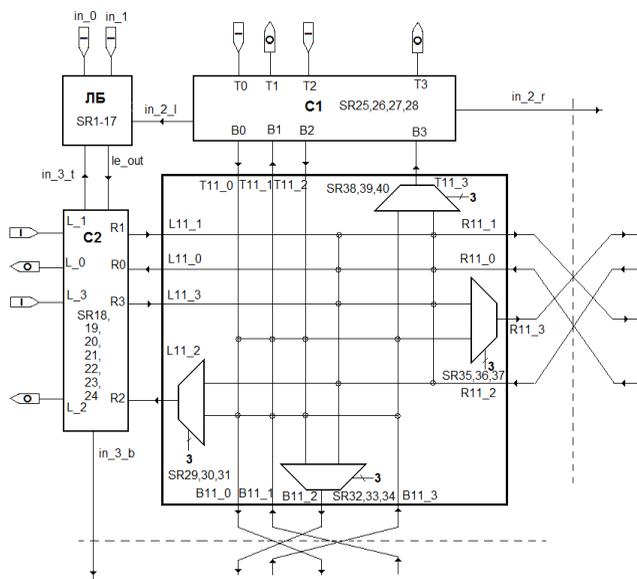


Рис.3.21. Плитка ПЛИС типа ППВМ с одноуровневой системой межсоединений

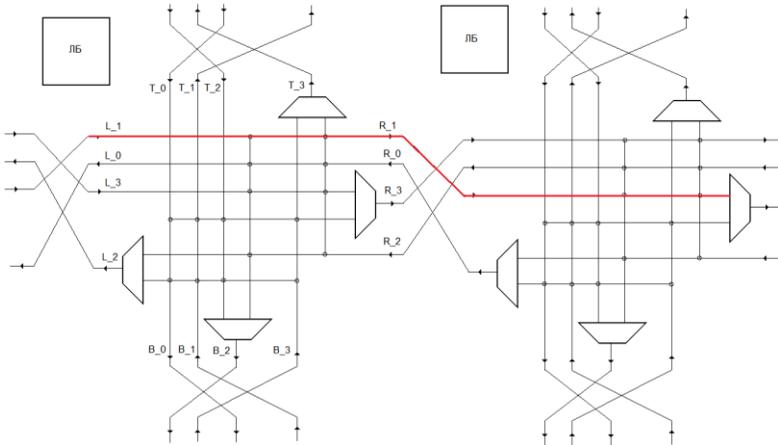


Рис.3.22. L2-маршрутизатор. Коммутирует две пары разнонаправленных межсоединений в горизонтальном и вертикальном направлениях, обеспечивая длину сегмента в два логических блока (длинная линия $L=2$)

Тестирование плитки на выполнение булевой функции 4И-НЕ в системе Matlab/Simulink показано на рис.3.23. На рис.3.24 показан нижний уровень иерархии. Для конфигурирования плитки необходимо 40 бит памяти. Конфигурационная карта памяти одной плитки ПЛИС показана в табл.3.2. В табл.3.3 приведен тест на выполнение булевой функции 4 И-НЕ. На адресные входы мультиплексора 16 в 1 (LUT-таблица) подается комбинация из четырех логических единиц 1111, а на информационные входы подключается 16 ячеек памяти с содержимым, отражающим принцип работы логического элемента 4И-НЕ (таблица истинности) при этом, на выходе логического блока ожидаем логический 0. Остальные 24 ячейки памяти необходимы для программируемой коммутации.

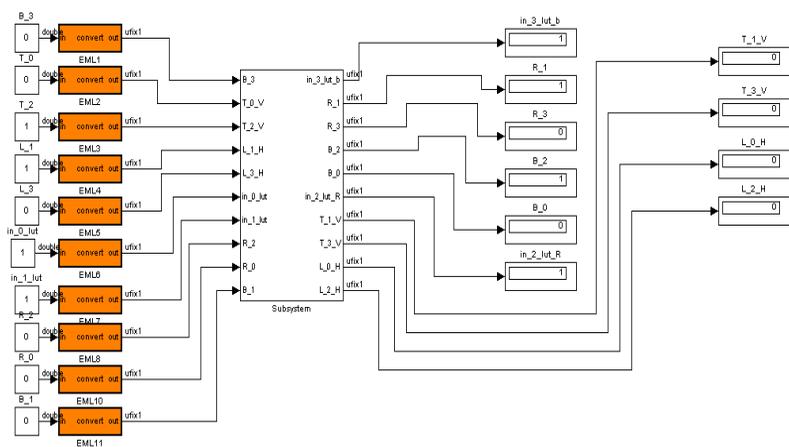


Рис.3.23. Плитка в системе Matlab/Simulink. Верхний уровень иерархии

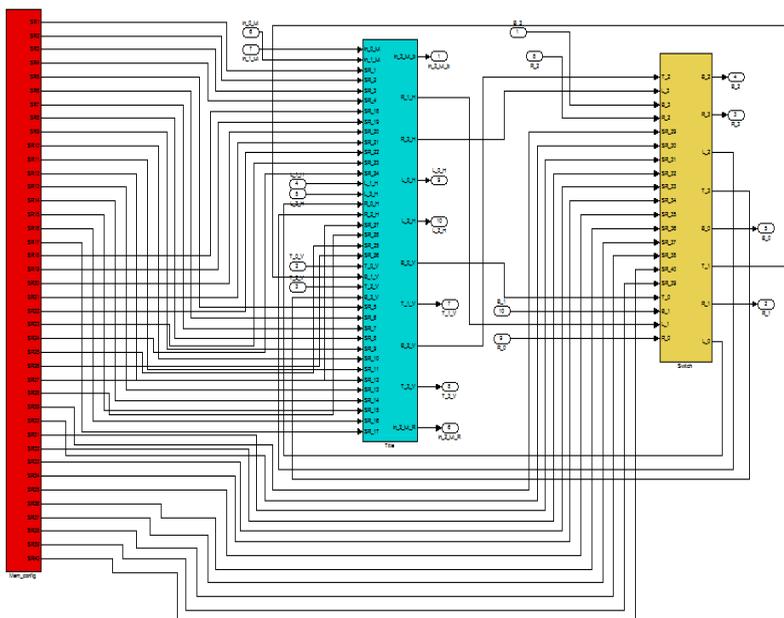


Рис.3.24. Нижний уровень иерархии плитки. Массив конфигурационной памяти (40 бит), логический блок с соединительными блоками, маршрутизатор

Таблица 3.2

Конфигурационная карта памяти одной плитки ПЛИС

| Функциональный блок | Конфигурационные биты (ячейки памяти) | Примечание |
|---|--|--|
| Логический блок | | |
| LUT-таблица | SR1-SR4; SR5-SR8; SR9-SR12; SR13-SR16 | In_0, In_1, In_2_1, In_3_t |
| Выходной мультиплексор 2 в 1 | SR17 | SR17=1 – регистренный выход SR17=0 – комбинаторный выход |
| Соединительный блок С2 | | |
| Crossbar (подключает выход ЛБ и МС L_1, R_0, L_3, R_2 к трассировочному каналу или ко входам In_3_lut_t, In_3_lut_b ЛБ) | | |
| Демультимплексор 1 в 4 (SR_demux) | SR18-19 | Выход ЛБ подключается к одному из МС R_1, L_0, R_3, L_2 |
| SR_En_demux | SR20 | Разрешение подключения выхода ЛБ к одному из МС R_1, L_0, R_3, L_2 |
| Мультиплексоры | | |
| Мультиплексор 4 в 1 (верхний) | SR21-22 (SR_mux_t) | Подключает одно из МС L_1, R_0, L_3, R_2 ко входу In_3_t ЛБ |
| Мультиплексор 4 в 1 (нижний) | SR23-24 (SR_mux_b) | Подключает одно из МС L_1, R_0, L_3, R_2 ко входу In_3_b ЛБ |
| Маршрутизатор, S-блок | | |
| Мультиплексор 5 в 1 (левый) | SR 29,30,31 | Подключает одно из МС R_2, B_0, B_1, T_2, B_3 к МС L_2 |
| Мультиплексор 5 в 1 (нижний) | SR 32,33,34 | Подключает одно из МС T_2, L_1, L_0, L_3 к МС B_2 |
| Мультиплексор 5 в 1 (правый) | SR 35,36,37 | Подключает одно из МС L_3, B_0, B_1, T_2, B_3 к МС R_3 |
| Мультиплексор 5 в 1 (верхний) | SR 38,39,40 | Подключает одно из МС B_3, L_1, L_0, L_3, R_2 к МС T_3 |

Продолжение Табл. 3.2

| Соединительный блок С1 | | |
|-------------------------------|---------|--|
| Мультиплексор 4 в 1 (левый) | SR25-26 | Подключает одно из МС Т_0, В_1, Т_2, В_3 ко входу in_2_lut_L |
| Мультиплексор 4 в 1 (правый) | SR27-28 | Подключает одно из МС Т_0, В_1, Т_2, В_3 ко входу in_2_lut_R |

* МС -межсоединение

Таблица 3.3

Тест на выполнение булевой функции 4 И-НЕ

| Функциональный блок | Конфигурационные биты (ячейки памяти) | Примечание |
|-----------------------------------|---|---|
| Логический блок | | |
| LUT-таблица | SR1-SR4 =1; SR5-SR8=1; SR9-SR12=1; SR13-SR15 =1; SR16=0 | При In_0=1, In_1=1, In_2_l=1, In_3_t=1 на выходе le_out ожидаем лог.0 Доступ к In_2_l обеспечивается со входа Т_2 Доступ к In_3_t обеспечивается со входа L_1 |
| Выходной мультиплексор 2 в 1 | SR17 | SR17=1 – регистренный выход SR17=0 – комбинаторный выход |
| Соединительный блок С2 | | |
| Демультимплексор 1 в 4 (SR_demux) | SR18-SR19 | Выход ЛБ подключаем к межсоединению R_3 при этом L_3=0 SR19=1 SR18=0 |
| SR_En_demux | SR20 | Разрешение подключения выхода ЛБ к МС R_1, L_0, R_3, L_2 SR20=1 |
| Мультиплексор 4 | SR21-22 | Подключает МС L_1 ко |

| | | |
|---------------|------------|------------------------------------|
| в 1 (верхний) | (SR_mux_t) | входу In_3_t ЛБ SR22=0 и SR21=0 |
|---------------|------------|------------------------------------|

Продолжение Табл. 3.3

| | | |
|----------------------------------|-----------------------|---|
| Мультиплексор 4 в 1 (нижний) | SR23-24 (SR_mux_b) | Подключает MC L_1 ко входу In_3_b ЛБ SR24=0 и SR23=0 |
| Маршрутизатор, S-блок | | |
| Мультиплексор 5 в 1 (левый) | SR 29,30,31 | Подключает MC R_2 к MC L_2 SR 29,30,31=0 |
| Мультиплексор 5 в 1 (нижний) | SR 32,33,34 | Подключает MC T_2 к MC B_2 SR 32,33,34=0 |
| Мультиплексор 5 в 1 (правый) | SR 35,36,37 | Подключает MC L_3 к MC R_3 SR 35,36,37=0 |
| Мультиплексор 5 в 1 (верхний) | SR 38,39,40 | Подключает MC B_3 к MC T_3 SR 38,39,40=0 |
| Соединительный блок C1 | | |
| Мультиплексор 4 в 1 (левый) | SR25-26 | Подключает MC T_2 ко входу in_2_lut_L SR26=1 и SR25=0 |
| Мультиплексор 4 в 1 (правый) | SR27-28 | Подключает MC T_2 ко входу in_2_lut_R SR28=1 и SR27=0 |

На рис.3.25 показан фрагмент массива конфигурационной памяти плитки. Конфигурационные биты задаются как константы типа double и сохраняются в блоках памяти. Для автоматической генерации кода языка VHDL необходимо осуществить конвертацию типа double в тип ufix (пример 1). На рис.3.26 показан логический блок и два соединительных блока C1 и C2. Адресные шины мультиплексоров соединительных блоков и LUT-таблицы организуются с помощью функции объединения битов bitconcat (пример 2).

На рис.3.27 показан логический блок плитки, который состоит из LUT-таблицы (мультиплексора 16 в 1), элемента памяти (триггера), мультиплексора 2 в 1. На рис.3.28 показан соединительный блок C2, который осуществляет коммутацию выхода ЛБ к одному из межсоединений трассировочного канала и коммутацию одного из межсоединений трассировочного канала к третьему входу логического блока LUT-таблицы (in_3_lut_t или in_3_lut_b). С помощью верхнего и нижнего мультиплексора выход логического блока может быть подключен обратно на третий вход LUT-таблицы верхнего или нижнего логического блока.

Описание блока Crossbar на языке M-файлов демонстрирует пример 3. Блок Crossbar выполняет функцию демультиплексора. Выходы которого объединяются с межсоединениями трассировочного канала с использованием функции bitor (ИЛИ) с разрешением по выходу (En). На выходах демультиплексора предварительно устанавливаются нули, сигнал En=1 разрешает подключение выхода логического блока к трассировочному каналу. Пример 4 демонстрирует автоматически сгенерированный код языка VHDL блока Crossbar полученный с помощью Simulink HDL Coder.

На рис.3.29 показан соединительный блок C1, который осуществляет подключение межсоединения из вертикального трассировочного канала ко второму входу LUT-таблицы, левому или к правому соседнему (in_2_lut_l или in_2_lut_r). Пример 5 демонстрирует M-файл мультиплексора 4 в 1 входящего в состав соединительного блока C1. Подключение сигналов ко второму in_2_lut_l и третьему in_3_lut_t входу LUT-таблицы осуществляется с помощью элемента задержки Unit Delay. На рис.3.30 показан маршрутизатор (S-блок) и код языка VHDL мультиплексора 5 в 1 используемого в маршрутизаторе.

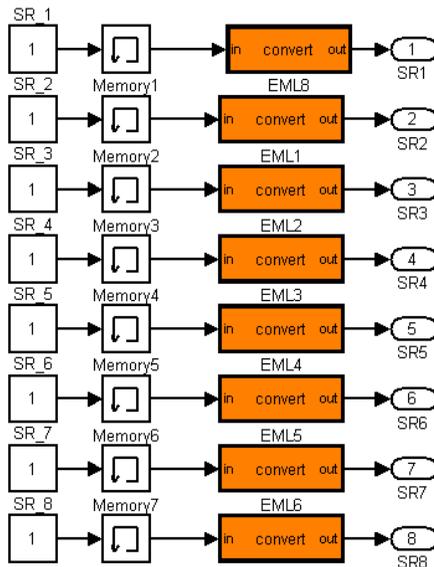


Рис.3.25. Фрагмент массива конфигурационной памяти

Пример 1. Конвертация типа double в тип `ufix` для генерации кода языка VHDL

```
function out = convert(in)
```

```
hdl_fm = fimath(...
```

```
'RoundMode', 'floor',...
```

```
'OverflowMode', 'wrap',...
```

```
'ProductMode', 'FullPrecision', 'ProductWordLength', 32,...
```

```
'SumMode', 'FullPrecision', 'SumWordLength', 32,...
```

```
'CastBeforeSum', true);
```

```
out = fi(in, 0, 1, 0, hdl_fm)
```

```
end
```

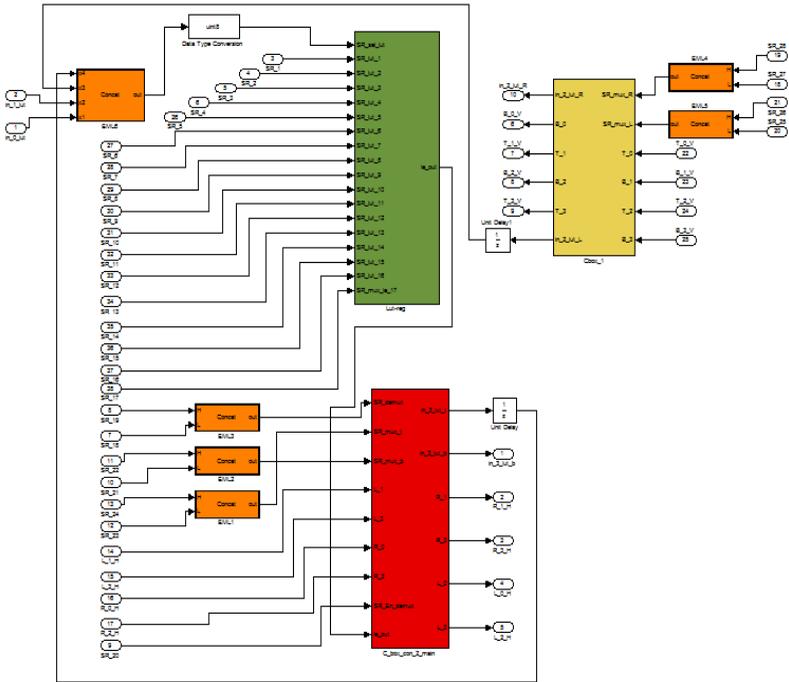


Рис.3.26. Логический блок и два соединительных блока C1 и C2

Пример 2. Создание двух разрядной шины

```
function out = Concat(H, L)
```

```
hdl_fm = fimath(...
```

```
'RoundMode', 'floor',...
```

```
'OverflowMode', 'wrap',...
```

```
'ProductMode', 'FullPrecision', 'ProductWordLength', 32,...
```

```
'SumMode', 'FullPrecision', 'SumWordLength', 32,...
```

```
'CastBeforeSum', true);
```

```
out = fi(bitconcat(fi(H, 0, 1, 0, hdl_fm), fi(L, 0, 1, 0, hdl_fm)));
```

```
end
```

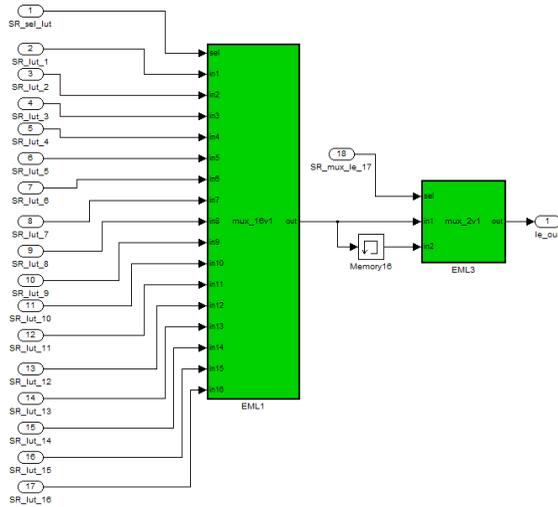


Рис.3.27. Логический блок плитки (мультиплексор 16 в 1, элемент памяти, мультиплексор)

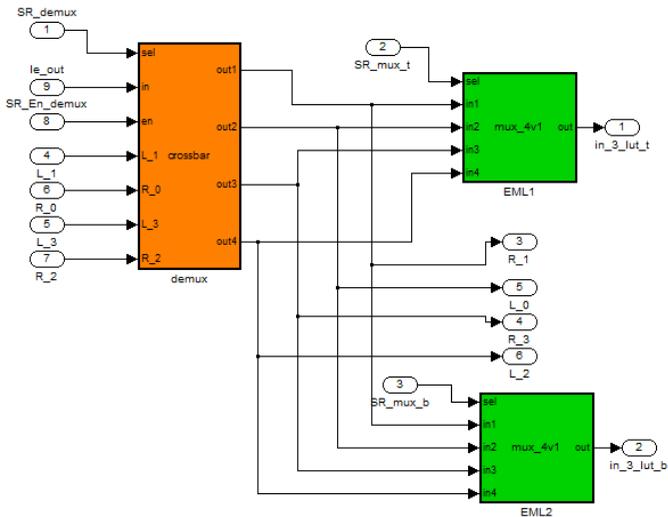


Рис.3.28. Соединительный блок C2

Пример 3. М-файл блока Crossbar входящего в состав соединительного блока C2

```

function [out1, out2, out3, out4] = crossbar(sel, in, en, L_1, R_0, L_3, R_2)
hdl_fm = fimath(...
'RoundMode', 'floor',...
'OverflowMode', 'wrap',...
'ProductMode', 'FullPrecision', 'ProductWordLength', 32,...
'SumMode', 'FullPrecision', 'SumWordLength', 32,...
'CastBeforeSum', true);

out1_de = fi(0, 0, 1, 0, hdl_fm);
out2_de = fi(0, 0, 1, 0, hdl_fm);
out3_de = fi(0, 0, 1, 0, hdl_fm);
out4_de = fi(0, 0, 1, 0, hdl_fm);

if (logical(en))
switch (uint8(sel))
    case 0,
        out1_de = fi(in, 0, 1, 0, hdl_fm);
    case 1,
        out2_de = fi(in, 0, 1, 0, hdl_fm);
    case 2,
        out3_de = fi(in, 0, 1, 0, hdl_fm);
    case 3,
        out4_de = fi(in, 0, 1, 0, hdl_fm);

end
end

out1 = fi(bitor(out1_de,L_1), 0, 1, 0, hdl_fm);
out2 = fi(bitor(out2_de,R_0), 0, 1, 0, hdl_fm);
out3 = fi(bitor(out3_de,L_3), 0, 1, 0, hdl_fm);
out4 = fi(bitor(out4_de,R_2), 0, 1, 0, hdl_fm);

end

```

Пример 4. Код языка VHDL блока Crossbar входящего в состав соединительного блока C2

```

ENTITY demux IS
PORT (
    sel : IN std_logic_vector(1 DOWNTO 0);
    in_rsvd : IN std_logic;
    en : IN std_logic;
    L_1 : IN std_logic;
    R_0 : IN std_logic;
    L_3 : IN std_logic;

```

```

R_2 : IN std_logic;
out1 : OUT std_logic;
out2 : OUT std_logic;
out3 : OUT std_logic;
out4 : OUT std_logic);
END demux;
ARCHITECTURE rtl OF demux IS
BEGIN
    demux : PROCESS (sel, in_rsvd, en, L_1, R_0, L_3, R_2)
        VARIABLE out1_de : std_logic;
        VARIABLE out2_de : std_logic;
        VARIABLE out3_de : std_logic;
        VARIABLE out4_de : std_logic;
        VARIABLE c_uint : std_logic;
        VARIABLE b_c_uint : std_logic;
        VARIABLE c_c_uint : std_logic;
        VARIABLE d_c_uint : std_logic;
    BEGIN
        out1_de := '0';
        out2_de := '0';
        out3_de := '0';
        out4_de := '0';

        IF en /= '0' THEN

            CASE sel IS
                WHEN "00" =>
                    out1_de := in_rsvd;
                WHEN "01" =>
                    out2_de := in_rsvd;
                WHEN "10" =>
                    out3_de := in_rsvd;
                WHEN "11" =>
                    out4_de := in_rsvd;
                WHEN OTHERS =>
                    NULL;
            END CASE;
        END IF;
        c_uint := out1_de OR L_1;
        out1 <= c_uint;
        b_c_uint := out2_de OR R_0;
        out2 <= b_c_uint;
        c_c_uint := out3_de OR L_3;

```

```

out3 <= c_c_uint;
d_c_uint := out4_de OR R_2;
out4 <= d_c_uint;
END PROCESS demux;
END rtl;

```

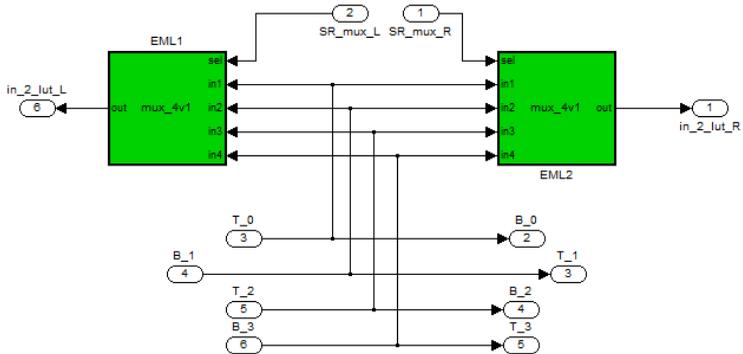


Рис.3.29. Соединительный блок C1. Подключение МС из вертикального трассировочного канала ко второму входу LUT-таблицы (in_2_lut_l или in_2_lut_r)

Пример 5. М-файл мультиплексора 4 в 1 входящего в состав соединительного блока C1

```

function out = mux_4v1(sel, in1, in2, in3, in4)
hdl_fm = fimath(...
'RoundMode', 'floor',...
'OverflowMode', 'wrap',...
'ProductMode', 'FullPrecision', 'ProductWordLength', 32,...
'SumMode', 'FullPrecision', 'SumWordLength', 32,...
'CastBeforeSum', true);

```

```

out = fi(0, 0, 1, 0, hdl_fm);
switch (uint8(sel))
case 0,
out = fi(in1, 0, 1, 0, hdl_fm);
case 1,
out = fi(in2, 0, 1, 0, hdl_fm);
case 2,
out = fi(in3, 0, 1, 0, hdl_fm);
case 3,

```

```

end
out = fi(in4, 0, 1, 0, hdl_fm);

```

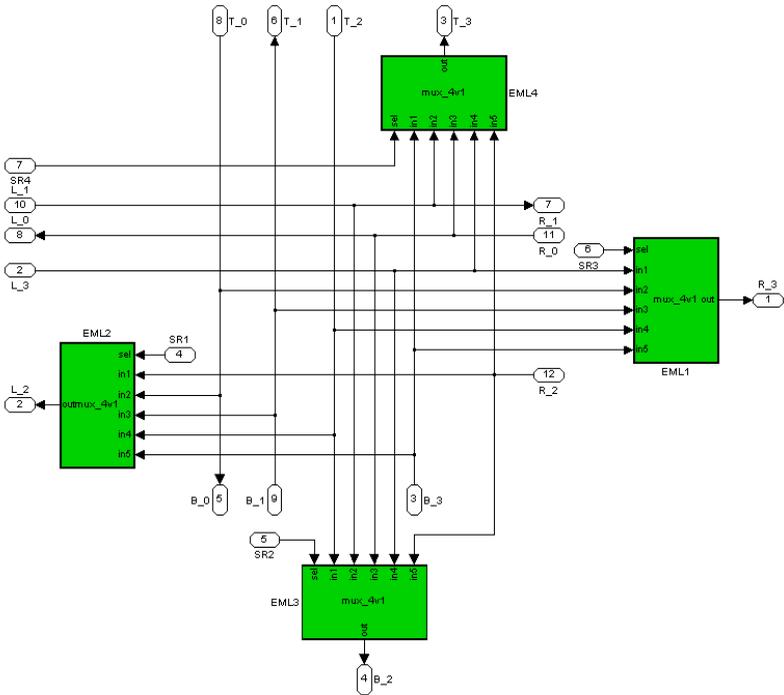


Рис.3.30. Маршрутизатор трассировочных ресурсов

Пример.6. Код языка VHDL дешифратора 5 в 1 используемого в маршрутизаторе

```

LIBRARY ieee;
USE ieee.std_logic_1164.all;
USE ieee.numeric_std.all;
ENTITY EML1_block IS
PORT (
    sel : IN std_logic_vector(2 DOWNTO 0);
    in1 : IN std_logic;
    in2 : IN std_logic;
    in3 : IN std_logic;
    in4 : IN std_logic;
    in5 : IN std_logic;
    out_rsvd : OUT std_logic);

```

```

END EML1_block;

ARCHITECTURE rtl OF EML1_block IS

BEGIN
  EML1_block : PROCESS (sel, in1, in2, in3, in4, in5)
  BEGIN
    out_rsvd <= '0';
    CASE sel IS
      WHEN "000" =>
        out_rsvd <= in1;
      WHEN "001" =>
        out_rsvd <= in2;
      WHEN "010" =>
        out_rsvd <= in3;
      WHEN "011" =>
        out_rsvd <= in4;
      WHEN "100" =>
        out_rsvd <= in5;
      WHEN OTHERS =>
        NULL;
    END CASE;
  END PROCESS EML1_block;
END rtl;

```

Продемонстрирована возможность использования системы визуально-иммитационного моделирования Matlab/Simulink с приложением Simulink HDL Coder для разработки архитектуры академической ПЛИС с одноуровневой структурой межсоединений на уровне системы. Разработанная архитектура ПЛИС обеспечивает однотипность трассировочность ресурсов по всей площади кристалла.

ЗАКЛЮЧЕНИЕ

Для современных коммерческих ПЛИС типа ППВМ характерны следующие архитектурные особенности: наличие многоуровневой структуры межсоединений; объединение логических блоков в кластеры; широкое использование коммутаторов-маршрутизаторов; смещение схмотехники в сторону использования технологии соединений single-driver; сегментированные межсоединения в трассировочных каналах различной длины.

Академические ПЛИС являются хорошей основой для разработки новых перспективных видов ПЛИС, таких как 3D ПЛИС и ПЛИС с конфигурационной памятью на нанотрубках. Ведущие мировые дизайн-центры и учебные образовательные центры широко используют программные инструменты T-Vpack и VPR как для проектирования, так и для исследования новых архитектур ПЛИС типа ППВМ.

В настоящее время разработчики как коммерческих, так и академических ПЛИС пришли к выводу о целесообразности использования однонаправленных сегментированных межсоединений различной длины в трассировочных каналах и использования мультиплексорных структур в соединительных блоках и коммутаторах-маршрутизаторах, что позволяет получать существенный выигрыш по быстродействию и по площади кристалла.

Данная работа существенно восполнит имеющиеся пробелы в отечественной учебной литературе по проектированию ПЛИС. Учебное пособие соответствует программе дисциплины “Проектирование БИС” для студентов специальности 210104 “Микроэлектроника и твердотельная электроника” очной формы обучения.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Уилкинсон Б. Основы проектирования цифровых схем: пер. с англ. / Б. Уилкинсон. М.: Издательский дом Вильямс, 2004. 320 с.
2. Армстронг Дж. Р. Моделирование цифровых систем на языке VHDL: пер. с англ. / Р. Дж. Армстронг. М.: Мир, 1992. 348 с.
3. Максфилд К. Проектирование на ПЛИС: курс молодого бойца: пер. с англ. / К. Максфилд. М.: Издательский дом Додэка XXI, 2007. 408 с.
4. Уэйкерли. Джон Ф. Проектирование цифровых устройств: пер. с англ. / Ф. Джон. Уэйкерли. М.: Постмаркет, 2002. 533 с.
5. Токхейм Р. Основы цифровой электроники: пер. с англ. / Р. Токхейм. М.: Мир, 1988. 392 с.
6. Хоровиц П. Искусство схемотехники: пер. с англ. / П. Хоровиц, У. Хилл. М.: Мир, 1998. 704 с.
7. Угрюмов Е.П. Цифровая схемотехника / Е.П. Угрюмов. СПб.: БХВ, 2004. 528 с.
8. Стешенко В. ПЛИС фирмы ALTERA: проектирование устройств обработки сигналов / В. Стешенко. М.: Додэка, 2000. 457 с.
9. ПЛИС типа ППВМ с одноуровневой структурой межсоединений / А. Строгонов, М. Мотылев, С. Давыдов, А. Быстрицкий // Компоненты и технологии. 2011. N1. С.14-19.
10. ПЛИС в ПЛИС или как спроектировать самому / А. Строгонов, М. Мотылев, С. Давыдов, А. Быстрицкий, С. Цыбин // Компоненты и технологии. 2011. N4. С.68-73.
11. Проектирование академических ПЛИС типа ППВМ с одноуровневой структурой межсоединений / А. Строгонов, М. Мотылев, С. Давыдов, А. Быстрицкий, С. Цыбин // Компоненты и технологии. 2011. N6. С.64-69.
12. Программируемая коммутация межсоединений в ПЛИС типа программируемые пользователем вентильные матрицы / А.В. Строгонов, С.И. Давыдов, М.С. Мотылев, А.В. Быстрицкий // Вестник Воронежского государственного технического университета. 2011. Том 7 N 8. С.21-24.

ОГЛАВЛЕНИЕ

| | |
|--|-----|
| ВВЕДЕНИЕ | 3 |
| 1. ЦИФРОВЫЕ БИС | 4 |
| 1.1. Специализированные БИС | 4 |
| 1.2. Программируемые логические ИС | 6 |
| 1.3. Академические ПЛИС | 18 |
| 1.4. Индустриальные ПЛИС фирмы Altera | 25 |
| 1.4.1. Семейство ПЛИС MAX3000 и MAX7000 | 26 |
| 1.4.2. Семейство ПЛИС FLEX6000 и FLEX10K | 34 |
| 1.4.3. Семейство ПЛИС APEX20K | 44 |
| 1.4.4. Семейство ПЛИС Stratix III | 45 |
| 1.5. Программные средства проектирования ПЛИС | 51 |
| 2. Трехмерные интегральные схемы 3D БИС | 69 |
| 2.1. Проблемы, связанные с проектированием БИС по субмикронным проектным нормам, и методы их решения | 69 |
| 2.2. Стековые 3D БИС | 88 |
| 2.3. Транзисторы для "Платформы 2015" | 98 |
| 3. ПРОЕКТИРОВАНИЕ ПЛИС ТИПА ППВМ | 101 |
| 3.1. Разработка функциональной модели ПЛИС типа ППВМ в САПР Quartus II с использованием технологии соединений multi-driver | 101 |
| 3.2. Разработка модели ПЛИС типа ППВМ с одноуровневой структурой межсоединений с использованием технологии соединений single-driver в системе визуально-иммитационного моделирования Matlab/Simulink | 122 |
| ЗАКЛЮЧЕНИЕ | 140 |
| БИБЛИОГРАФИЧЕСКИЙ СПИСОК | 141 |

Учебное издание

Строгонов Андрей Владимирович
Быстрицкий Алексей Викторович
Давыдов Сергей Игоревич
Мотылёв Максим Сергеевич
Шацких Дмитрий Сергеевич

**ОСНОВЫ ПРОЕКТИРОВАНИЯ
ПРОГРАММИРУЕМЫХ ЛОГИЧЕСКИХ
ИНТЕГРАЛЬНЫХ СХЕМ**

В авторской редакции

Компьютерная верстка Д.С. Шацких, А.В. Строгонова

Подписано к изданию 31.10.2011

Объём данных 21,7 МБ

ФГБОУВПО «Воронежский государственный технический
университет»
394026 Воронеж, Московский просп., 14