

ФГБОУ ВПО «Воронежский государственный
технический университет»

Кафедра систем информационной безопасности

132-2015

МЕТОДИЧЕСКИЕ УКАЗАНИЯ

к практическим занятиям № 4–6 по дисциплине
«Организация ЭВМ и вычислительных систем»
для студентов специальности
090303 «Информационная безопасность
автоматизированных систем»
очной формы обучения

Воронеж 2015

Составители: д-р техн. наук К. А. Разинкин, аспирант
Г. А. Савенков

УДК 004.056.5

Методические указания к практическим занятиям № 4–6 по дисциплине «Организация ЭВМ и вычислительных систем» для студентов специальности 090303 «Информационная безопасность автоматизированных систем» очной формы обучения / ФГБОУ ВПО «Воронежский государственный технический университет»; сост. К. А. Разинкин, Г. А. Савенков. Воронеж, 2015. 30 с.

Методические указания посвящены исследованию функционирования узлов комбинационного типа – мультиплексоров и демультиплексоров и узлов накапливающего типа – регистров.

Методические указания подготовлены в электронном виде в текстовом редакторе MS Word 2013 и содержатся в файле Разинкин_ПЗ_Организация ЭВМ_4-6.pdf.

Табл. 17. Ил. 18. Библиогр.: 14 назв.

Рецензент д-р техн. наук, проф. А. Г. Остапенко

Ответственный за выпуск зав. кафедрой д-р техн. наук,
проф. А. Г. Остапенко

Издается по решению редакционно-издательского совета
Воронежского государственного технического университета

© ФГБОУ ВПО «Воронежский
государственный технический
университет», 2015

Практическое занятие № 4 Мультиплексоры

Цель занятия: закрепить теоретические знания, полученные при изучении мультиплексоров и исследовать их схемы

Теоретические сведения

Мультиплексор – комбинационное цифровое устройство для управляемой передачи данных от нескольких источников информации X в один выход F согласно коду адреса A [1, 8].

Мультиплексор имеет n адресных шин, $m = 2^n$ – входов и один информационный выход F . Обозначение $MUX(m-1)$.

Например, $MUX(4-1)$: в зависимости от кода, подаваемого в адресные шины A_0, A_1 один из информационных входов $X_0...X_3$ подключается к выходному каналу F (рис. 1).

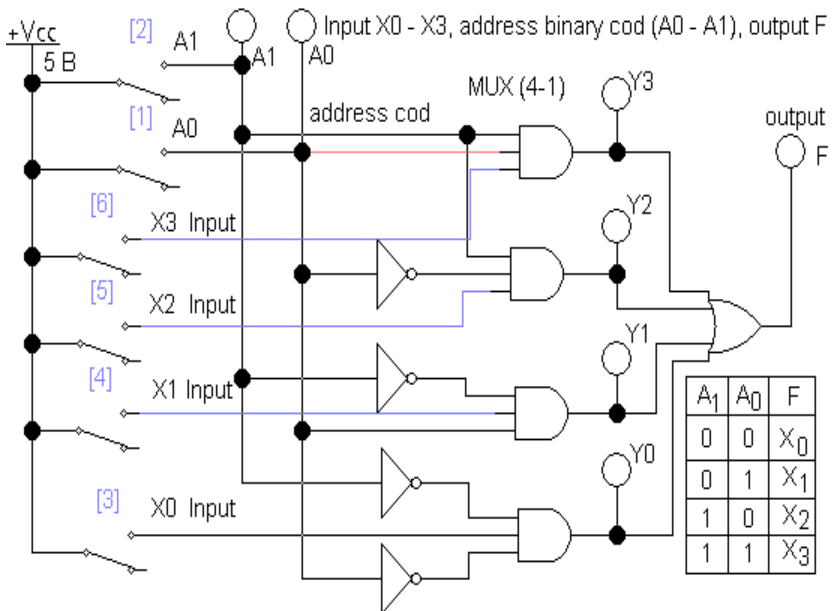


Рис. 1. Мультиплексор MUX(4-1)

На рис. 2 представлен $MUX(8-1)$, входы $X_0, X_1 \dots X_7$, адреса A_0, A_1, A_2 , выход F .

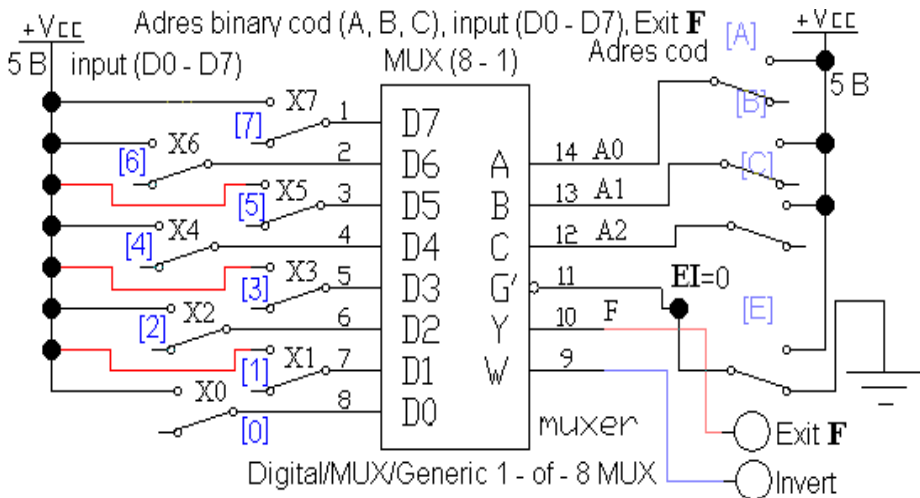


Рис. 2. Мультиплексор $MUX(8-1)$

Функция алгебры логики, описывающая работу мультиплексора (рис. 1), имеет вид:

$$F = \overline{A_1} \cdot \overline{A_0} \cdot X_0 + \overline{A_1} A_0 X_1 + A_1 \overline{A_0} X_2 + A_1 A_0 X_3.$$

Мультиплексоры имеют разрешающий вход EI , если на него подается логическая единица, то происходит передача информации. На рис. 2 этот вход инверсный.

На мультиплексорах можно реализовать любую логическую функцию. Например, необходимо получить логический элемент ЗИ (рис. 3). Для этого составляется таблица истинности (табл. 2).

Таблица истинности элемента «И»

№ входа X	A_2	A_1	A_0	F
X_0	0	0	0	0
X_1	0	0	1	0
X_2	0	1	0	0
X_3	0	1	1	0
X_4	1	0	0	0
X_5	1	0	1	0
X_6	1	1	0	0
X_7	1	1	1	1

В соответствии с адресом, выход F подключается к соответствующему входу X . Если на эти входы подать логические сигналы согласно столбцу F , то получится требуемый элемент (рис. 3).

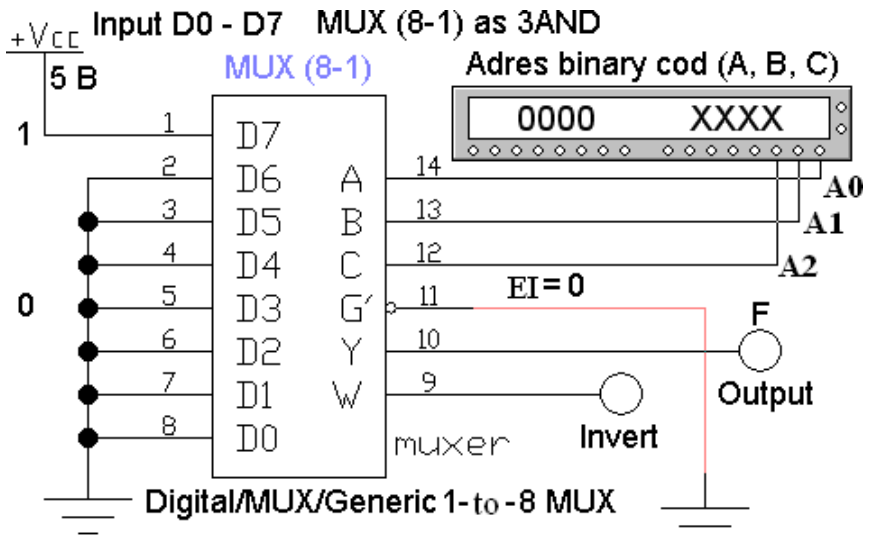


Рис. 3. Логический элемент 3И на мультиплексоре MUX(8-1).

Используя табл. 1, согласно стандартным процедурам, можно записать аналитическое выражение работы мультиплексора:

$$F = \overline{A_2} \cdot \overline{A_1} \cdot \overline{A_0} \cdot X_0 + \overline{A_2} \cdot \overline{A_1} A_0 X_1 + \overline{A_2} A_1 \overline{A_0} X_2 + \overline{A_2} A_1 A_0 X_3 + A_2 \overline{A_1} \cdot \overline{A_0} X_4 + A_2 \overline{A_1} A_0 X_5 + A_2 A_1 \overline{A_0} X_6 + A_2 A_1 A_0 X_7.$$

Пример. Реализовать функцию F на $MUX(4-1)$:

$$F = D_0 D_1 D_2 + D_0 \overline{D_1} \cdot \overline{D_2} + \overline{D_0} D_1 \overline{D_2} + \overline{D_0} \cdot \overline{D_1} \cdot \overline{D_2}$$

Последовательность операций:

Адресных входов меньше, чем переменных X . Поскольку D_0 и D_1 входят во все слагаемые группы сомножителей в прямом и инверсном виде, примем: $D_0 = A_0$; $D_1 = A_1$.

Составим карту Карно (табл. 2), используя аналитическое выражение для определения значений функции F в клетках данной таблицы. Наборам адресов A_0 ; A_1 соответствуют входы мультиплексора X , которые подключаются к выходу F (табл. 2, 3).

Из табл. 2 следует, что на первых трех наборах адресов, функция F равна инверсному значению D_2 . Для четвертого набора $F = D_2$. Схема устройства представлена на рис. 4. Выход микросхемы 74352 инверсный, поэтому к нему подключен инвертор.

Таблица 2

Карта Карно

		$D_2 D_0$			
		00	01	11	10
D_1	0	1	1	0	1
	1	0	0	1	0
Информационные Входы		X_0	X_1	X_3	X_2

Таблица истинности

№	D	A_1	A_0	F
1	D_2'	0	0	D_0
2	D_2'	0	1	D_1
3	D_2'	1	0	D_2
4	D_2	1	1	D_3

X_2' – инверсное значение X_2

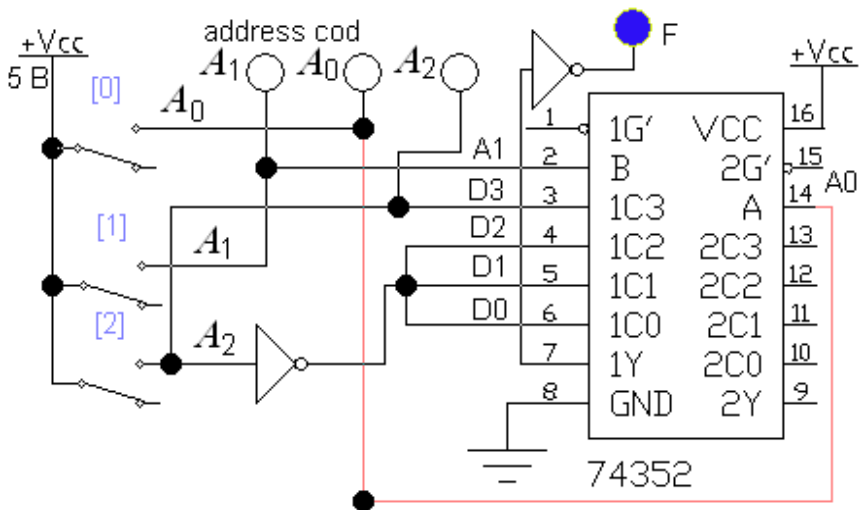


Рис. 4. Реализация логической функции на мультиплексоре MUX(4-1)

Для увеличения разрядности мультиплексора используются разрешающие входы EI .

На рис. 5 представлен MUX(8-1) на двух MUX(4-1) и одном MUX(2-1).

Мультиплексоры расположены в модулях 1, 2, 3, которые раскрываются двойным щелчком мыши.

Переключение между мультиплексорами (4-1) осуществляется с помощью старшего адресного разряда A_2 , который управляет работой MUX(2-1): первые четыре набора для $X_0...X_3$ считываются с MUX1, когда $A_2=0$, наборы $X_4...X_7$ с MUX2, при $A_2=1$.

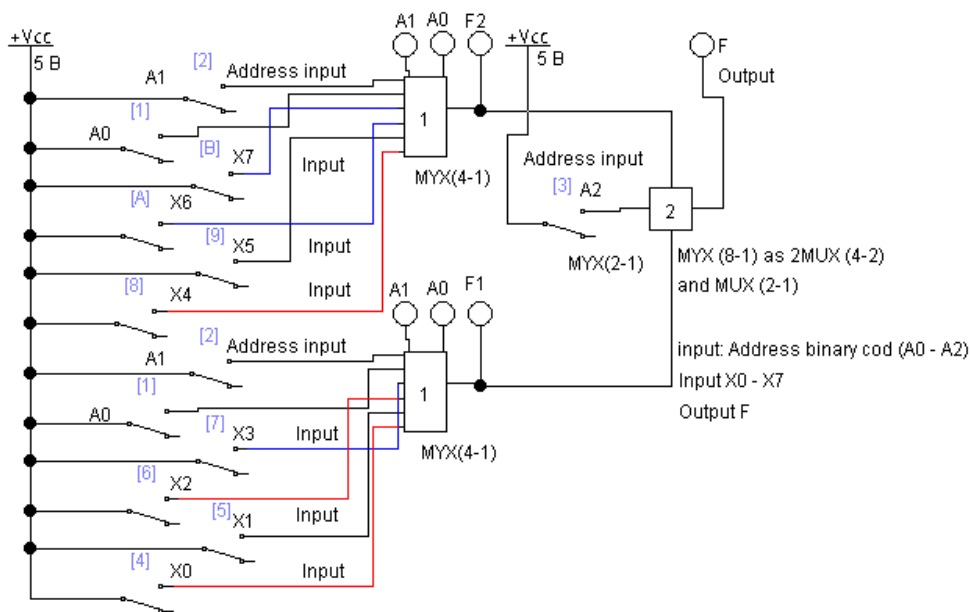


Рис. 5. Мультиплексор MUX(8-1) на двух MUX(4-1) и одном MUX(2-1)

Задание 1. Задавая комбинации входных сигналов, изучить работу мультиплексоров (рис. 1-5).

Задание 2. Составить таблицу истинности (табл. 4) MUX(8-1), рис. 3, где A0 управляется кнопкой А, A1 – кнопкой В, A2 – кнопкой С.

Таблица 4

Таблица истинности MUX(8-1)

<i>EI</i>	<i>A</i> ₂	<i>A</i> ₁	<i>A</i> ₀	Номера входов X на выходе F
	0	0	0	
	0	0	1	
	0	1	0	
	0	1	1	
	1	0	0	
	1	0	1	
	1	1	0	
	1	1	1	
	1	1	1	

Задание 3. Минимизировать и реализовать функцию F на MUX(4-1), заполнить табл. 5, 6, 7, дорисовать схему (рис. 6), указать значения входных сигналов (D , константы), подаваемых на все входы (A , X):

$$F = D_0 D_1 D_2 + D_0 \overline{D_1} \cdot \overline{D_2} + \overline{D_0} D_1 \overline{D_2} + \overline{D_0} \cdot \overline{D_1} \cdot \overline{D_2} =$$

Принять, например, $D_0 = A_0$, $D_2 = A_1$.

Заполнить: карту Карно (табл. 6);

таблицу истинности (табл. 7).

Таблица 5

Таблица истинности

№	D_2	D_1	D_0	F
0	0	0	0	
1	0	0	1	
2	0	1	0	
3	0	1	1	
4	1	0	0	
5	1	0	1	
6	1	1	0	
7	1	1	1	

Таблица 6

Карта Карно

$D_1 \backslash D_2 D_0$	00	01	11	10
0				
1				
Информационные Входы	X_0	X_1	X_3	X_2

Таблица 7

Таблица истинности

№	D	A_1	A_0	F
1		0	0	X_0
2		0	1	X_1
3		1	0	X_2
4		1	1	X_3

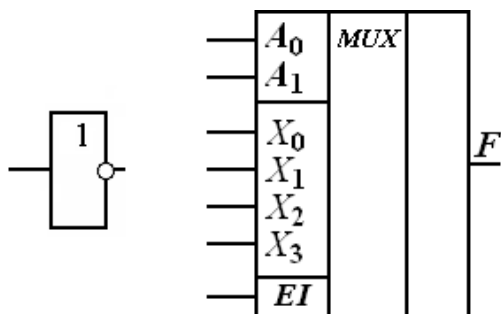


Рис. 6. Реализация логической функции

Выводы:

С помощью мультиплексора можно реализовать любую логическую функцию, предварительно преобразовав ее в совершенную дизъюнктивную нормальную форму (соответствует табл. 2).

Количество адресных входов (A) может быть меньше числа переменных (D), если использовать рассмотренные преобразования (**задание 3**).

На рис. 2 представлена реализация БФ трех переменных с помощью $MUX(4 - 1)$ согласно табл. 3. Если бы не преобразования, то потребовался бы $MUX(8 - 1)$.

Задание 4. Перечислить, где и для каких целей применяются мультиплексоры.

Контрольные вопросы

1. Что такое мультиплексор?
2. С использованием каких логических элементов выполняется мультиплексор
3. Зарисуйте обобщенную схему мультиплексора и расскажите, как он работает.
4. Постройте мультиплексор 4->1.
5. Где применяются мультиплексоры

Практическое занятие № 5 Демультимплексоры

Цель занятия: закрепить теоретические знания, полученные при изучении демультимплексоров и исследовать их схемы.

Теоретические сведения

Демультимплексором называется комбинационное логическое устройство, предназначенное для управляемой передачи данных от одного источника X информации в несколько выходных каналов выходов Y согласно коду адреса A [1,8]. Демультимплексор имеет один информационный вход, n адресных шин и $m = 2^n$ – выходов. Обозначение $CD(1-m)$.

Для схемы $DMX(1-2)$, рис. 7:

$$Y_0 = \overline{A_0} \cdot X; \quad Y_1 = A_0 \cdot X.$$

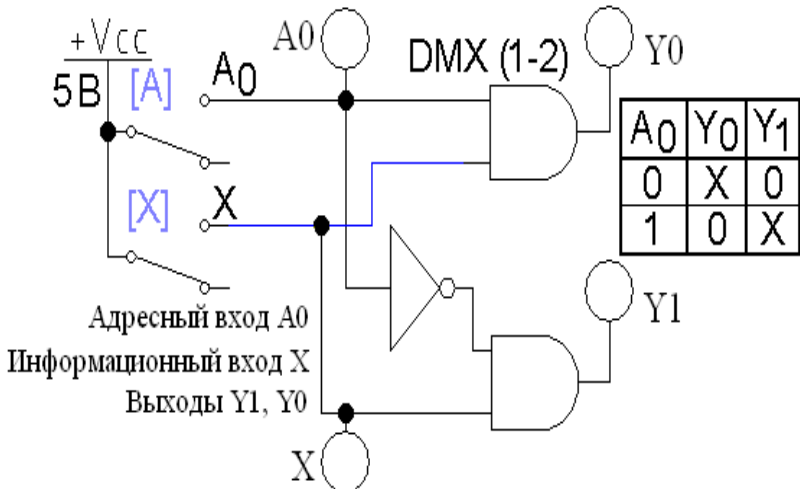


Рис. 7. Демультимплексор $DMX(1-2)$.

Дешифратор – демультимплексор (рис. 8) в случае, если выключатель X постоянно подключен к логическому нулю,

работает как дешифратор. Когда с помощью данного выключателя подается двоичный код на информационный вход X, устройство работает как демультиплексор. В качестве входа X используется служебный вход EI.

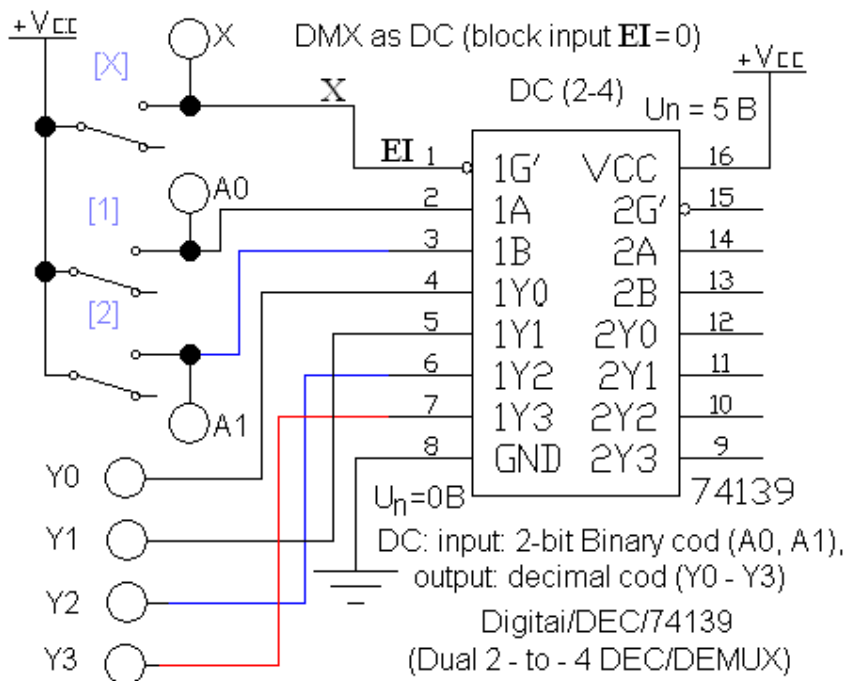


Рис. 8. Дешифратор – демультиплексор (2-4).

Применение демультиплексора как дешифратора представлено на рис. 9.

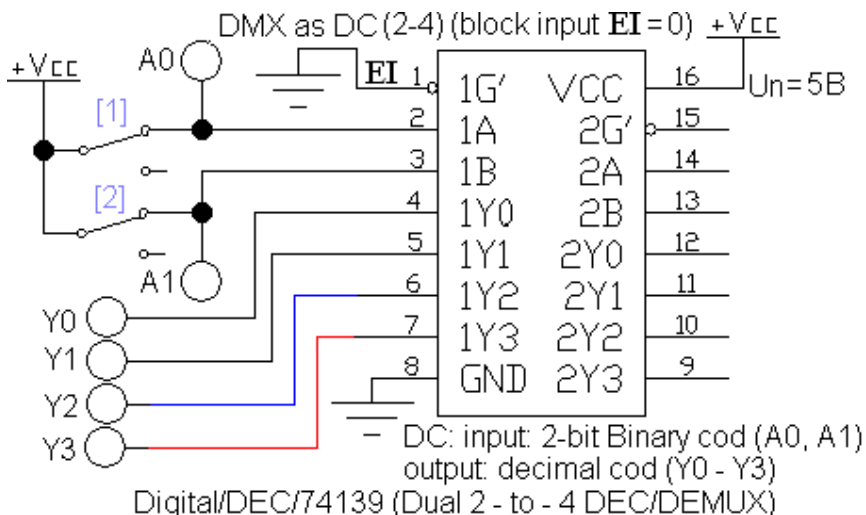


Рис. 9. Демультимплексор DMX(1-4) в качестве дешифратора DC(2-4).

Увеличение разрядности демультиплексоров осуществляется аналогично дешифраторам за счет переключения двух *DMX* старшим разрядом входного адресного двоичного кода (рис. 10). В данной схеме *DMX*(1-8) используется два *DMX*(1-4) одной микросхемы. В качестве информационного входа использованы служебные входы *EI*. Адресные входы: A_2 , A_1 , A_0 , выходы: Y_0 , $Y_1 \dots Y_7$. Демультимплексор может использоваться как дешифратор *DC*(3-8), если вход *EI* постоянно подключен к нулю.

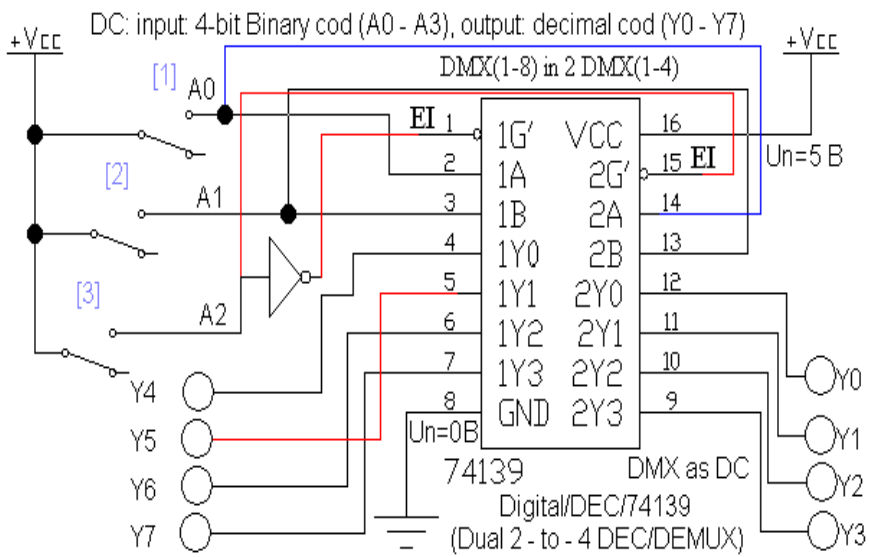


Рис. 10. Демультимплексор *DMX*(1-8) на двух *DMX*(1-4).

Аналогичное техническое решение использовано для создания *DMX*(1-16) на двух *DMX*(1-8), рис. 11.

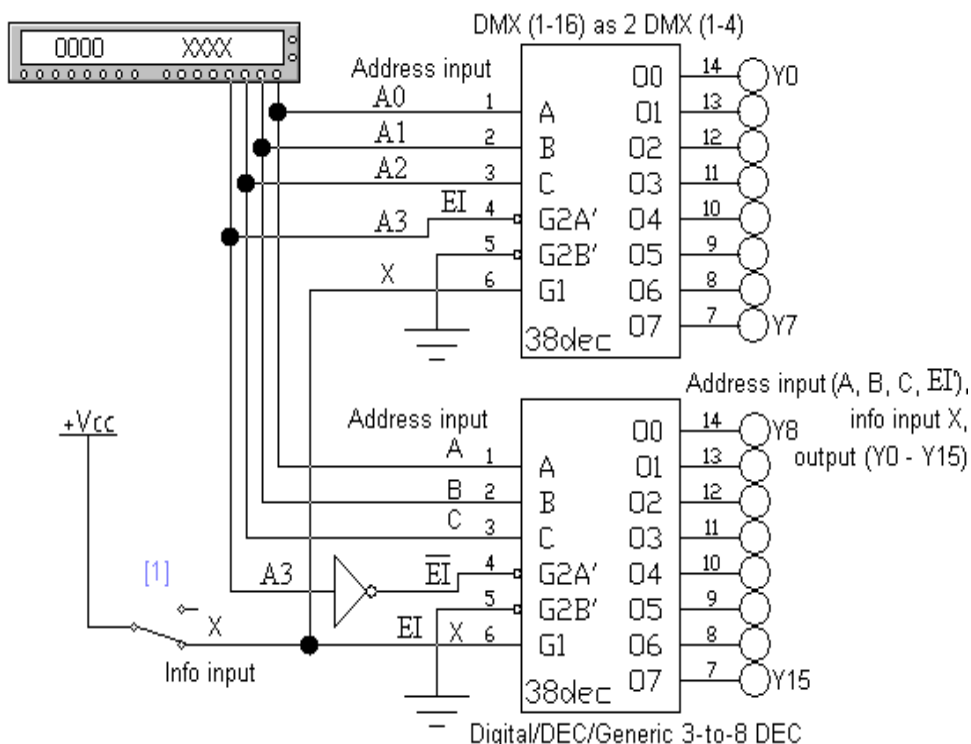


Рис. 11. Демультимплексор DMX(1-16) на двух DMX(1-8).

Для передачи данных по одному общему каналу с разделением во времени используются демультимплексоры и мультимплексоры (рис. 12). Эти устройства выполняют по отношению друг к другу обратную функцию.

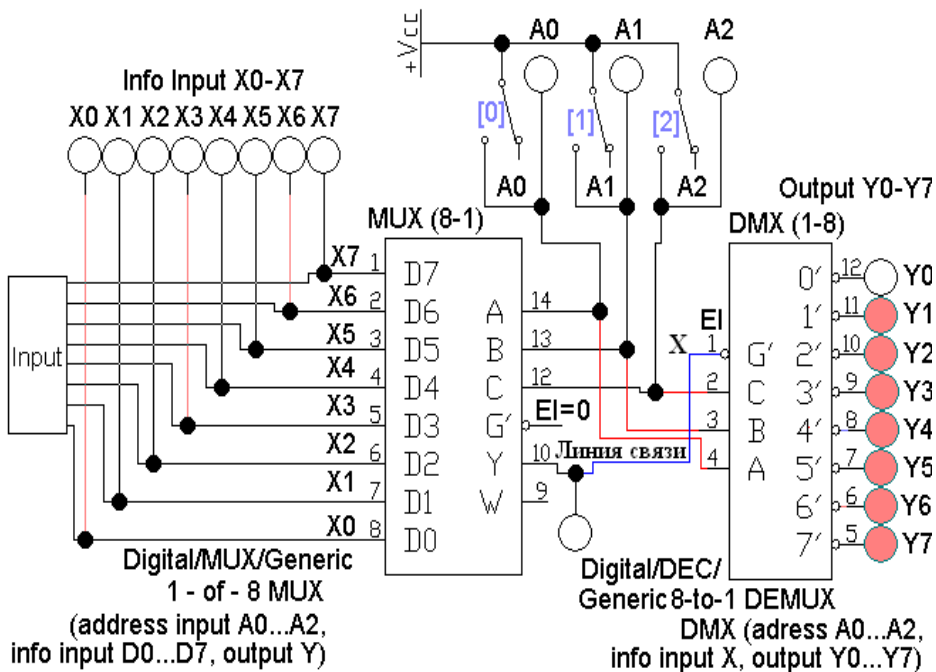


Рис. 12. Связь с временным разделением восьми каналов в последовательном коде на DMX(1-8) и мультиплексе MUX(1-8)

Система (рис. 12) содержит: набор источников информации в двоичном параллельном коде (*input*), передатчик, преобразующий параллельный код в последовательный – мультиплексор *MUX(8-1)*, на приемной части линии связи демультиплексор *DMX(1-8)* той же разрядности, преобразующий последовательный код в параллельный. Адресные коды устройств согласованы ($A_0...A_2$) и, соответственно, приемники ($Y_0...Y_7$) с передатчиками ($X_0...X_7$) информации. Пример использования: Интернет, сотовая связь и т.д.

Задание 1. Задавая комбинации входных сигналов, изучить работу демультиплексоров (рис. 7-12).

Задание 2. Для дешифратора – демультиплексора (2-4), рис. 8 составить таблицу истинности (табл. 8) его работы как демультиплексора, а также в качестве дешифратора, задав соответствующее значение переменной X (табл. 9).

Таблица 8

Таблица истинности DMX

Входы		Выходы			
A_1	A_0	Y_3	Y_2	Y_1	Y_0
0	0				
0	1				
1	0				
1	1				

Таблица 9

Таблица истинности DC

Входы			Выходы			
X	A_1	A_0	Y_3	Y_2	Y_1	Y_0
	0	0				
	0	1				
	1	0				
	1	1				
	X	X				

Символ «X» обозначает любое значение переменной, которое не оказывает влияния на результат.

Задание 3. Для модели системы связи (рис. 12), заполнить табл. 10. Требуется записать номера соединяемых линий $X_0...X_7$ (параллельный код) с линиями $Y_0...Y_7$ в соответствии с указанным адресным кодом A (одна линия X с одной линией Y).

Таблица 10

№	A_2	A_1	A_0	Номер X	Номер Y
1	0	0	0		
2	0	0	1		
3	0	1	0		
4	0	1	1		
5	1	0	0		
6	1	0	1		
7	1	1	0		
8	1	1	1		

Задание 4. В табл. 11 приведены уравнения, которые используются для увеличения разрядности демультимплексов. Удалить уравнение, которое не соответствует схеме демультимплексора, файл (рис. 10).

Таблица 11

Таблица уравнений для увеличения разрядности

№	Уравнения
1	$F_{DMX(1-8)} = \overline{A_0} F_{DMX(91-4)}^1 + A_0 F_{DMX(1-4)}^2 =$ $= \overline{A_0} (F_0 \overline{A_1} \cdot \overline{A_2} + F_2 A_1 \overline{A_2} + F_4 \overline{A_1} A_2 + F_6 A_1 A_2) +$ $+ A_0 (F_1 \overline{A_1} \cdot \overline{A_2} + F_3 A_1 \overline{A_2} + X_5 \overline{A_1} A_2 + F_7 A_1 A_2).$
2	$F_{DMX(1-8)} = \overline{A_2} F_{DMX(1-4)}^1 + A_2 F_{DMX(1-4)}^2 =$ $= \overline{A_2} (F_0 \overline{A_0} \cdot \overline{A_1} + F_1 A_0 \overline{A_1} + F_2 \overline{A_0} A_1 + F_3 A_0 A_1) +$ $+ A_2 (F_4 \overline{A_0} \cdot \overline{A_1} + F_5 A_0 \overline{A_1} + X_6 \overline{A_0} A_1 + F_7 A_0 A_1).$

Выводы:

Демультимплексор:

- может работать в качестве дешифратора;
- является основным элементом систем связи с временным разделением;
- используется для согласования работы устройств компьютера (микропроцессор, память и т.д.), т.к. они содержат мультимплексоры для снижения числа выводов микросхем и обмениваются информацией аналогично системам связи с временным разделением.

Контрольные вопросы

1. Мультимплексоры и их назначение. УГО.
2. Увеличение разрядности мультимплексоров.
3. Реализация функций алгебры логики на мультимплексоре.
4. Использование мультимплексоров для построения логических функций.
5. Как следует поступать, если разрядность имеющихся в Вашем распоряжении мультимплексоров меньше требуемой?
6. Как определить разрядность порядка целого числа, если известна разрядность этого числа в формате фиксированной запятой?
7. Сколько нужно иметь мультимплексоров, чтобы преобразовать число в формате с плавающей запятой (матисса=8, порядок=3) в формат с фиксированной запятой.

Практическое занятие № 6

Регистры

Цель занятия: Изучение схемных разновидностей регистров и их функционирования, приобретение навыков в определении характеристик регистров.

Теоретические сведения

Регистром называется организованная по определенному принципу совокупность триггеров, предназначенная для хранения информации в виде двоичных слов и выполнения над ними микроопераций [13,14].

Микрооперация - это элементарное машинное действие, выполняемое, например, в микропроцессоре, в результате которого изменяется значение слова или осуществляется его пересылка.

Регистр состоит из триггеров, для хранения информации и логических элементов, осуществляющих управление его работой [11].

Последовательный регистр

Функциональная схема сдвигающего последовательного регистра приведена на рис. 13.

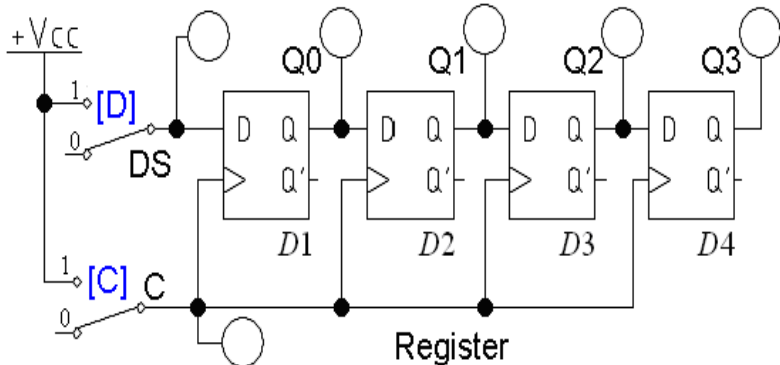


Рис. 13. Функциональная схема четырехразрядного последовательного регистра

Входная информация в виде двоичных последовательных кодов поступает на вход DS (встречается обозначение D) начиная со старшего разряда. Запись в регистр осуществляется по переднему фронту тактового сигнала C (замыкание выключателя C), по одному биту за такт. За четыре такта сигнала C входной код будет записан во все триггеры регистра. Сдвиг данных в регистре происходит слева направо, в сторону старшего разряда Q_3 .

Информацию, записанную в регистр, можно считывать одновременно в параллельном коде с выходов триггеров Q_0 , Q_1 , Q_2 , Q_3 или последовательным кодом с выхода триггера старшего разряда Q_3 за четыре такта сигнала C , подключив к входу DS потенциал логического нуля.

Число разрядов (триггеров) называют длиной регистра. Регистр может находиться в 2^n состояниях, т. е. в него можно записать 2^n различных комбинаций двоичных кодов (слов). Длина слова соответствует длине регистра.

Для увеличения разрядности регистра используются дополнительные триггеры (рис. 14).

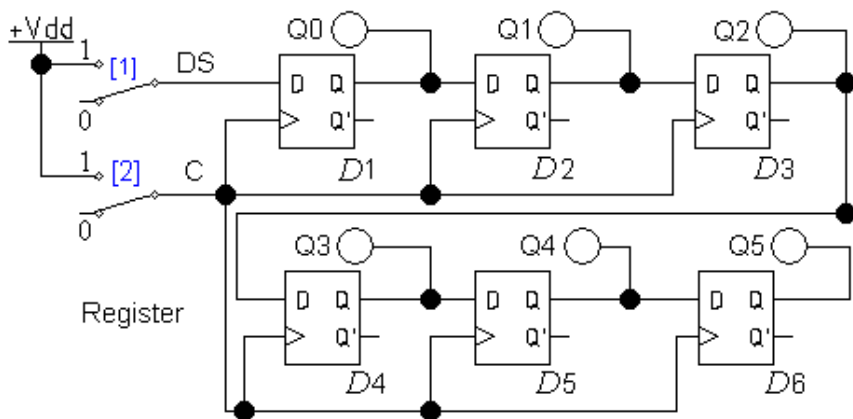


Рис. 14. Функциональная схема шестизрядного последовательного регистра

Параллельно-последовательный регистр

Различают синхронные и асинхронные регистры. В асинхронном регистре (рис. 15) для записи информации в триггеры D_1 , D_2 , D_3 используются приоритетные установочные входы R , S .

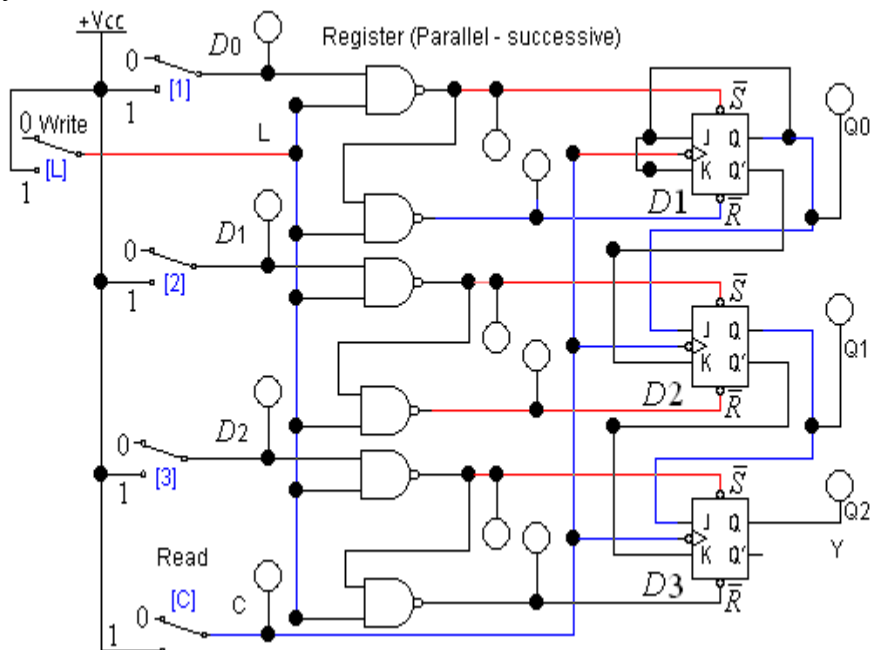


Рис. 15. Функциональная схема трехразрядного параллельно-последовательного регистра

К этим входам подключены логические элементы, которые по команде $L = 1$ (*Write*) параллельным кодом записывают в триггеры информацию, уже поступившую на входы D_0 , D_1 , D_2 , при $L = 0$ переводят асинхронные входы триггеров (на схеме инверсные) в режим хранения и они не влияют на работу регистра.

Для выполнения операции считывания информации поразрядно в последовательном коде с выхода Y , на вход C (*Read*) подаются тактовые сигналы. Сдвиг данных в регистре

происходит в сторону старшего разряда по заднему фронту сигнала C (размыкание выключателя).

Регистр выполняет микрооперацию преобразования параллельного кода в последовательный код.

При записи информации вначале выбирают значения D_0, D_1, D_2 и $C = 0$, затем устанавливают $L = 1$ (запись). Для считывания $L = 0$, на вход C подается тактовый сигнал (замыкание, размыкание выключателя C). Комбинация $L = 1, C = 1$ запрещена с целью исключения ошибок.

Настройка регистра на соответствующую микрооперацию осуществляется предварительной установкой ее кода на управляющих входах. В синхронных регистрах микрооперации выполняются по тактирующему сигналу.

В асинхронных регистрах тактирующий вход отсутствует. Каждая микрооперация осуществляется под действием собственного управляющего сигнала.

На рис. 16 представлена функциональная схема трехразрядного параллельно-последовательного регистра. Эта схема позволяет записывать информацию в параллельном и последовательном коде и считывать информацию в обоих кодах.

Обозначение «1» применено к блокам, в которых находятся логические элементы, используемые для управления асинхронными приоритетными входами R, S .

Данные блоки использованы с целью упрощения схемы, их можно раскрыть двойным щелчком мыши.

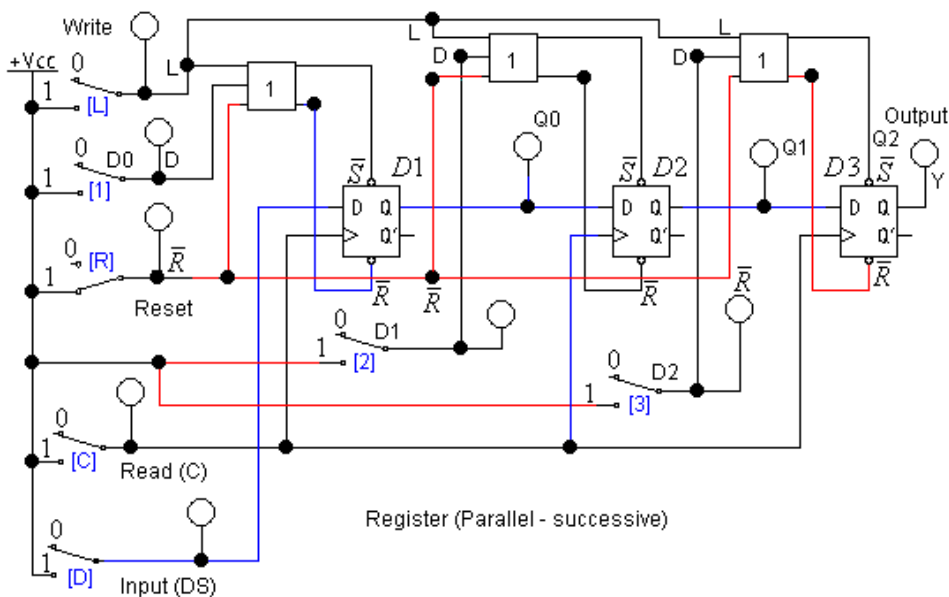


Рис. 16. Функциональная схема трехразрядного параллельно-последовательного регистра

Схема отличается от предыдущей схемы дополнительными возможностями:

- наличием входа *Input* для записи последовательного кода *DS* по тактовым сигналам *C*;
- способностью сброса информации, записанной в регистр с помощью приоритетного асинхронного входа *Reset*, если $R=0$ (выключатель разомкнут).

Кольцевой сдвигающий регистр

Кольцевым сдвигающим регистром называется последовательный регистр, выход которого Q_2 замкнут на вход D . Данные перемещаются в замкнутом цикле по кругу [10]. Функциональная схема этого регистра представлена на рис. 17.

В регистр обычно записывают только одну единицу, которая через n тактов будет появляться на выходе одного и

того же триггера, где n – число разрядов регистра. В схеме (рис. 17) последовательность наборов $Q_2 Q_1 Q_0$: 001, 010, 100, 001 и т.д. Для последовательной записи информации используются асинхронные (инверсные) входы R, S триггера $D1$.

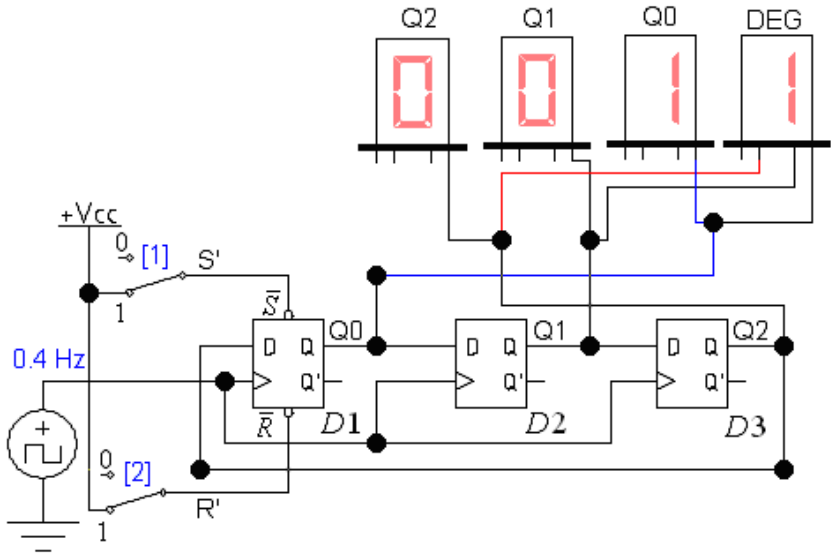


Рис. 17. Функциональная схема трехразрядного кольцевого сдвигающего регистра

Логические индикаторы Q_2, Q_1, Q_0 служат для определения значения, записанного в соответствующий триггер. Индикатор DEG указывает десятичный эквивалент хранящегося в регистре двоичного кода.

Задание 1. Определить максимально возможное десятичное целое положительное число, значение которого в двоичном выражении можно записать в четырехразрядный последовательный регистр (рис. 13). Ответ указать в табл. 12.

Таблица 12

Таблица к заданию 1

Ответ:	
--------	--

Задание 2. В шестиразрядный последовательный регистр (рис. 14) записать двоичное число, значение которого в десятичном выражении равно числам из табл. 13. Полученный двоичный код занести в таблицу, указав значения всех разрядов регистра.

Таблица 13

Таблица к заданию 2

№	Десятичное число	Двоичное число
1	7	
2	13	
3	24	
4	63	

Задание 3. В трехразрядный параллельно-последовательный регистр (рис. 15, модель) в параллельном коде записать двоичное число 011.

Затем осуществить сдвиг этого кода на один разряд. Указать полученный результат в виде десятичного числа и выполненную микрооперацию в табл. 14, удалив неправильные ответы.

Таблица 14

Таблица к заданию 3

№	Микрооперация	Результат (десятичное число)
1	Возведение в степень	
2	Деление на десятичное число 2	
3	Деление на десятичное число 4	
4	Умножение на двоичное число 011	
5	Умножение на двоичное число 110	
6	Умножение на десятичное число 2	
7	Умножение на десятичное число 4	
8	Сложение с двоичным числом 010	
9	Сложение с двоичным числом 100	

Задание 4. В трехразрядный параллельно-последовательный регистр (рис. 16) в параллельном коде записать двоичное число 001.

Затем, не сбрасывая сохраненных данных, осуществить запись в последовательном коде двоичного числа 00. Указать полученный результат в виде десятичного числа и выполненную микрооперацию в табл. 15, удалив неправильные ответы.

Таблица 15

Таблица к заданию 4

№	Микрооперация	Результат (десятичное число)
1	Возведение в степень	
2	Деление на десятичное число 2	
3	Деление на десятичное число 4	
4	Умножение на двоичное число 010	
5	Умножение на двоичное число 110	
6	Умножение на десятичное число 2	
7	Умножение на десятичное число 4	
8	Сложение с двоичным числом 010	
9	Сложение с двоичным числом 100	

Задание 5. Определить необходимое количество триггеров в кольцевом сдвигающем регистре, чтобы уменьшить частоту выходных сигналов на один порядок (рис. 17). Ответ указать в табл. 16.

Таблица 16

Таблица к заданию 5

Ответ:	
--------	--

Задание 6. В схеме модели регистра (рис. 18) допущена ошибка, причину которой надо оставить в табл. 17, удалив неверные ответы.

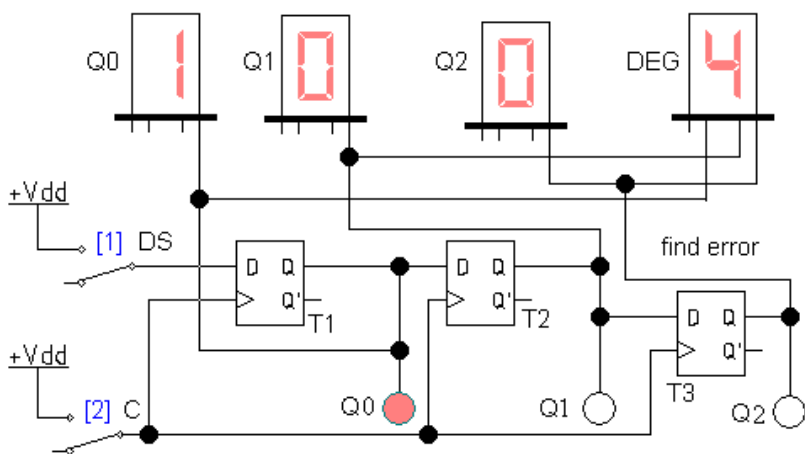


Рис. 18. Кольцевой сдвигающий регистр

Таблица 17

Таблица к заданию 6

№	Причина ошибки в схеме
1	Не правильно подключен вход C
2	Не правильно подключен вход DS
3	Не правильно соединены между собой триггеры
4	Не правильно соединен вход с выходом регистра
5	Не правильно подключены индикаторы Q_0 , Q_1 , Q_2
6	Не правильно подключен индикатор DEG
7	Не правильно обозначены индикаторы
8	Не правильно обозначены выходы триггеров

Выводы:

Регистры могут применяться:

- для преобразования параллельных кодов в последовательные коды и наоборот;
- передачи информации (модем, компьютерные сети);
- хранения информации;
- осуществления некоторых арифметических и логических операций над сохраняемой в них информацией.

Контрольные вопросы

1. Назначение регистров.
2. По каким признакам классифицируются регистры?
3. Чем определяется разрядность регистров?
4. Назначение параллельного регистра.
5. Объясните принцип работы последовательного регистра.
6. Объясните принцип работы параллельного регистра.
7. Объясните принцип работы последовательно-параллельного регистра.
8. Объясните принцип работы параллельно-последовательного регистра.
9. Объясните принцип работы регистров хранения
10. Объясните принцип работы регистров сдвига.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Разевиг, В. Д. Система сквозного проектирования электронных устройств DesignLab 8.0. [Текст] / В. Д. Разевиг. – М.: Солон, 1999. – 698 с.
2. Карлащук, В. И. Электронная лаборатория на IBM PC. Программа Electronics Workbench и её применение [Текст] / В. И. Карлащук. – М.: Солон-Р, 2001. – 726 с.
3. Электротехника и электроника в экспериментах и упражнениях: практикум на Electronics Workbench [Текст]: В 2-х томах / под ред. Д. И. Панфилова. – М.: ДОДЭКА, 2000.
4. Кардашев, Г. А. Цифровая электроника на ПК. Electronics Workbench и Micro-Cap [Текст] / Г. А. Кардашев. – М.: Горячая линия-Телеком, 2003. – 311 с.
5. Пучков, Н. А. Зарубежные интегральные микросхемы и их отечественные аналоги [Текст]: справочник / Н. А. Пучков. – М.: Машиностроение, 1993. – 187 с.
6. Цилькер, Б. Я. Организация ЭВМ и систем [Текст] / Б. Я. Цилькер, С. А. Орлов. – СПб.: Питер, 2006. – 668 с.
7. Гук, М. Процессоры Pentium 4, Athlon и Duron [Текст] / М. Гук, В. Юров. – СПб.: Питер, 2002. – 512 с.
8. Таненбаум, Э. Архитектура компьютеров [Текст] / Э. Таненбаум. – СПб.: Питер, 2007. – 848 с.
9. Корнеев, В. В. Современные микропроцессоры [Текст] / В. В. Корнеев, А. В. Киселев. – 3-е изд., перераб. и доп. – СПб.: БХВ-Петербург, 2003. – 440 с.
10. Корнеев, В. В. Параллельные вычислительные системы [Текст] / В. В. Корнеев. – М.: Нолидж, 1999. – 311 с.
11. Касперски, К. Техника оптимизации программ. Эффективное использование памяти [Текст] / К. Касперски. – СПб.: БХВ-Петербург, 2003. – 464 с.
12. Грушин, В. В. Выполнение математических операций в ЭВМ. Погрешности компьютерной арифметики [Текст]: учеб. пособие / В. В. Грушин. – СПб.: СПбГЭТУ «ЛЭТИ», 1999. – 56 с.

13. Папков, В. И. Система памяти ЭВМ (Функциональный подход) [Текст]: учеб. пособие / В. И. Папков. – СПб.: Изд.центр СПбГМТУ, 2002. – 238 с.
14. Столлингс, В. Структурная организация и архитектура компьютерных систем [Текст] / В. Столлингс. – 5-е изд. – М.: Издательский дом «Вильямс», 2002. – 896 с.

СОДЕРЖАНИЕ

Практическое занятие № 4	
Мультиплексоры	1
Практическое занятие № 5	
Демльтиплексоры.....	9
Практическое занятие № 6	
Регистры.....	18
БИБЛИОГРАФИЧЕСКИЙ СПИСОК	28

МЕТОДИЧЕСКИЕ УКАЗАНИЯ

к практическим занятиям № 4–6 по дисциплине
«Организация ЭВМ и вычислительных систем»
для студентов специальности
090303 «Информационная безопасность
автоматизированных систем»
очной формы обучения

Составители:

Разинкин Константин Александрович
Савенков Григорий Анатольевич

В авторской редакции

Подписано к изданию 06.04.2015

Уч.-изд. л. 1,9

ФГБОУ ВПО «Воронежский государственный
технический университет»
394026 Воронеж, Московский просп., 14