

Аннотация дисциплины
Б1.В.ДВ.11.2 «Проектирование устройств цифровой обработки сигналов в базисе ПЛИС»

Общая трудоемкость изучения дисциплины составляет: 2 ЗЕТ (72 ч).

Целью изучения дисциплины является обеспечение основ проектирования цифровых устройств в базисе БИС программируемой логики (ПЛИС) с привлечением высокоуровневого языка описания аппаратных средств VHDL в САПР Quartus II и системы визуально-имитационного моделирования Mathlab/Simulink.

Изучение дисциплины должно способствовать формированию у студентов основ разработки сложно-функциональных цифровых устройств обработки сигналов в базисе ПЛИС.

Для достижения цели ставятся **задачи:**

– изучение основ цифровых устройств представленных схемным описанием на уровне вентилей, кодом языка VHDL, мегафункциями САПР Quartus II для реализации в базисе ПЛИС;

– освоение языка VHDL для написания кода моделей цифровых устройств;

– получение практических навыков работы с системой визуально-имитационного моделирования Matlab/Simulink для разработки сложно-функциональных моделей цифровых устройств: с использованием графического представления последовательностных устройств приложения StateFlow и языка М-файлов;

– извлечение кода языка VHDL с помощью приложения Simulink HDL coder с последующим созданием функциональных моделей в базисе ПЛИС в САПР Quartus II;

– получение практических навыков работы с САПР ПЛИС Quartus II + Nios II для разработки функциональных моделей цифровых устройств с использованием мегафункций и отладочной платой DE2 фирмы Altera.

Дисциплина Б1.В.ДВ.11.2 «Проектирование устройств цифровой обработки сигналов в базисе ПЛИС» – альтернатива к дисциплине Б1.В.ДВ.11.1 «Основы проектирования аналого-цифровых устройств».

Компетенции обучающегося, формируемые в результате освоения дисциплины

ПКВ-1	способность владеть современными методами расчета и проектирования микро-электронных приборов и устройств твердотельной электроники, способностью к восприятию, разработке и критической оценке новых способов их проектирования
-------	--

Основные дидактические единицы (разделы):

Архитектуры вычислительных систем на ПЛИС. Типовая структура 8-разрядного микропроцессора; проектирование цифровых фильтров в базисе ПЛИС. Проектирование функциональных узлов микропроцессорных систем. Разработка имитационных моделей микропроцессорных ядер. Встраиваемые микропроцессорные системы для реализации в базисе ПЛИС.

В результате изучения дисциплины «Проектирование устройств цифровой обработки сигналов в базисе ПЛИС» студент должен:

знать:

- основные узлы вычислительных устройств цифровой обработки сигналов, такие как многоразрядные сумматоры, умножители и др. (ПКВ-1);
- теорию конечных автоматов и методы синтеза (ПКВ-1);
- основы высокоуровневого языка описания аппаратных средств (VHDL) (ПКВ-1);
- методы обработки цифровых сигналов (ПКВ-1);
- основные функциональные узлы микропроцессорных устройств (ПКВ-1);

уметь:

- читать условные обозначения и схемы цифровых устройств (ПКВ-1);
- строить функциональные модели цифровых устройств с применением языка VHDL и мегафункций в САПР ПЛИС Quartus II (ПКВ-1);
- строить имитационные модели сложно-функциональных цифровых устройств в системе Matlab/Simulink (ПКВ-1);

владеть:

- навыками проектирования цифровых фильтров в базисе ПЛИС (ПКВ-1);
- навыками работы с САПР ПЛИС Quartus II (ПКВ-1);
- навыками работы с системой визуально-имитационного моделирования Matlab/Simulink (ПКВ-1).

Виды учебной работы: лекции, практические занятия.

Формы контроля: зачет с оценкой.