

ФГБОУ ВО «Воронежский государственный технический университет»

Кафедра Радиоэлектронных устройств и систем

ОСНОВЫ РАЗРАБОТКИ СПЕЦИАЛИЗИРОВАННЫХ СБИС

РУКОВОДСТВО К ЛАБОРАТОРНЫМ ЗАНЯТИЯМ

по дисциплине «Основы разработки специализированных СБИС»

для студентов направления подготовки (специальности) 11.05.01

«Радиоэлектронные системы и комплексы»

Профиля «Радиоэлектронные системы передачи информации» очной
формы обучения

Воронеж 2021

Составители: канд. техн. наук А.В. Русанов, С.В. Калниченко

УДК 621.382.2/.3

Теоретические основы разработки специализированных сверх больших интегральных схем (СБИС). Руководство к лабораторным занятиям по дисциплине «Основы разработки специализированных СБИС» для студентов направления подготовки (специальности) 11.05.01 «Радиоэлектронные системы и комплексы», очной формы обучения / ФГБОУ ВО «Воронежский государственный технический университет»; сост. А. В. Русанов, С.В. Калиниченко Воронеж, 2021.

Руководство к лабораторным занятиям содержит методические указания к лабораторному практикуму по дисциплине «Основы разработки специализированных СБИС». Целью лабораторных занятий является закрепление полученных на лекциях теоретических знаниях, рассмотрение дополнительных вопросов и приобретения практических навыков по проектированию СБИС.

Предназначено для студентов 4 курса обучения.

Табл. 8. Ил. 15. Библиогр.: 4 назв.

Рецензент: АО «Концерн «Созвездие», доктор технических наук, профессор Н.Н. Тостых

Ответственный за выпуск зав. кафедрой к-т техн. наук, доц. Д.В. Журавлев

Печатается по решению редакционно-издательского совета Воронежского государственного технического университета.

© ФГБОУ ВО «Воронежский государственный технический университет», 2021

Лабораторная работа №1.

Среда проектирования интегральных схем Symica DE.

Цель работы: приобретение базовых знаний о САПР Symica DE навыков работы с основным инструментарием.

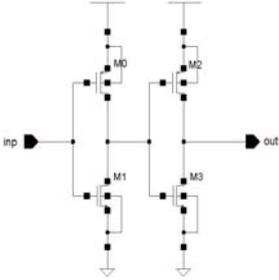
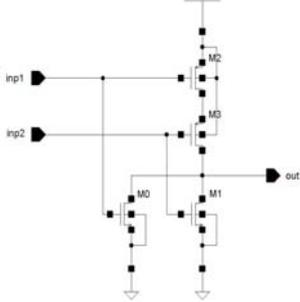
Теоретические сведения.

Для выполнения лабораторной работы необходимо ознакомиться с принципами работы и особенностями схемотехнического построения элементов двоичной логики [1, 2, 3].

Лабораторные задания.

1. Собрать схему устройства, соответствующего номеру варианта (см. таблицу 1).

Таблица 1 – Варианты лабораторных заданий

№ варианта	Устройство	Принципиальная схема	Название библиотеки
1.	Буфер		Buffer
2.	2ИЛИ-НЕ		2NOR

3.	2И-НЕ		2NAND
4.	3ИЛИ-НЕ		3NOR
5.	3И-НЕ		3NAND

Лабораторное задание выполняется в несколько этапов:

1. Создание библиотеки (имя библиотеки – studentX, где X – номер варианта задания)
2. Создание ячейки (имя должно соответствовать типу устройства, например 4NAND – соответствует элементу 4 И-НЕ)
3. Составление схемы на транзисторах.
4. Создание символа устройства.

Состав отчета

Отчет должен содержать: название и цель лабораторной работы, номер варианта, условия задачи, решение задачи, вывод по работе.

Лабораторная работа № 2.

Схемотехническое моделирование в симуляторе Symica DE.

Цель работы: приобретение знаний по схемотехническому моделированию в области микроэлектроники.

Теоретические сведения.

Для выполнения лабораторной работы необходимо ознакомиться с принципами работы и особенностями схемотехнического построения элементов двоичной логики [1, 2, 3].

Лабораторные задания

1. Собрать схему для моделирования устройства согласно номеру варианта (см. таблицу 1 методического указания к лабораторной работе 1).

В рамках выполнения задания необходимо:

- выбрать схему согласно номеру своего варианта;
- в library manager создать соответствующую ячейку;
- собрать схему устройства;
- создать символьное представление;
- используя созданный символ, составить схему для моделирования устройства (файл схемы назовите schematic_test).

Схема должна состоять из символа самого элемента и необходимых источников: питание (vdc) и генераторов входных воздействия (vpulse).

2. Запустить моделирование схемы.

3. Обработать результаты измерений.

В рамках выполнения задания необходимо:

- составить таблицу истинности устройства;
- измерить задержку переключения выхода из 0 в 1 и из 1 в 0;
- измерить фронт нарастания и фронт спада выходного сигнала.

Состав отчета

Отчет должен содержать: название и цель лабораторной работы, номер варианта, условия задачи, решение задачи, вывод по работе.

Лабораторная работа № 3.

Расчет МОП транзистора в Symica DE.

Цель работы: исследование характеристик интегральных МОП транзисторов в среде Symica DE.

Теоретические сведения.

Для выполнения лабораторной работы необходимо ознакомиться с принципами работы и основными характеристиками МОП транзистора [2].

Лабораторные задания.

1. Снять семейство входных характеристик интегрального МОП транзистора. Размеры и тип транзисторов взять из таблицы 2, номера транзисторов взять из таблицы 3. Напряжение питания принять равным 1,8 В.

Таблица 2 – Размеры интегральных МОП транзисторов для исследования

№ п/п	Ширина/длина, мкм	Тип транзисторов
1	0.5/0.18	N
2	1/0.18	
3	5/0.18	
4	10/0.18	
5	15/0.18	
6	20/0.18	
7	0.5/1	N
8	1/1	
9	5/1	
10	10/1	
11	15/1	
12	20/1	
13	0.5/1.5	N
14	1/1.5	
15	5/1.5	
16	10/1.5	
17	15/1.5	
18	20/1.5	

Таблица 3 – Варианты заданий на лабораторную работу.

№ варианта	Номер транзистора
1	1,2,3,7,8,9,13,14,15
2	2,3,4,8,9,10,14,15,16
3	3,4,5,9,10,11,15,16,17
4	4,5,6,10,11,12,16,17,18
5	2,4,6,8,10,12,14,16,18
6	1,3,5,7,9,11,13,15,17

2. Определить пороговые напряжения МОП транзисторов.
3. Снять выходные характеристики транзисторов при напряжении затвор- исток 700 мВ.
4. Определить сопротивление транзисторов в режиме насыщения.
5. Определить ток насыщения транзистора.
6. Результаты измерений занести в таблицу 4

Таблица 4 – Результаты исследований МОП транзистора

Вариант №				
№ п/п	Размеры транзистора, мкм/мкм	Пороговое напряжение, мВ	Ток насыщения, мкА	Сопротивление канала в насыщении, кОм
1.				

Состав отчета

Отчет должен содержать: название и цель лабораторной работы, номер варианта, условия задачи, решение задачи, вывод по работе.

Лабораторная работа № 4.

Расчет токового зеркала в Symica DE.

Цель работы: приобретение теоретических и практических навыков расчета токовых зеркал в среде Symica DE.

Теоретические сведения.

В некоторых случаях при разработке электронных схем необходимо получить стабильный ток, не зависящий от напряжения (например, в схемах смещения, в качестве элементов динамической нагрузки). Для этого используются источники тока, построенные на полевых транзисторах. Из выходных характеристик транзисторов видно, что в постоянном входном токе (или напряжении) выходной ток изменяется сравнительно мало.

Токовое зеркало.

Токовые зеркала широко используются в аналоговых интегральных схемах для задания тока смещения. Благодаря им, удастся снизить зависимость режимов усилительных каскадов от колебаний напряжений источников питания и от температурных уходов. Основными параметрами токового зеркала являются:

- 1) Выходной ток (и коэффициент трансформации тока, если он не равен 1)
- 2) Выходное сопротивление.
- 3) Диапазон работы (допустимое выходное напряжение)

Простое токовое зеркало содержит входную цепь, которая задает ток зеркала, и выходную цепь, которая формирует выходной ток зеркала (см. рисунок 1)

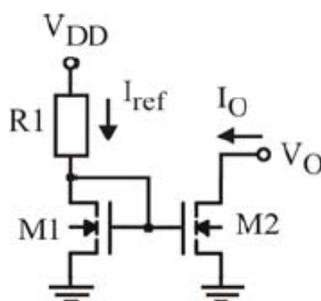


Рисунок 1 – Простое токовое зеркало.

Поскольку напряжение на затворах транзисторов M1 и M2 одинаковы, а сами транзисторы в режиме насыщения, то справедливо соотношение

$$\frac{I_{OUT}}{I_{ref}} = \frac{I_{D2}}{I_{D1}} = \frac{(W/L)_2}{(W/L)_1} \frac{1 + \lambda V_{D2}}{1 + \lambda V_{D1}} \quad (1a)$$

Оно выполняется пока M2 остается в насыщении, т.е. при

$$V_o = V_D > V_G - V_t > V_o \quad (1б)$$

Выходное сопротивление простого токового зеркала равно выходному сопротивлению транзистора M2

$$R_o = 1/(I\lambda_2) \quad (1в)$$

В тех случаях, когда выходная цепь токового зеркала является нагрузкой усилительного каскада, ее выходное сопротивление определяет величину коэффициента усиления. В ряде случаев требуется выходное сопротивление токового зеркала намного большее сопротивления отдельного МОП-транзистора. Увеличение выходного сопротивления достигается за счет дополнительного усиления (см. рисунок 2) получаемого различными схемотехническими решениями.

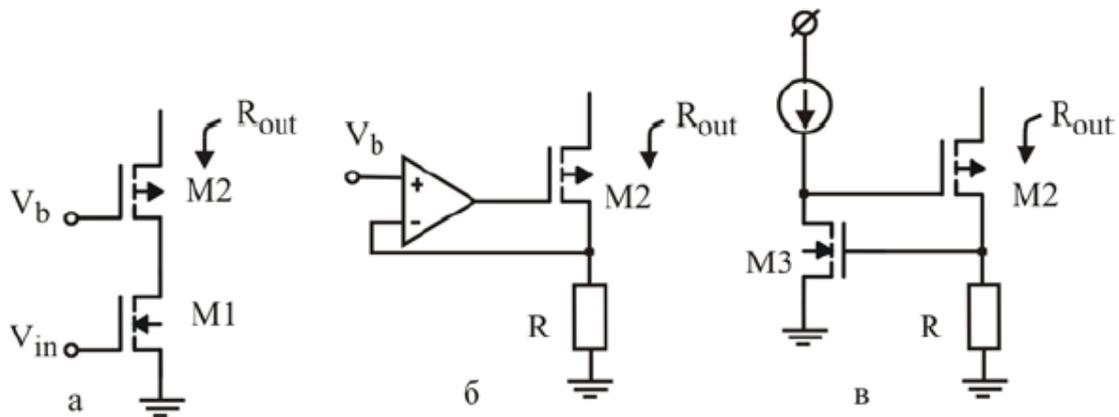


Рисунок 2 – Способы повышения выходного сопротивления токового зеркала, а) – каскод; б) – регулируемый каскод; в) – самосовмещенный каскод.

1. Каскод – введение дополнительного транзистора M2, включенного по схеме с общим истоком (рис. 2а) увеличивает выходное сопротивление до

$$R_{OUT} = g_{m2} r_{o2} r_{o1} \quad (2)$$

2. Регулируемый каскод – введение дифференциального усилителя между истоком и затвором каскодного транзистора (рис 2б) увеличивает выходное сопротивление до

$$R_{OUT} = A_3 g_{m2} r_{o2} r_{o1} \quad (3)$$

3. Самосовмещенный каскод – взаимосвязь входной и выходной цепи (рис. 2в) позволяет исключить напряжение смещения каскода, выходное сопротивление такого токового зеркала равно

$$R_{OUT} = (g_{m3}r_{03})(g_{m2}r_{01}r_{02}) \quad (4)$$

Перечисленные способы порождают разные схемы токовых зеркал: в частности каскодное токовое зеркало, токовое зеркало Уилсона, токовые зеркала с расширенным диапазоном.

Лабораторные задания.

1. Разработать источник тока на основе схемы простого токового зеркала согласно своему варианту. Вариант задания выбрать из таблицы 5

Таблица 5 – Варианты заданий на лабораторную работу

№ варианта	Ток, мкА	Тип транзисторов
1	10	N
2	15	N
3	20	N
4	25	N
5	30	N
6	35	N
7	40	N
9	45	N

Сопротивление нагрузки схемы принять равным 5 кОм. Напряжение питания 1,8 В.

2. Сделать анализ работы разработанной схемы в температурном диапазоне от -60 до 125 °С.

3. Определить максимальное значение сопротивления нагрузки.

Состав отчета

Отчет должен содержать: название и цель лабораторной работы, номер варианта, условия задачи, решение задачи, вывод по работе.

Лабораторная работа № 5.

Расчет операционного усилителя в Symica DE.

Цель работы: исследование характеристик операционного усилителя; приобретение навыков моделирования операционных усилителей.

Теоретические сведения.

Для выполнения лабораторной работы необходимо ознакомиться с принципами работы и особенностями схемотехнического построения операционных усилителей, характеристиками [2] и типовыми схемами включения [4]

Лабораторные задания.

1 Подготовительный этап.

1.1 Создать схему операционного усилителя ОУ на транзисторах в программе Symica DE согласно варианту задания (см. таблицу 6).

1.2 Создать символ ОУ.

2 Исследование статических характеристик ОУ

2.1 Создать тестовую схему для проведения анализа по постоянному току (DC) без петли ООС (см. рисунок 3).

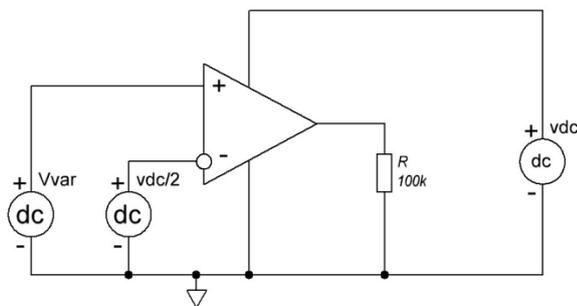


Рисунок 3 – Схема для проведения анализа по постоянному току без петли ООС

2.2 Провести моделирование и получить передаточную характеристику ОУ не охваченного ООС.

2.3 Заменить источник постоянного тока внутри схемы ОУ на постоянный резистор, задающий такой же ток.

Таблица 6 – Варианты заданий на лабораторную работу

		Вариант 1	
Транзистор	W/L, мкм		
M1, M2	96/0.5		
M3, M4	5/0.5		
M5	25/0.5		
M6	20/0.5		
M7	44/0.5		
M8	6/0.5		
Rc, кОм	20		
Vcc, В	5		
Idc, мкА (гр. 1/2)	10/20		
Cc, пФ (гр. 1/2/3/4)	1/2/3/4		

Таблица 6 - Продолжение

		Вариант 2	
Транзистор	W/L, мкм		
M1, M2	1.08/0.36		
M3, M4	0.36/0.36		
M5	4.5/0.36		
M6	1.5/0.36		
M7	6/0.36		
M8	30/0.36		
M9	60/0.36		
M10	30/0.36		
Rc, кОм	10		
Vcc, В	3.3		
Idc, мкА (гр. 1/2)	30/40		
Cc, пФ (гр. 1/2/3/4)	1/2/3/4		

Таблица 6 - Продолжение

		Вариант 3	
Транзистор	W/L, мкм		
M1, M2	12/1.4		
M3, M4	23/1.4		
M5, M6	20/1.4		
M7	90/1.4		
M8	195/1.4		
Vcc, В	5		
Idc, мкА (пг. 1/2)	12/15		
Cc, пФ (гр. 1/2/3/4)	5/8/10/1 2		

Таблица 6 - Продолжение

		Вариант 4	
Транзистор	W/L, мкм		
M1, M2	4.2/1.4		
M3, M4	2.8/1.4		
M5, M6	14/1.4		
M7	55/1.4		
M8	19.4/1.4		
Vcc, В	3.3		
Idc, мкА (гр. 1/2)	12/18		
Cc, пФ (гр. 1/2/3/4)	0.5/1/1.5/2		

Таблица 6 - Продолжение

		Вариант 5	
Транзистор	W/L, мкм		
M1, M2	3/1		
M3, M4	15/1		
M5, M6	4.5/1		
M7	14/1		
M8	94/1		
Vcc, В	5		
Idc, мкА (пг. 1/2)	30/40		
Cc, пФ (гр. 1/2/3/4)	0.5/1/1.5/2		

Таблица 6 - Продолжение

		Вариант 6	
Транзистор	W/L, мкм		
M1, M2	3/1		
M3, M4	15/1		
M5	4.5/1		
M6	94/1		
M7	14/1		
M8	15/1		
M9	2/1		
M10	1/1		
M11	15/1		
M12	4.5/1		
Vcc, В	5		
Idc, мкА (гр. 1/2)	30/20		
Cc, пФ (гр. 1/2/3/4)	1/2/3/4		

Таблица 6 - Продолжение

		Вариант 7	
Транзистор	W/L, мкм		
M1, M2	12.5/0.5		
M3, M4	2.5/0.5		
M5	5/0.5		
M6	10/0.5		
M7	5/0.5		
M8	5/0.5		
Vcc, В	5		
Idc, мкА (гр. 1/2)	100/150		
Cc, пФ (гр. 1/2/3/4)	5/10/15/20		

2.4 Определить коэффициент усиления ОУ по постоянному току A_{DC} , а также разность потенциалов на инвертирующем и неинвертирующем входе, при которой достигается номинальный коэффициент усиления U_0 .

2.5 Провести исследования влияния температуры на коэффициент усиления ОУ (при значениях температуры -60, -40, 0, 25, 85, 125 °С).

2.6 Построить неинвертирующий повторитель напряжения (см. рисунок 4).

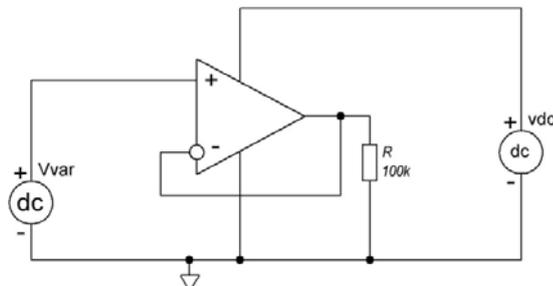


Рисунок 4 – Схема неинвертирующего повторителя напряжения

2.7 В режиме DC анализа построить передаточную характеристику усилителя. Определить диапазон входного и выходного напряжения, при котором коэффициент усиления находится в пределах $A_{DC} = 1.0 \pm 0.1\%$;

3 Исследование частотных характеристик ОУ

3.1 Создать тестовую схему для проведения частотного анализа ОУ без петли ООС (см. рисунок 5).

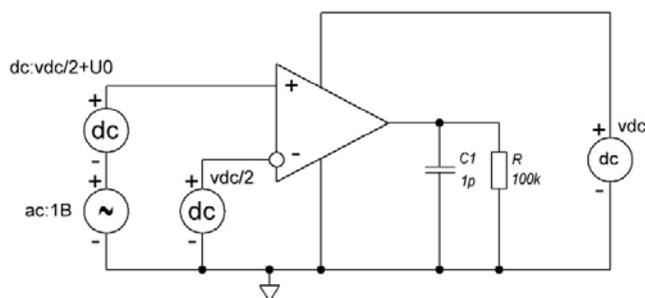


Рисунок 5 – Схема для проведения частотного анализа ОУ без ООС.

3.2 Провести анализ по переменному току и построить АЧХ, ФЧХ. Сравнить максимальный коэффициент усиления, полученный при DC и AC анализе. Построить график АЧХ, представленный в децибелах.

3.3 По графикам АЧХ и ФЧХ определить полосу единичного усиления $F_{A=0}$ и запас по фазе.

3.4* Построить схему для исследования частотной зависимости коэффициента передачи синфазной составляющей (см. рисунок 6).

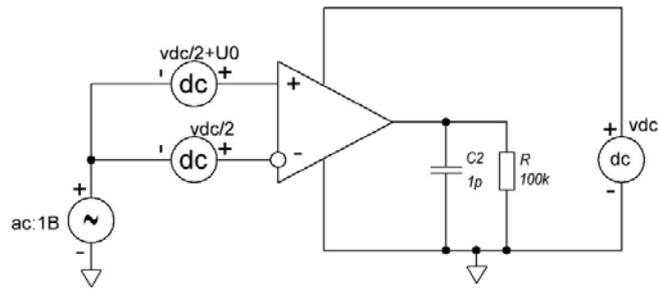


Рисунок 6 - Схема для исследования частотной зависимости коэффициента передачи синфазной составляющей

3.5* Построить АЧХ при подаче синфазного сигнала на входы ОУ.

3.6* Построить схему для исследования частотной зависимости коэффициента передачи пульсаций напряжения питания на выход ОУ (см. рисунок 7).

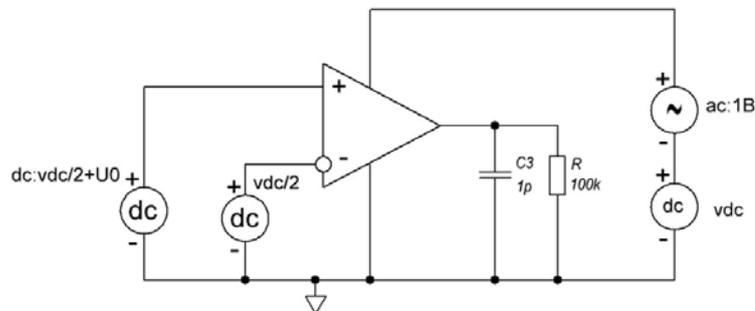


Рисунок 7 - Схема для исследования частотной зависимости коэффициента передачи пульсаций напряжения питания на выход ОУ

3.7* Построить АЧХ при подаче переменной составляющей напряжения питания. Зафиксировать частоту максимума АЧХ F_{PSmax} .

4 Исследование временных характеристик ОУ

4.1 Создать тестовую схему для исследования времени установления и длительности фронта переключения ОУ. (см. рисунок 8).

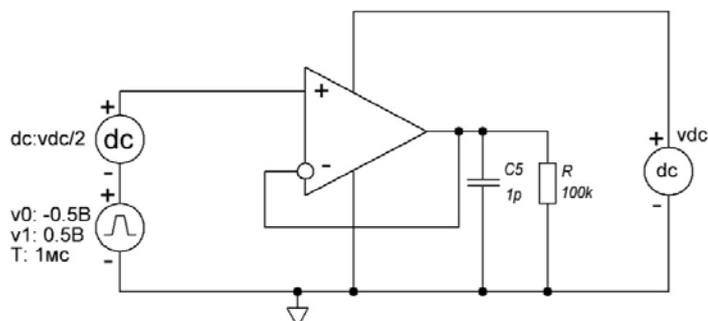


Рисунок 8 - Схема для исследования времени установления и длительности фронта переключения ОУ

4.2 Провести моделирование и определить время установления выходного сигнала при подаче импульсного воздействия. Допустимая амплитуда пульсаций не более ± 100 мВ.

4.3 Измерить длительность нарастающего и убывающего фронтов при переключении выходного сигнала ОУ. Измерять длительность при изменении выходного сигнала между 10% и 90% от амплитуды выходного сигнала.

4.4* Создать тестовую схему (см. рисунок 9).

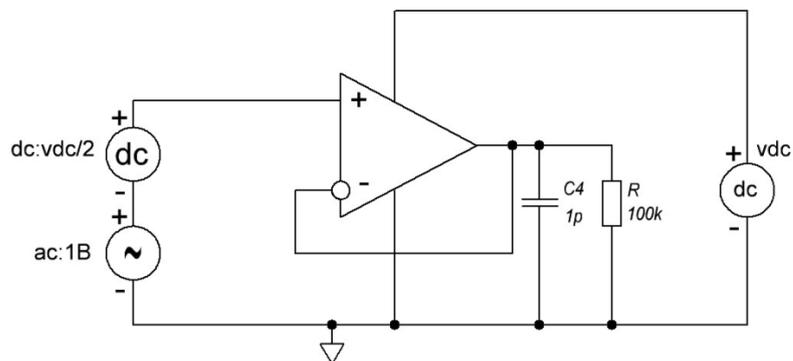


Рисунок 9 – Тестовая схема

4.5* Задать частоту генератора гармонического сигнала, равную $F_{A=0}$ и провести моделирование. Оценить амплитуду выходного сигнала.

Состав отчета

Отчет должен содержать: название и цель лабораторной работы, номер варианта, условия задачи, решение задачи, вывод по работе.

Лабораторная работа №6.

Проектирование топологии МОП-транзистора.

Цель работы: приобретение навыков проектирования топологии МОП-транзисторов.

Теоретические сведения.

Несмотря на широкие возможности современных САПР по проектированию интегральных схем (ИС), умение послойного топологического проектирования приборов является необходимым. На практике разработчик ИС сталкивается со множеством задач, когда стандартные топологические представления приборов не удовлетворяют решению поставленного технического задания. Например, для реализации радиационноустойчивых ИС стандартная библиотека топологических элементов не подходит, приходится создавать свою. В данной лабораторной работе слушателям предлагается самостоятельно спроектировать основной элемент современных ИС – МОП-транзистор.

Топологию МОП-транзисторов можно рассмотреть на примере транзисторов КМОП-процесса (см рисунок 10)

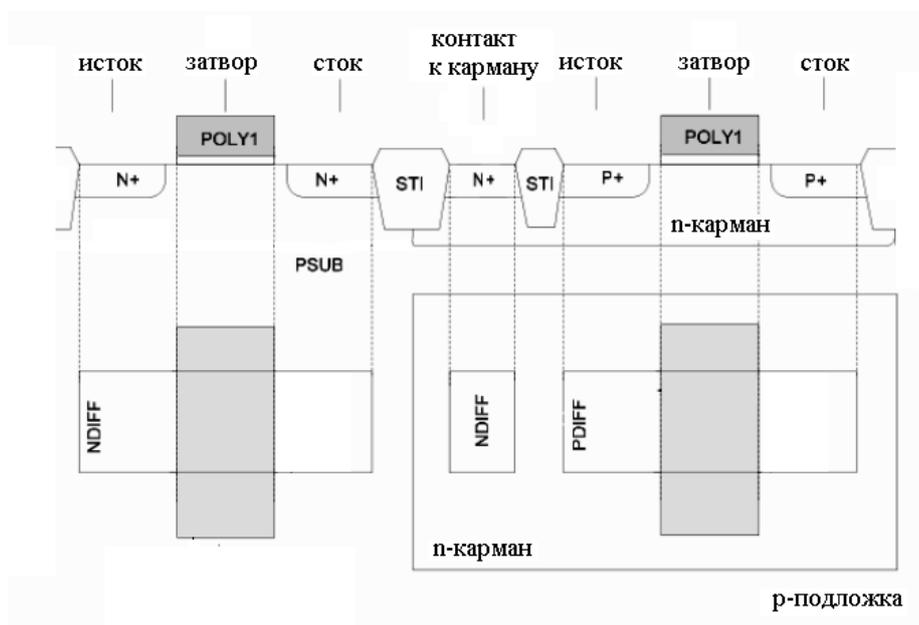


Рисунок 10 – Поперечное сечение структуры, формируемой в КМОП-процессе

На рисунке введены условные обозначения слоев: POLY1 – слой поликремния; N+ и P+ - области N и P диффузии соответственно; PSUB – подложка p-типа.

Для простоты понимания процесса проектирования топологии будем считать, что МОП-транзистор образуется пересечением слоя диффузии слоем поликремния. В зависимости от типа диффузии получается р-канальный (р-диффузия) или n-канальный транзистор (n-диффузия). Для интегральных схем, построенных на подложке р-типа, р-канальный транзистор требуется помещать в карман n-типа (см рисунок 10).

При проектировании мощных транзисторов (транзисторов с большой шириной канала) возникают проблемы их размещения на кристалле, а также ряд проблем, связанных с физикой работы прибора. Для решения этой задачи один мощный транзистор изображают в виде нескольких параллельно соединенных короткоканальных транзисторов (см. рисунок 11). В итоге получается так называемый «многопальцевый» транзистор.

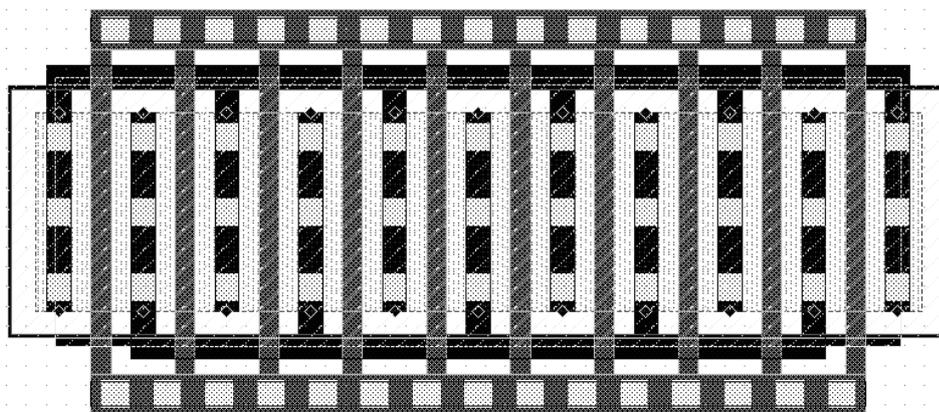


Рисунок 11 – «Многопальцевый» транзистор.

Такое преобразование осуществляют с учетом равенства суммы ширины каналов параллельных транзисторов и ширины канала исходного прибора. Последнее утверждение наглядно демонстрирует формула

$$W=n \cdot W_0$$

где W – ширина канала исходного транзистора, W_0 – ширина короткоканального транзистора, n – количество короткоканальных транзисторов.

Лабораторные задания.

1. Согласно номеру своего варианта спроектировать МОП-транзистор (см . таблицу 7).

Вариант задания взять из таблицы. Длина канала транзистора для всех вариантов 180 нм. Выполнения задания осуществляется в программе Virtuoso

Layout Editor, входящего в состав Cadance IC. По завершение формирования топологии прибора необходимо провести DRC проверку.

2. Согласно номеру своего варианта спроектировать «многопальцевый» МОП-транзистор.

Выполнение задания осуществляется аналогично заданию №1.

Таблица 7 – Задания на лабораторную работу.

№ задания	№ варианта	Ширина канала транзистора, нм	Тип транзистора
1	1	120	N
	2	130	N
	3	140	N
	4	150	N
	5	160	N
	6	120	P
	7	130	P
	8	140	P
	9	150	P
	10	160	P
2	1	12000	P
	2	13000	P
	3	14000	P
	4	15000	P
	5	16000	P
	6	12000	N
	7	13000	N
	8	14000	N
	9	15000	N
	10	16000	N

Состав отчета

Отчет должен содержать: название и цель лабораторной работы, номер варианта, условия задачи, решение задачи, вывод по работе.

Лабораторная работа №7.

Топологическое проектирование согласованных структур.

Цель работы: закрепление на практике теоретических сведений о построении согласованных структур.

Теоретические сведения.

В ходе проведения технологического процесса из-за несовершенства оборудования, погрешностей в ходе проведения технологических операций, а также из-за внутренних и внешних электрических полей в пластине возникает разброс технологических параметров (как правило, параметры кристаллов, расположенных в центре пластины наиболее приближены к ожидаемым). Поэтому, даже на одном кристалле, располагаясь на некотором расстоянии друг от друга резисторы, конденсаторы и транзисторы с одинаковыми физическими размерами могут иметь незначительные расхождения в параметрах (например, из-за разности толщины подзатворного диэлектрика, уровня легирования и т.д.). При проектировании цифровых блоков, этот технологический разброс повлиять на уровень логического «0» или «1» не сможет. Однако, в аналоговой схеме дело обстоит иначе – даже незначительное расхождение в параметрах может привести к неработоспособности схемы.

Для снижения разброса выходных параметров аналоговых блоков применяются специальные приемы топологического проектирования конструктивных элементов.

Одним из таких приемов является использование согласованных элементов и разработка симметричной топологии на основе согласованных элементов. На рисунке 12 показано, как с помощью принципа симметрии можно построить согласованный конструктивный топологический элемент.

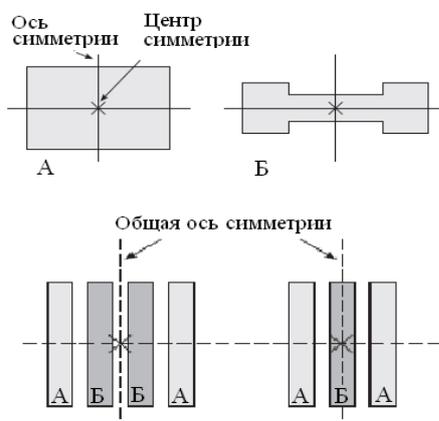


Рисунок 12 – Симметричное расположение топологических структур.

Для каждого типа элемента существуют отдельные способы согласования, точность согласования так же различная.

Для согласования МОП-транзисторов необходимо:

1. Использовать идентичную конфигурацию затворов.
2. Использовать большие по площади рабочие области.
3. Ориентировать транзисторы в одинаковом направлении.
4. Размещать транзисторы, по возможности, вблизи друг от друга.
5. Применять фиктивные элементы на краях массива затворов транзисторов.
6. Размещать транзисторы в областях с низким градиентом механического напряжения.
7. Размещать транзисторы вдали от мощных элементов схемы.
8. Не размещать контакты над рабочими затворами.
9. Не проводить металл через рабочие затворы.
10. Размещать рабочие затворы вдали от всех переходов с глубокой диффузией.
11. Не позволять краям скрытого слоя пересекать область рабочего затвора.
12. Соединять затворы, используя металлические связи.

На рисунке 13 показан массив расположенных параллельно согласованных МОП-транзисторов с общим центром и фиктивными областями.

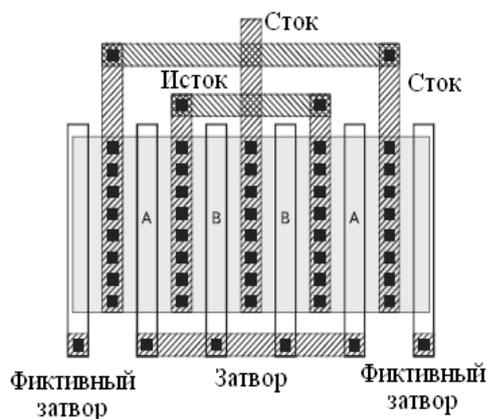


Рисунок 13 – Пример топологии согласованных транзисторов.

На рисунке 14 показана электрическая схема дифференциальной пары транзисторов и ее топологическая реализация с центральной симметрией.

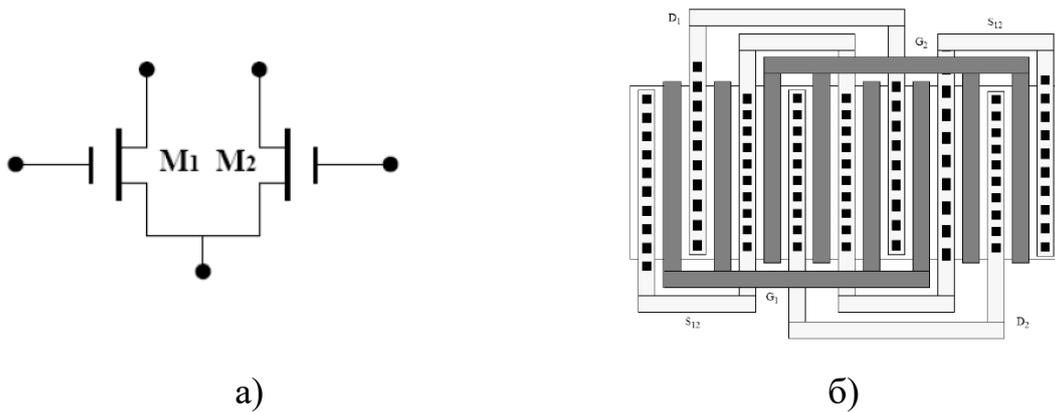


Рисунок 14 – а) электрическая схема дифференциальной пары транзисторов; б) топология дифференциальной пары с центральной симметрией.

При разработке всевозможных АЦП и ЦАП часто используются согласованные массивы конденсаторов. Основные рекомендации по согласованию конденсаторов:

1. Использовать квадратные сегменты в матрицах согласованных конденсаторов.
2. Использовать максимально возможные по площади конденсаторы.
3. Располагать согласованные конденсаторы на полевом окисле.
4. Размещать фиктивные конденсаторы вокруг внешнего края массива.
5. Использовать электростатическую защиту для согласованных конденсаторов.
6. Уменьшать емкости проводников, соединяющих конденсатор.
7. Никогда не проводить металл по согласованным конденсаторам, за исключением электростатической защиты.
8. Желательно использовать диэлектрики из оксида кремния вместо нитридных и других для исключения эффектов диэлектрической поляризации.
9. Располагать согласованные конденсаторы в областях с низким градиентом механического напряжения.
10. Располагать согласованные конденсаторы вдали от мощных элементов.

Рекомендации по согласованию резисторов:

1. Выполнять согласованные резисторы из одинакового материала.
2. Ориентировать согласованные резисторы в одном и том же направлении.
3. Использовать фиктивные сегменты на краях массива.
4. Избегать коротких сегментов для резисторов.
5. Подключать согласованные резисторы так чтобы исключить термоэлектрические эффекты.

6. Располагать согласованные резисторы вдали от мощных элементов.
7. Избегать эффекта модуляции охранным контуром.
8. Использовать поликремниевые резисторы вместо диффузионных.
9. Располагать поликремниевые резисторы на полевом окисле.
10. Использовать поликремниевые резисторы Р-типа вместо резисторов N-типа.

11. Использовать электростатическое экранирование.

Уменьшение температурной зависимости резисторов достигается использованием в каждой секции топологии вместо одного резистора двух резисторов с разнополярными величинами температурных коэффициентов. Поликремниевые резисторы меняют знак температурного коэффициента в зависимости от уровня и типа легирования.

В топологии критичных к негативным воздействиям узлов и блоков часто используют прием создания фиктивных элементов, улучшающих согласование.

Таким образом, создание согласованных симметричных структур позволяет существенно снизить разброс параметров, обеспечить общую стабильность работы аналоговых блоков даже без применения дополнительных приемов и мер.

Лабораторные задания.

1. Нарисовать топологию дифференциальной пары транзисторов.

Электрическая схема дифференциальной пары транзисторов представлена на рисунке 2.3 а. Размеры транзисторов выбираются согласно номеру варианта из таблицы 8

Таблица 8 – Варианты заданий для лабораторной работы

№ варианта	Ширина канала, нм	Длина канала, нм
1	140	90
2	150	90
3	160	90
4	170	90
5	180	90

2. Провести DRC проверку дифференциальной пары.

Состав отчета

Отчет должен содержать: название и цель лабораторной работы, номер варианта, условия задачи, решение задачи, вывод по работе.

Лабораторная работа № 8.

Топологическое проектирование операционного усилителя.

Цель работы: получение навыков топологического проектирования аналоговых схем, на примере операционного усилителя.

Теоретические сведения.

Маршрут проектирования топологии аналоговых блоков.

Маршрут проектирования топологии аналоговых блоков:

1. Разработка топологии с помощью синтезатора топологии на основе имеющейся электрической схемы либо с помощью ручного проектирования.

2. Проверка разработанной топологии на соответствие правил КТТ технологического процесса (DRC). Устранение ошибок.

3. Экстракция электрической схемы из топологии (EXT).

4. Верификация экстрактированной схемы с электрической принципиальной схемой (LVS).

5. Коррекция топологии по результатам верификации. В случае выявления ошибок повторная проверка DRC, экстракция схемы и верификация.

6. Экстракция электрической схемы из топологии с паразитными элементами.

7. Аналоговое моделирование экстрактированной схемы с паразитными элементами.

8. Коррекция электрической схемы и топологии по результатам аналогового моделирования. Проверки DRC, EXT, LVS. Повторное моделирование экстрактированной электрической схемы с паразитными элементами.

В целом последовательность этапов проектирования топологии аналоговых блоков аналогична маршруту проектирования цифровых блоков. Но есть и отличия. Основное отличие – невозможность синтеза топологии в том виде, в котором осуществляется синтез цифровых блоков, т.е. в библиотечных элементах. Следовательно, размещение структурных блоков и элементов топологии приходится осуществлять по большей части вручную. Второе отличие заключается в процессе анализа экстрактированной схемы (моделировании). Приемлемую точность может обеспечить, как правило, лишь, аналоговое моделирование. Следующее отличие заключается в осуществлении коррекции топологии по результатам проверки на соответствие требованиям КТТ и моделирования. Цифровая схема проходит повторный процесс синтеза, аналоговый блок приходится корректировать вручную, что бывает не всегда осуществимо с прежней конфигурацией топологией, коррекция – трудоемкий процесс. Поэтому разработка топологии аналогового блока, несравненно более

кропотливая работа, требующая, гораздо больше времени и специфического инженерного опыта по сравнению с разработкой топологии цифровых схем.

Размещение аналогового блока на кристалле

Размещение аналоговых и аналогово-цифровых блоков, как правило, производится рядом с контактными площадками. Это позволяет существенно уменьшить длину связей между выводами блоков и контактными площадками и избавиться от большей части перекрестных помех, так как цифровые сигнальные линии обычно в этом случае трассируются на некотором удалении от размещаемых блоков. Прецизионные аналоговые блоки следует размещать в середине сторон кристалла в местах наименьших механических напряжений.

Размещение аналоговых блоков следует осуществлять в местах, наиболее удаленных от мощных модулей, осцилляторов, умножителей, высокочастотных тактовых деревьев.

Одним из важных правил является отсутствие пересечения сигнальными линиями цифровых блоков площадей, занятых аналоговыми блоками. Это связано, в первую очередь, с проблемой возникновения цифровых шумов, так как цифровые сигналы являются их сильным источником. Поэтому при построении аналоговых блоков, применяемых впоследствии в системах на кристалле, учитывается возможное негативное влияние таких пересечений и выделяется строго определенное место расположения таких блоков в кристалле общей подсистемы, где такое пересечение не будет осуществляться. В дальнейшем при трассировке общей топологии кристалла устанавливается полный запрет трассировки межсоединений над площадями аналоговых блоков.

Уровень требований к стабильности параметров и технологический разброс параметров определяет и необходимые средства по снижению разброса.

Трассировка межсоединений.

При трассировке соединений следует придерживаться нескольких правил. Во-первых, длина соединений должна по возможности быть минимальной. Во-вторых, шины питания и земли следует делать шире минимальной ширины (определяется топологическими нормами) слоя металла, так как через них протекают значительные токи. В зависимости от протекающего тока, ширина шины может превышать минимальную ширину более, чем в 10 раз. Для удобства трассировки, шины земли и питания следует проводить слоем металла первого уровня, стараясь избегать перехода на слой второго уровня, используемый, в основном, для межэлементных соединений.

В-третьих, между длинным узкими шинами могут возникать значительные паразитные емкости, поэтому такие шины недопустимы в схемах, к которым предъявляются высокие требования по быстродействию.

В-четвертых, необходимо, по возможности, использовать как можно меньшее количество слоев металла. Также следует минимизировать количество переходов с одного слоя металла на другой. Для аналоговых блоков

необходимо подбирать ширину шин и количество контактов таким образом, чтобы максимальный ток был ниже максимальной токовой нагрузки в несколько раз.

Лабораторные задания.

1. Разработать топологию операционного усилителя.

Электрическая схема операционного усилителя представлена на рисунке

15

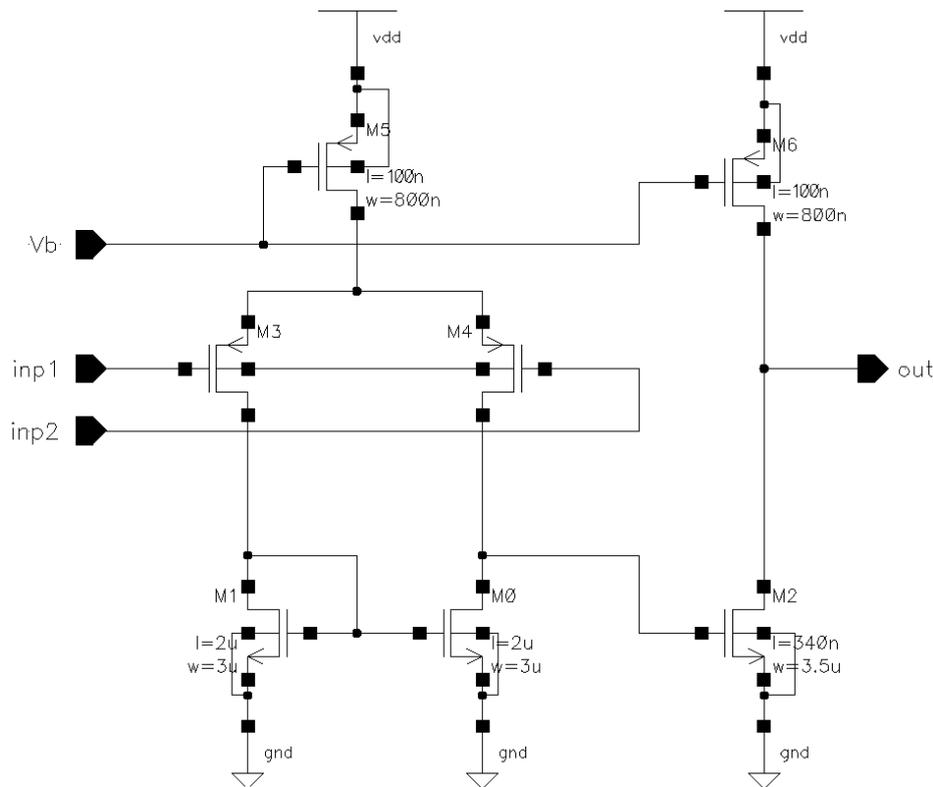


Рисунок 15 – Электрическая схема операционного усилителя.

2. Провести верификацию разработанной топологии операционного усилителя.

Состав отчета

Отчет должен содержать: название и цель лабораторной работы, номер варианта, условия задачи, решение задачи, вывод по работе.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК ЛИТЕРАТУРЫ

1. Токхейм Р. «Основы цифровой электроники»: Пер. с англ. – М.: Мир, 1988. – 392 с. ISBN 5-03-000981-7
2. Ракитин В. В. «Интегральные схемы на КМОП-транзисторах»: Учебное пособие. – М., 2007 – 308 с.
3. Рабаи, Жан М., Чандракасан, Ананта, Николич, Боривож. «Цифровые интегральные схемы, 2-е издание»: Пер. с англ. – М.: ООО «И.Д. Вильямс», 2007. – 912 с. ISBN 978-5-8459-1116-2
4. Хоровиц П., Хилл У. «Искусство схемотехники»: Пер. а англ. – Изд. 7-е. – М.: Мир, БИНОМ – 2010. – 704 с. ISBN 978-5-9518-0351-1

СОДЕРЖАНИЕ

Лабораторная работа №1. Среда проектирования интегральных схем Symica DE.....	3
Лабораторная работа № 2. Схемотехническое моделирование в симуляторе Symica DE.....	5
Лабораторная работа № 3. Расчет МОП транзистора в Symica DE.....	6
Лабораторная работа № 4. Расчет токового зеркала в Symica DE.....	8
Лабораторная работа № 5. Расчет операционного усилителя в Symica DE....	11
Лабораторная работа №6. Проектирование топологии МОП-транзистора. ...	22
Лабораторная работа №7. Топологическое проектирование согласованных структур.....	25
Лабораторная работа № 8. Топологическое проектирование операционного усилителя.....	29

ТЕОРЕТИЧЕСКИЕ ОСНОВЫ ПОСТРОЕНИЯ
РАДИОСИСТЕМ И КОМПЛЕКСОВ УПРАВЛЕНИЯ
РУКОВОДСТВО К ЛАБОРАТОРНЫМ ЗАНЯТИЯМ

по дисциплине «Основы разработки специализированных СБИС»

для студентов направления подготовки (специальности)
11.05.01 «Радиоэлектронные системы и комплексы»
Профиля «Радиоэлектронные системы передачи информации»
очной формы обучения

Составители: Русанов Александр Валерьевич,
Калиниченко Станислав Витальевич

В авторской редакции

Компьютерный набор А.В. Русанов

Подписано в печать 2021.

Формат 60x84/16. Бумага для множительных аппаратов.

Усл. печ. л. . Уч.- изд. л. . Тираж экз. «С»

Заказ №

ФГБОУ ВО «Воронежский государственный технический университет»

394026 Воронеж, Московский просп., 14