

**МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ
РОССИЙСКОЙ ФЕДЕРАЦИИ**

Федеральное государственное бюджетное образовательное учреждение
высшего образования

«Воронежский государственный технический университет»

УТВЕРЖДАЮ

Декан факультета радиотехники и электроники Небольсин В.А.
«30» августа 2017 г.

РАБОЧАЯ ПРОГРАММА

дисциплины

« Проектирование цифровых устройств в базисе ПЛИС »

Направление подготовки 11.03.04 Электроника и микроэлектроника

Профиль Микроэлектроника и твердотельная электроника

Квалификация выпускника бакалавр

Нормативный период обучения 4 года

Форма обучения очная

Год начала подготовки 2017

Автор программы

 / А.В. Строгонов /

Заведующий кафедрой
Полупроводниковой электроники и микроэлектроники

 / С. И Рембеза /

Руководитель ОПОП

 / С.И Рембеза /

Воронеж 2017

1. ЦЕЛИ И ЗАДАЧИ ДИСЦИПЛИНЫ

1.1. Цели дисциплины – обеспечение основ проектирования цифровых устройств в базисе БИС программируемой логики (ПЛИС) с привлечением высокоуровневого языка описания аппаратных средств VHDL в САПР Quartus II (САПР Xilinx ISE) и системы визуально-имитационного моделирования Matlab/Simulink.

Изучение дисциплины должно способствовать формированию у студентов основ разработки сложно-функциональных цифровых устройств в базисе ПЛИС.

1.2. Задачи освоения дисциплины

изучение основ функционирования цифровых устройств представленных схемным описанием на уровне вентилей, кодом языка VHDL, мегафункциями САПР Quartus II для реализации в базисе ПЛИС;

освоение языка VHDL для написания кода моделей цифровых устройств с учетом архитектурных особенностей ПЛИС;

получение практических навыков работы с системой визуально-имитационного моделирования Matlab/Simulink для разработки сложно-функциональных моделей цифровых устройств:

с использованием графического представления управляющих автоматов с помощью приложения StateFlow и языка М-файлов;

извлечение кода языка VHDL с помощью приложения Simulink HDL coder с последующим созданием функциональных моделей в базисе ПЛИС в САПР Quartus II;

2. МЕСТО ДИСЦИПЛИНЫ В СТРУКТУРЕ ОПОП

Дисциплина «Проектирование цифровых устройств в базисе ПЛИС» относится к дисциплинам вариативной части блока Б1.

3. ПЕРЕЧЕНЬ ПЛАНИРУЕМЫХ РЕЗУЛЬТАТОВ ОБУЧЕНИЯ ПО ДИСЦИПЛИНЕ

Процесс изучения дисциплины «Проектирование цифровых устройств в базисе ПЛИС» направлен на формирование следующих компетенций:

ПКВ-1 - способностью владеть современными методами расчета и проектирования микроэлектронных приборов и устройств твердотельной электроники, способностью к восприятию, разработке и критической оценке новых способов их проектирования;

ПКВ-2 - готовностью к применению современных технологических процессов и технологического оборудования на этапах разработки и производства микроэлектронных приборов и устройств твердотельной электроники;

ПКВ-3 - способность идентифицировать новые области исследований, новые проблемы в сфере физики, проектирования, технологии изготовления

и применения микроэлектронных приборов и устройств.

Компетенция	Результаты обучения, характеризующие сформированность компетенции
ПКВ-1	Знать основные функциональные узлы микропроцессорных устройств используемые для реализации в базисе ПЛИС;
	Уметь строить функциональные модели цифровых устройств с применением языка VHDL и мегафункций в САПР ПЛИС Quartus II;
	Владеть навыками работы с САПР ПЛИС Quartus II и отладочными средствами; навыками проектирования цифровых устройств обработки сигналов в базисе ПЛИС.
ПКВ-2	Знать технологию программирования ПЛИС с использованием различных интерфейсов
	Уметь разрабатывать испытательные стенды на языке VHDL и пользоваться отладочными платами и лабораторными стендами для верификации проектов
	Владеть навыками отладки HDL-проектов с применением системы цифрового моделирования ModelSim
ПКВ-3	знать основы высокоуровневого языка описания аппаратных средств (VHDL);
	уметь строить имитационные модели сложно-функциональных цифровых устройств в системе Matlab/Simulink.
	владеть навыками работы с системой визуально-имитационного моделирования Matlab/Simulink.

4. ОБЪЕМ ДИСЦИПЛИНЫ

Общая трудоемкость дисциплины «Проектирование цифровых устройств в базисе ПЛИС» составляет 6 з.е.

Распределение трудоемкости дисциплины по видам занятий
очная форма обучения

Виды учебной работы	Всего часов	Семестры
		8
Аудиторные занятия (всего)	72	72

В том числе:		
Лекции	24	24
Практические занятия (ПЗ)	24	24
Лабораторные работы (ЛР)	24	24
Самостоятельная работа	108	108
Часы на контроль	27	27
Виды промежуточной аттестации - экзамен	+	+
Общая трудоемкость академические часы	216	216
з.е.	6	6

5. СОДЕРЖАНИЕ ДИСЦИПЛИНЫ (МОДУЛЯ)

5.1 Содержание разделов дисциплины и распределение трудоемкости по видам занятий

очная форма обучения

№ п/п	Наименование темы	Содержание раздела	Лекц	Прак зан.	Лаб. зан.	СРС	Всего, час
1	Архитектуры вычислительных систем на ПЛИС	Классификация программируемых логических интегральных схем (ПЛИС). Понятие “система на кристалле” (СнК). Архитектуры микропроцессоров и микроконтроллеров. Микропроцессорные ядра (софт-процессоры). ЦОС–процессоры, динамические реконфигурируемые микропроцессорные системы на базе ПЛИС по архитектуре FPGA.	4	2	-	13	19
2	Типовая структура 8-разрядного микропроцессора	Архитектура восьми разрядного микропроцессора. Стеки. Блок управления и синхронизации. Регистры общего и специального назначения. Счетчик программ. АЛУ. Регистр команд. Дешифратор команд. Система команд. Команды пересылки. Команды с непосредственной адресацией. Команды передачи управления. Арифметические и логические команды. Команды ввода/вывода. Информационные потоки в процессе выполнения команд. Команды обращения к памяти. Команды обращения к подпрограммам.	4	2	4	13	23
3	Проектирование цифровых фильтров в базисе ПЛИС с использованием МАС-блоков и встроенных умножителей	Расчет параметров фильтров с использованием среды FDATool. Моделирование КИХ-фильтров с использованием системы визуально-имитационного Matlab/Simulink. Разработка проектов фильтров в базисе ПЛИС.	4	2	4	13	23

4	Проектирование функциональных узлов микропроцессорных систем	Проектирование комбинационных и последовательностных устройств на языках VHDL/Vereilog.	2	2	4	13	21
5	Разработка имитационных моделей микропроцессорных ядер	Разработка имитационных моделей микропроцессорных ядер в системе Matlab/Simulink. Программирование в системе Matlab/Simulink. Создание М-функций основных функциональных узлов микропроцессорного ядра в системе Matlab/Simulink. Работа с отладчиком моделей Simulink Debugger. Формат с фиксированной запятой. fi-объекты системы Matlab.	2	2	4	13	21
6	Программные и аппаратные ядра ПЛИС Xilinx	Характеристики микропроцессорных ядер PicoBlaze, Micro-Blazer, PowerPC фирмы Xilinx для реализации в базе ПЛИС. Система команд микропроцессорного ядра PicoBlaze.	2	2	-	13	17
7	Программные ядра ПЛИС СнК Altera	Архитектура, функциональные модули и набор инструкций микропроцессорного ядра Nios II фирмы Altera для реализации в базе ПЛИС. Среда разработки приложений для Nios II на языках C и ассемблер Altera Monitor Program.	2	4	-	13	19
8	Разработка программных ядер с помощью SOPC Builder	Компоненты SOPC Builder. Интерфейс Avalon.	2	4	4	13	23
9	Разработка микропроцессорных ядер в САПР ПЛИС Quartus II на языке VHDL.	Разработка функциональных блоков микропроцессорных ядер (регистры общего назначения, счетчик программ, АЛУ, ОЗУ, ПЗУ) с использованием мегафункций САПР ПЛИС Quartus II.	2	4	4	13	23
Итого			24	24	24	108	180

заочная форма обучения

5.2 Перечень лабораторных работ

Неделя семестра	Наименование лабораторной работы	Объем часов
2. Типовая структура 8-разрядного микропроцессора		4
1	Разработка имитационной модели 8-разрядного микропроцессорного ядра с управляющим автоматом, представленного в виде текстового описания на языке М-файлов системы Matlab/Simulink с последующим извлечением кода языка VHDL с помощью приложения Simulink HDL coder и созданием проекта в САПР Quartus II.	4
3. Проектирование цифровых фильтров в базе ПЛИС с использованием МАС-блоков и встроенных умножителей		4
3	Проектирование последовательного КИХ-фильтра на четыре отвода в САПР Altera Quartus II. Проектирование параллельного КИХ-фильтра на четыре отвода в САПР Altera Quartus II	4
4. Проектирование функциональных узлов микропроцессорных систем		4
5	Проектирование последовательностных устройств на языке VHDL в базе ПЛИС: регистры, счетчики, конечные автоматы, модули памяти	4
5. Разработка имитационных моделей микропроцессорных ядер		4
7	Разработка имитационной модели 8-разрядного микропроцессорного ядра с управляющим автоматом представленного графом приложения StateFlow системы Matlab/Simulink с последующим извлечением кода языка VHDL с помощью приложения Simulink HDL coder.	4
8. Разработка программных ядер с помощью SOPC Builder		4
9	Компоненты SOPC Builder. Интерфейс Avalon.	4
9. Разработка микропроцессорных ядер в САПР ПЛИС Quartus II на языке VHDL		4

11	Проектирование учебного микропроцессорного ядра для реализации в базисе ПЛИС на языке VHDL с помощью конечного автомата в САПР Quartus II.	4
Итого часов		24

6. ПРИМЕРНАЯ ТЕМАТИКА КУРСОВЫХ ПРОЕКТОВ (РАБОТ) И КОНТРОЛЬНЫХ РАБОТ

В соответствии с учебным планом освоение дисциплины не предусматривает выполнение курсового проекта (работы) или контрольной работы.

7. ОЦЕНОЧНЫЕ МАТЕРИАЛЫ ДЛЯ ПРОВЕДЕНИЯ ПРОМЕЖУТОЧНОЙ АТТЕСТАЦИИ ОБУЧАЮЩИХСЯ ПО ДИСЦИПЛИНЕ

7.1. Описание показателей и критериев оценивания компетенций на различных этапах их формирования, описание шкал оценивания

7.1.1 Этап текущего контроля

Результаты текущего контроля знаний и межсессионной аттестации оцениваются по следующей системе:

«аттестован»;

«не аттестован».

Компетенция	Результаты обучения, характеризующие сформированность компетенции	Критерии оценивания	Аттестован	Не аттестован
ПКВ-1	знать основные функциональные узлы микропроцессорных устройств используемые для реализации в базисе ПЛИС	Способность использовать на практике теоретические сведения по функциональным узлам микропроцессоров для разработки софт-процессоров	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
	уметь строить функциональные модели цифровых устройств с применением языка VHDL и мегафункций в САПР ПЛИС Quartus II	Демонстрация навыков разработки проектов в САПР ПЛИС Quartus II с использованием HDL-кодов и мегафункций	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
	владеть навыками работы с САПР ПЛИС Quartus II и отладочными средствами; навыками проектирования цифровых устройств обработки сигналов в базисе ПЛИС	Демонстрация навыков пользования отладочными средствами	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
ПКВ-2	знать технологию программирования ПЛИС с использованием различных интерфейсов	Демонстрация навыков использования приложений САПР Quartus для программирования ПЛИС	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах

	уметь разрабатывать испытательные стенды на языке VHDL и пользоваться отладочными платами и лабораторными стендами для верификации проектов	Способность разрабатывать испытательные стенды на языке VHDL	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
	владеть навыками отладки HDL-проектов с применением системы цифрового моделирования ModelSim	Способность провести симуляцию проекта с применением системы цифрового моделирования ModelSim	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
ПКВ-3	знать основы высокоуровневого языка описания аппаратных средств (VHDL);	Демонстрация способности описывать комбинационные и последовательностные устройства HDL-кодом	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
	уметь строить имитационные модели сложно-функциональных цифровых устройств в системе Matlab/Simulink.	Уметь самостоятельно разработать имитационную модель цифрового устройства в системе Matlab/Simulink	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах
	владеть навыками работы с системой визуально-имитационного моделирования Matlab/Simulink.	Демонстрация навыков работы с пакетами расширений Altera DSP Builder или Xilinx System Generator	Выполнение работ в срок, предусмотренный в рабочих программах	Невыполнение работ в срок, предусмотренный в рабочих программах

7.1.2 Этап промежуточного контроля знаний

Результаты промежуточного контроля знаний оцениваются в 8 семестре для очной формы обучения, 8 семестре для заочной формы обучения по четырехбалльной системе:

«отлично»;

«хорошо»;

«удовлетворительно»;

«неудовлетворительно».

Компетенция	Результаты обучения, характеризующие сформированность компетенции	Критерии оценивания	Отлично	Хорошо	Удовл.	Неудовл.
ПКВ-1	знать основные функциональные узлы микропроцессорных устройств используемые для реализации в базисе ПЛИС	Тест	Выполнение теста на 90- 100%	Выполнение теста на 80- 90%	Выполнение теста на 70- 80%	В тесте менее 70% правильных ответов
	уметь строить функциональные модели цифровых устройств с применением языка VHDL и мегафункций в САПР ПЛИС Quartus II	Решение стандартных практических задач	Задачи решены в полном объеме и получены верные ответы	Продемонстрирован верный ход решения всех, но не получен верный ответ	Продемонстрирован верный ход решения в большинстве задач	Задачи не решены

				во всех задачах		
	владеть навыками работы с САПР ПЛИС Quartus II и отладочными средствами; навыками проектирования цифровых устройств обработки сигналов в базисе ПЛИС	Решение прикладных задач в конкретной предметной области	Задачи решены в полном объеме и получены верные ответы	Продемонстрирован верный ход решения всех, но не получен верный ответ во всех задачах	Продемонстрирован верный ход решения в большинстве задач	Задачи не решены
ПКВ-2	знать технологию программирования ПЛИС с использованием различных интерфейсов	Тест	Выполнение теста на 90- 100%	Выполнение теста на 80- 90%	Выполнение теста на 70- 80%	В тесте менее 70% правильных ответов
	уметь разрабатывать испытательные стенды на языке VHDL и пользоваться отладочными платами и лабораторными стендами для верификации проектов	Решение стандартных практических задач	Задачи решены в полном объеме и получены верные ответы	Продемонстрирован верный ход решения всех, но не получен верный ответ во всех задачах	Продемонстрирован верный ход решения в большинстве задач	Задачи не решены
	владеть навыками отладки HDL-проектов с применением системы цифрового моделирования ModelSim	Решение прикладных задач в конкретной предметной области	Задачи решены в полном объеме и получены верные ответы	Продемонстрирован верный ход решения всех, но не получен верный ответ во всех задачах	Продемонстрирован верный ход решения в большинстве задач	Задачи не решены
ПКВ-3	знать основы высокоуровневого языка описания аппаратных средств (VHDL);	Тест	Выполнение теста на 90- 100%	Выполнение теста на 80- 90%	Выполнение теста на 70- 80%	В тесте менее 70% правильных ответов
	уметь строить имитационные модели сложно-функциональных цифровых устройств в системе Matlab/Simulink.	Решение стандартных практических задач	Задачи решены в полном объеме и получены верные ответы	Продемонстрирован верный ход решения всех, но не получен верный ответ во всех задачах	Продемонстрирован верный ход решения в большинстве задач	Задачи не решены
	владеть навыками работы с системой визуально-имитационного моделирования Matlab/Simulink	Решение прикладных задач в конкретной предметной области	Задачи решены в полном объеме и получены верные ответы	Продемонстрирован верный ход решения всех, но не получен верный ответ во всех задачах	Продемонстрирован верный ход решения в большинстве задач	Задачи не решены

7.2 Примерный перечень оценочных средств (типовые контрольные задания или иные материалы, необходимые для оценки знаний, умений, навыков и (или) опыта деятельности)

7.2.1 Примерный перечень заданий для подготовки к тестированию

1. Объясните принцип умножения целых чисел представленных в дополнительном коде по схеме Бо-Вули.
2. Объясните принцип умножения целых чисел представленных в дополнительном коде по схеме Пезариса.
3. Нарисуйте структурную схему матричного умножителя целых без знаковых чисел размерностью 4x4.
4. Приведите код языка VHDL управляющего автомата на четыре состояния. Какими блоками управляет автомат в структурной схеме умножения методом сдвига и сложения. Какие методы кодирования цифровых автоматов вы знаете?
5. Объясните принцип умножения с помощью метода сдвига и сложения для случая, когда множимое и множитель, отрицательные числа?
6. Объясните принцип умножения с помощью метода сдвига и сложения для случая, когда множимое и множитель, положительные числа?
7. Нарисуйте структурную схему умножителя целых чисел со знаком размерностью 4x4 с использованием метода правого сдвига и сложения
8. Дайте определение программного умножителя. Настройте мегафункцию ALTMEMMULT для умножения -5 на 4 (константа).
9. Нарисуйте структурную схему линии задержки на три отвода и дерево сумматоров.
10. Как реализуется операция взятия обратного кода? Как формируется операция взятия дополнительного кода?
11. Нарисуйте структурную схему параллельного и последовательного КИХ-фильтра на четыре отвода.

7.2.2 Примерный перечень заданий для решения стандартных задач

1. Разработайте проект в САПР ISE с использованием софт-процессорного ядра PicoBlaze фирмы Xilinx для реализации в базисе ПЛИС.
2. Разработайте проект в САПР ISE с использованием софт-процессорного ядра MicroBlazer фирмы Xilinx для реализации в базисе ПЛИС.
3. Разработайте проект в САПР ISE с использованием аппаратного процессорного ядра PowerPC фирмы Xilinx для реализации в базисе ПЛИС.
4. Разработайте проект в САПР Quartus II с использованием софт-процессорного ядра Nios II фирмы Altera для реализации в базисе ПЛИС.
5. Разработайте систему команд пользовательского 4-разрядного софт-процессора в которую бы входили команды пересылки, команды с непосредственной адресацией, команды передачи управления, арифметические и логические

команды, команды ввода/вывода. Объясните информационные потоки в процессе выполнения команд.

6. Сформируйте пространство памяти 8-разрядного микропроцессора.
7. Разработайте VHDL-код блока АЛУ микропроцессора..
8. Разработайте VHDL-код блока дешифрации команд микропроцессора.
9. Разработайте VHDL-код блока преобразования двоичного кода в двоично-десятичный код.
10. Разработайте VHDL-код счетчика команд 8-разрядного микропроцессора.

7.2.3 Примерный перечень заданий для решения прикладных задач

Задание N 1
Микропроцессорное ядро с использованием управляющего автомата и мегафункции асинхронного ПЗУ для реализации в базисе ПЛИС Cyclone. Управляющий автомат должен быть разработан с использованием языка VHDL. Файл прошивки ПЗУ 05F70607060906070605041E060306010605. Проект должен быть разработан в САПР ПЛИС Quartus II версии 9.1 Для отладки проекта используйте учебно-лабораторный стенд LESO2.1
Билет N 2
Микропроцессорное ядро с использованием управляющего автомата на языке VHDL и мегафункции асинхронного ПЗУ для реализации в базисе ПЛИС Cyclone. Управляющий автомат должен быть разработан с использованием встроенного редактора состояний конечных автоматов. Проект должен быть разработан в САПР ПЛИС Quartus II версии 9.1. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1. Файл прошивки ПЗУ 0566060906040602056705D5060406010603.
Билет N 3
Микропроцессорное ядро с использованием управляющего автомата и мегафункции асинхронного ПЗУ для реализации в базисе ПЛИС Cyclone 3. Проект должен быть разработан в САПР ПЛИС Quartus II версии 13.1. Файл прошивки ПЗУ 0484060304F0060306050608060105F00604.
Билет N 4
Микропроцессорное ядро с использованием управляющего автомата и асинхронного ПЗУ для реализации в базисе ПЛИС Cyclone 3. Управляющий автомат и ПЗУ должны быть разработаны с использованием языка VHDL. Проект должен быть разработан в САПР ПЛИС Quartus II версии 13.1. Файл прошивки ПЗУ 050E06070000060904840202060304900000.
Билет N 5
Микропроцессорное ядро с использованием управляющего автомата и мегафункции асинхронного ПЗУ для реализации в базисе ПЛИС Cyclone 3. Проект должен быть разработан в САПР ПЛИС Quartus II версии 13.1. Симуляцию проекта осуществите с использованием системы цифрового

моделирования ModelSim-Altera Free. Файл прошивки ПЗУ 052306040210060606050604020400000601.
Билет N 6
Микропроцессорное ядро с использованием управляющего автомата и мегафункции асинхронного ПЗУ для реализации в базисе ПЛИС Cyclone. Управляющий автомат должен быть разработан с использованием языка VHDL. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1 Файл прошивки ПЗУ 046806030609020E06010210020806020605.
Билет N 7
Микропроцессорное ядро с использованием управляющего автомата и мегафункции асинхронного ПЗУ для реализации в базисе ПЛИС Cyclone 3. Для симуляции проекта разработайте тестбенч. Файл прошивки ПЗУ 056806010607000006050601047806080609.
Билет N 8
Микропроцессорное ядро с использованием управляющего автомата и мегафункции асинхронного ПЗУ для реализации в базисе ПЛИС Cyclone 3. Файл прошивки ПЗУ 04D504110609000006020605060404890607.
Билет N 9
Микропроцессорное ядро с использованием управляющего автомата и мегафункции асинхронного ПЗУ для реализации в базисе ПЛИС Cyclone 3. Управляющий автомат должен быть разработан с использованием встроенного редактора состояний конечных автоматов. Файл прошивки ПЗУ 054C041A060406010604051B060306030200.
Билет N 10
Микропроцессорное ядро с использованием управляющего автомата и мегафункции асинхронного ПЗУ для реализации в базисе ПЛИС Cyclone 3. Управляющий автомат должен быть разработан с использованием встроенного редактора состояний конечных автоматов. Файл прошивки ПЗУ 05A20602060204F006010602060506050602.
Билет N 11
Микропроцессорное ядро с использованием управляющего автомата и асинхронного ПЗУ для реализации в базисе ПЛИС Cyclone 3. Управляющий автомат и ПЗУ должны быть разработаны на языке VHDL. Файл прошивки ПЗУ 047E06090605060106040604060205ED0606.
Билет N 12
Микропроцессорное ядро с использованием управляющего автомата и мегафункции асинхронного ПЗУ для реализации в базисе ПЛИС Cyclone 3. Файл прошивки ПЗУ 0459060606090602000000000212060405FE.
Билет N 13
Микропроцессорное ядро с использованием управляющего автомата и мегафункции асинхронного ПЗУ для реализации в базисе ПЛИС Cyclone 3. Проект должен быть разработан в САПР ПЛИС Quartus II версии 13.1. Для симуляции проекта разработайте тестбенч. Файл прошивки ПЗУ 055506090604060506090601060406040604.
Билет N 14
Микропроцессорное ядро с использованием управляющего автомата и мегафункции асинхронного ПЗУ для реализации в базисе ПЛИС Cyclone 3. Для разработки проекта используйте структурный стиль языка VHDL.

Файл прошивки ПЗУ 0434000006010607049D0606060906050206.	
Билет N 15	
Микропроцессорное ядро с использованием управляющего автомата и мегафункции асинхронного ПЗУ для реализации в базисе ПЛИС Cyclone 3. Симуляцию проекта осуществите с использованием системы цифрового моделирования ModelSim-Altera Free. Файл прошивки ПЗУ 057606010204060405050601000006050601.	
Билет N 16	
Микропроцессорное ядро с использованием управляющего автомата и мегафункции асинхронного ПЗУ для реализации в базисе ПЛИС Cyclone 3. Симуляцию проекта осуществите с использованием системы цифрового моделирования ModelSim-Altera Free. Файл прошивки ПЗУ 040804A30609060302080605000006050206.	
Билет N 17	
Микропроцессорное ядро с использованием управляющего автомата и мегафункции асинхронного ПЗУ для реализации в базисе ПЛИС Cyclone. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1 Файл прошивки ПЗУ 050206070605000006040208060206050604.	

7.2.4 Примерный перечень вопросов для подготовки к зачету

Не предусмотрено учебным планом

7.2.5 Примерный перечень заданий для решения прикладных задач

Билет N 1	Вопросы
	1. Типовая структура 8-ми разрядного микропроцессора. 2. Особенности проектирования цифровых автоматов в базисе ПЛИС. Методы представления и способы кодирования. 3. Разработайте умножитель целых чисел со знаком размерностью 4x4 по схеме Бо-Вули. Проект должен быть разработан в САПР ПЛИС Quartus II версии 9.1 с применением мегафункций. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1

Билет N 2	Вопросы
	1. Типовая структура 8-ми разрядного микроконтроллера. 2. Особенности проектирования цифровых фильтров в базисе ПЛИС с учетом их архитектурных особенностей. 3. Разработайте умножитель целых чисел со знаком размерностью 4x4 с использованием метода правого сдвига и сложения. Проект должен быть разработан в САПР ПЛИС Quartus II версии 9.1. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

Билет N 3	Вопросы
	1. Счетчики на ИС средней степени интеграции в САПР ПЛИС Quartus II и их описание на языке VHDL.

2. Проектирование цифровых фильтров с учетом архитектурных особенностей ПЛИС.
3. Разработайте умножитель целых без знаковых чисел размерностью 4x4 с использованием метода правого сдвига и сложения. Проект должен быть разработан в САПР ПЛИС Quartus II версии 9.1 с применением языка VHDL. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

Билет N 4	Вопросы
	1. Универсальные и специализированные процессоры ЦОС. 2. Особенности проектирования преобразователей кодов в базисе ПЛИС. 3. Разработайте умножитель целых без знаковых чисел размерностью 4x4 методом умножения в столбик. Проект должен быть разработан в САПР ПЛИС Quartus II версии 9.1. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

Билет N 5	Вопросы
	1. Гарвардская и не гарвардская архитектура процессоров ЦОС. 2. Особенности проектирования устройств потоковой обработки информации в базисе ПЛИС. 3. Разработайте программный умножитель целых без знаковых чисел размерностью 4x4 с использованием мегафункции ALTMEMMULT в САПР ПЛИС Quartus II версии 13.1.

Билет N 6	Вопросы
	1. Конвейерная обработка операций. 2. Таблицы соответствия в ПЛИС. 3. Спроектируйте параллельный КИХ-фильтра на 4 отвода $y = C_0x_0 + C_1x_1 + C_2x_2 + C_3x_3$ в САПР ПЛИС Quartus II версии 9.1. Коэффициенты фильтра целочисленные со знаком, известны и равны $C_0 = -2$, $C_1 = -1$, $C_2 = 7$ и $C_3 = 6$. Используйте мегафункцию ALTMULT_ACCUM. Для отладки проекта используйте учебно-лабораторный стенд LESO2.1.

Билет N 7	Вопросы
	1. Особенности проектирования арифметических устройств в базисе ПЛИС. 2. Конфигурируемые логические блоки в ПЛИС. 3. Спроектируйте параллельный КИХ-фильтра на 4 отвода $y = C_0x_0 + C_1x_1 + C_2x_2 + C_3x_3$ в САПР ПЛИС Quartus II версии 9.1. Коэффициенты фильтра целочисленные со знаком, известны и равны $C_0 = -2$, $C_1 = -1$, $C_2 = 7$ и $C_3 = 6$. Используйте мегафункцию ALTMULT_ADD.

Билет	Вопросы
-------	---------

Н 8	
1. Элементы ввода/вывода в базисе ПЛИС. 2. Особенности конвейерной обработки операций в ПЛИС. 3. Спроектируйте параллельный КИХ-фильтра на 4 отвода $y = C_0x_0 + C_1x_1 + C_2x_2 + C_3x_3$ в САПР ПЛИС Quartus II версии 9.1. Коэффициенты фильтра целочисленные со знаком, известны и равны $C_0 = -2$, $C_1 = -1$, $C_2 = 7$ и $C_3 = 6$. Используйте мегафункцию ALTMEMMULT.	

Билет Н 9	Вопросы
1. Специфика проектирования цифровых устройств с учетом архитектурных особенностей ПЛИС. 2. Классификация ПЛИС (FPGA и CPLD).. 3. Спроектируйте КИХ-фильтр на 4 отвода с использованием мегаядра FIR Compiler в САПР ПЛИС Quartus II версии 13.1 (параллельная и последовательная распределенные арифметики).	

Билет Н 10	Вопросы
1. Маршрут проектирования цифровых устройств с использованием САПР ПЛИС Quartus II. 2. Полупроводниковая память. Постоянные запоминающие устройства. Запоминающие устройства с произвольной выборкой (ЗУПВ). Практические схемы ЗУПВ. Особенности проектирования модулей памяти в САПР ПЛИС Quartus II. 3. Разработайте код языка VHDL КИХ-фильтра на 4 отвода с использованием оператора цикла loop. Напишите тестбенч для моделирования импульсной характеристики фильтра.	

Билет Н 11	Вопросы
1. Основные тенденции развития ПЛИС. Архитектуры ПЛИС CPLD и FPGA компании Xilinx. 2. Делители частоты. 3. Спроектируйте систолический КИХ-фильтр на 4 отвода в САПР ПЛИС Quartus II с однотипными процессорными элементами.	

Билет Н 12	Вопросы
1. Двоично-десятичные счетчики. Делители. Режимы работы счетчиков. 2. Архитектуры MAX, FLEX, Cyclone и Stratix компании Altera. 3. Напишите тестбенч для моделирования импульсной характеристики фильтра.	

Билет Н 13	Вопросы
1. Обобщенная схема счетчика. Двоичные счетчики. Асинхронные и синхронные счетчики. Реверсивный счетчик. Особенности проектирования счетчиков на языке VHDL.	

2. Вычислительные устройства на ПЛИС.
3. Спроектируйте 4-разрядный сумматор/вычитатель, составленный из полных сумматоров/вычитателей на мегафункциях в САПР Quartus II версии 13.1

Билет N 14	Вопросы
	1. Счетчики с произвольным модулем счета. Описание на языке VHDL. 2. Схемы арифметических устройств: сумматоры и вычитатели. 3. Спроектируйте 4-разрядный сумматор/вычитатель, составленный из полных сумматоров/вычитателей на логических элементах в САПР Quartus II версии 13.1.

Билет N 15	Вопросы
	1. Сдвиговые регистры (со сдвигом влево, вправо). Реверсивные регистры сдвига. Особенности проектирования регистров на языке VHDL. 2. Разработка иерархических проектов с использованием структурного стиля языка VHDL. 3. Спроектируйте в САПР Quartus II версии 13.1 8-входовой приоритетный шифратор (восемь в три) на логических элементах (аналог ИС типа SN74148). Осуществите каскадирование приоритетных шифраторов для организации схемы 16 в 4.

Билет N 16	Вопросы
	1. Комбинационные устройства: сумматор с последовательным и ускоренным переносом. Описание на языке VHDL. 2. Архитектуры ПЛИС фирм Altera и Xilinx. 3. Спроектируйте в САПР Quartus II версии 13.1 мультиплексор 16 в 1 методом каскадирования мультиплексоров 4 в 1. Используйте логические элементы и мегафункцию мультиплексора.

Билет N 17	Вопросы
	1. Комбинационные устройства: шифраторы и дешифраторы. Описание на языке VHDL. 2. Структура микропроцессорной системы для реализации в базисе ПЛИС. 3. Используя мегафункцию 4-х разрядного сумматора разработайте в САПР Quartus II схему преобразователя 3-х разрядного двоично-десятичного кода в двоичный код.

7.2.6. Методика выставления оценки при проведении промежуточной аттестации

Экзамен проводится по тест-билетам, каждый из которых содержит 10 вопросов и задачу. Каждый правильный ответ на вопрос в тесте оценивается 1 баллом, задача оценивается в 10 баллов (5 баллов верное решение и 5 баллов за верный ответ). Максимальное количество набранных баллов – 20.

1. Оценка «Неудовлетворительно» ставится в случае, если студент набрал менее 6 баллов.

2. Оценка «Удовлетворительно» ставится в случае, если студент набрал от 6 до 10 баллов

3. Оценка «Хорошо» ставится в случае, если студент набрал от 11 до 15 баллов.

4. Оценка «Отлично» ставится, если студент набрал от 16 до 20 баллов.

7.2.7 Паспорт оценочных материалов

№ п/п	Контролируемые разделы (темы) дисциплины	Код контролируемой компетенции	Наименование оценочного средства
1	Архитектуры вычислительных систем на ПЛИС	ПКВ-1, ПКВ-2, ПКВ-3	Тест, защита практических работ
2	Типовая структура 8-разрядного микропроцессора	ПКВ-1, ПКВ-2, ПКВ-3	Тест, защита практических работ, защита лабораторных работ, решение стандартных задач
3	Проектирование цифровых фильтров в базисе ПЛИС с использованием МАС-блоков и встроенных умножителей	ПКВ-1, ПКВ-2, ПКВ-3	Тест, защита практических работ, защита лабораторных работ, решение стандартных задач
4	Проектирование функциональных узлов микропроцессорных систем	ПКВ-1, ПКВ-2, ПКВ-3	Тест, защита практических работ, защита лабораторных работ, решение стандартных задач
5	Разработка имитационных моделей микропроцессорных ядер	ПКВ-1, ПКВ-2, ПКВ-3	Тест, защита практических работ, защита лабораторных работ, решение стандартных задач
6	Программные и аппаратные ядра ПЛИС Xilinx	ПКВ-1, ПКВ-2, ПКВ-3	Тест, защита практических работ, решение стандартных задач
7	Программные ядра ПЛИС СнК Altera	ПКВ-1, ПКВ-2, ПКВ-3	Тест, защита практических работ, решение стандартных задач
8	Разработка программных ядер с помощью SOPC Builder	ПКВ-1, ПКВ-2, ПКВ-3	Тест, защита практических работ, защита лабораторных работ, решение стандартных задач
9	Разработка микропроцессорных ядер в САПР ПЛИС Quartus II на языке VHDL.	ПКВ-1, ПКВ-2, ПКВ-3	Тест, защита практических работ, защита лабораторных работ, решение стандартных задач

7.3. Методические материалы, определяющие процедуры оценивания знаний, умений, навыков и (или) опыта деятельности

Тестирование осуществляется, либо при помощи компьютерной системы тестирования, либо с использованием выданных тест-заданий на бумажном носителе. Время тестирования 30 мин. Затем осуществляется проверка теста экзаменатором и выставляется оценка согласно методики выставления оценки при проведении промежуточной аттестации.

Решение стандартных задач осуществляется, либо при помощи компьютерной системы тестирования, либо с использованием выданных задач на бумажном носителе. Время решения задач 30 мин. Затем осуществляется проверка решения задач экзаменатором и выставляется оценка, согласно методики выставления оценки при проведении промежуточной аттестации.

Решение прикладных задач осуществляется, либо при помощи компьютерной системы тестирования, либо с использованием выданных задач на бумажном носителе. Время решения задач 30 мин. Затем осуществляется проверка решения задач экзаменатором и выставляется оценка, согласно методики выставления оценки при проведении промежуточной аттестации.

8 УЧЕБНО МЕТОДИЧЕСКОЕ И ИНФОРМАЦИОННОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ)

8.1 Перечень учебной литературы, необходимой для освоения дисциплины

8.1 Рекомендуемая литература				
№ п/п	Авторы, составители	Заглавие	Годы издания. Вид издания	Обеспечен - ность
7.1.1 Основная литература				
1	Соловьев В.В.	Проектирование цифровых систем на основе ПЛИС. М.: Горячая линия - Телеком	2007 Печатный	0.4
2	Грушевицкий Р., Мурсаев А., Угрюмов Е.	Проектирование систем на микросхемах с программируемой структурой. Учеб. пособие. 2-е изд. СПб: ВХВ	2006 Печатный	0.1
3	Амосов В.В.	Схемотехника и средства проектирования цифровых устройств. БХВ-Петербург	2007 Печатный	0.1
4	Тарасов И.Е., Потехин И.Е.	Разработка систем цифровой обработки сигналов на базе ПЛИС. М.: Горячая линия - Телеком	2007 Печатный	0.4
5	Тарасов И.Е.	Разработка цифровых устройств на основе ПЛИС фирмы Xilinx с применением языка VHDL	2005 Печатный	0.4
6	Угрюмов Е.П.	Цифровая схемотехника: Учеб. пособие. - 2-е изд., перераб. и доп. - СПб.: БХВ-Петербург	2004 Печатный	1
7	Под ред. Кестера	Проектирование систем цифровой и	2011	0.4

	У.	смешанной обработки сигналов. М.: Техносфера	Печатный носитель	
8.1.2. Дополнительная литература				
1	Строгонов А.В.	Цифровая обработка сигналов в базе программируемых логических интегральных схем	2015 Магнитный носитель	1
2	Строгонов А.В.	Проектирование устройств цифровой обработки сигналов для реализации в базе программируемых логических интегральных схем	2013 Магнитный носитель	1
3	Строгонов А.В.	Основы цифровой обработки сигналов: учеб. пособие	2014 Магнитный носитель	1
4	Строгонов А.В.	Системное проектирование программируемых логических интегральных схем: учеб. пособие	2012 Магнитный носитель	1
5	Строгонов А.В.	Основы микросхемотехники интегральных схем	2012 Магнитный носитель	1
8.1.3. Методические разработки				
1	Строгонов А.В.	Методические указания к выполнению лабораторных работ № 1, 2 по дисциплине «Проектирование цифровых устройств в базе ПЛИС» для студентов направления 210100.62 «Электроника и нанoeлектроника» (профиль «Микroeлектроника и твердотельная электроника») очной формы обучения (рег. номер 179-2014)	2014 Магнитный носитель	1

8.2 Перечень информационных технологий, используемых при осуществлении образовательного процесса по дисциплине, включая перечень лицензионного программного обеспечения, ресурсов информационно-телекоммуникационной сети «Интернет», современных профессиональных баз данных и информационных справочных систем:

САПР ПЛИС Altera Quartus II+ Altera DSP Builder САПР ПЛИС Xilinx ISE+ Xilinx System Generator Системы цифрового моделирования ModelSim-Altera Система визуально-имитационного моделирования Matlab/Simulink
www.labfor.ru Лаборатории электронных средств обучения, ЛЭСО ГОУ ВПО «СибГУТИ» www.asic.ru НПК "Технологический центр" www.tcen.ru НПК "Технологический центр" www.e-kit.ru Электронные версии журнала “Компоненты и технология”

9 МАТЕРИАЛЬНО-ТЕХНИЧЕСКАЯ БАЗА, НЕОБХОДИМАЯ ДЛЯ ОСУЩЕСТВЛЕНИЯ ОБРАЗОВАТЕЛЬНОГО ПРОЦЕССА

Учебный лабораторный стенд на ПЛИС структуры FPGA - LESO2. Лабораторный стенд LESO2 – уникальная разработка СИБГУТИ для обучения основам проектирования устройств на ПЛИС. Логика работы схемы задается во время проектирования ПЛИС, что позволяет использовать

ее во многих сферах техники.

Учебный стенд LESO7 предназначен для изучения цифровой обработки сигналов. Конструктивно стенд выполнен в виде печатной платы в прозрачном корпусе из органического стекла. Большинство компонентов расположены с верха и доступно обзору. Стенд подключается к персональному компьютеру (ПК) или ноутбуку через разъем USB.

На плате расположена программируемая логическая интегральная схема (ПЛИС) с набором аналоговой периферии: аналого-цифровые (АЦП) и цифро-аналоговые преобразователи (ЦАП). Ввод и вывод аналогового сигнала осуществляется через разъемы типа BNC.

В основе стенда ПЛИС FPGA Cyclone IV. На плате установлен высокоскоростной двуканальный USB конвертор FT2232RL. Один канал использован для конфигурации ПЛИС, другой предназначен для высокоскоростного обмена данными между компьютером и стендом. Питание платы осуществляется от USB.

10. МЕТОДИЧЕСКИЕ УКАЗАНИЯ ДЛЯ ОБУЧАЮЩИХСЯ ПО ОСВОЕНИЮ ДИСЦИПЛИНЫ (МОДУЛЯ)

По дисциплине «Проектирование цифровых устройств в базисе ПЛИС».

Основой изучения дисциплины являются лекции, на которых излагаются наиболее существенные и трудные вопросы, а также вопросы, не нашедшие отражения в учебной литературе.

Практические занятия направлены на приобретение практических навыков разработки проектов цифровых устройств для реализации в базисе ПЛИС с использованием САПР Altera Quartus II или Xilinx ISE. Занятия проводятся путем решения конкретных задач в аудитории.

Лабораторные работы выполняются на лабораторном оборудовании в соответствии с методиками, приведенными в указаниях к выполнению работ.

Контроль усвоения материала дисциплины производится проверкой тестом, контрольной работой, защитой лабораторных работ.

Вид учебных занятий	Деятельность студента
Лекция	Написание конспекта лекций: кратко, схематично, последовательно фиксировать основные положения, выводы, формулировки, обобщения; пометать важные мысли, выделять ключевые слова, термины. Проверка терминов, понятий с помощью энциклопедий, словарей, справочников с выписыванием толкований в тетрадь. Обозначение вопросов, терминов, материала, которые вызывают трудности, поиск ответов в рекомендуемой литературе. Если самостоятельно не удастся разобраться в материале, необходимо сформулировать вопрос и задать преподавателю на лекции или на практическом занятии.
Практическое занятие	Конспектирование рекомендуемых источников. Работа с конспектом лекций, подготовка ответов к контрольным вопросам, просмотр рекомендуемой литературы. Прослушивание аудио- и

	видеозаписей по заданной теме, выполнение расчетно-графических заданий, решение задач по алгоритму.
Лабораторная работа	Лабораторные работы позволяют научиться применять теоретические знания, полученные на лекции при решении конкретных задач. Чтобы наиболее рационально и полно использовать все возможности лабораторных для подготовки к ним необходимо: следует разобрать лекцию по соответствующей теме, ознакомиться с соответствующим разделом учебника, проработать дополнительную литературу и источники, решить задачи и выполнить другие письменные задания.
Самостоятельная работа	Самостоятельная работа студентов способствует глубокому усвоения учебного материала и развитию навыков самообразования. Самостоятельная работа предполагает следующие составляющие: - работа с текстами: учебниками, справочниками, дополнительной литературой, а также проработка конспектов лекций; - выполнение домашних заданий и расчетов; - работа над темами для самостоятельного изучения; - участие в работе студенческих научных конференций, олимпиад; - подготовка к промежуточной аттестации.
Подготовка к промежуточной аттестации	Готовиться к промежуточной аттестации следует систематически, в течение всего семестра. Интенсивная подготовка должна начаться не позднее, чем за месяц-полтора до промежуточной аттестации. Данные перед экзаменом, экзаменом три дня эффективнее всего использовать для повторения и систематизации материала.