

ФГБОУ ВПО «ВОРОНЕЖСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ
УНИВЕРСИТЕТ»

Г.И. ЛИПАТОВ

**АВТОМАТИЗАЦИЯ ИЗМЕРЕНИЙ,
КОНТРОЛЯ И ИСПЫТАНИЙ**

Утверждено редакционно-издательским советом университета
в качестве учебного пособия

Воронеж 2011

УДК 621.317.3(075.8)

Липатов Г.И. Автоматизация измерений, контроля и испытаний: учеб. пособие / Г.И. Липатов. Воронеж: ФГБОУ ВПО «Воронежский государственный технический университет», 2011. 138 с.

В учебном пособии изложены сведения об элементной базе систем обработки информации, вопросы построения и схемотехники средств измерений и контроля. Материал учебного пособия включает следующие разделы: принципы построения измерительных систем, сигналы и методы их исследования, аналоговая обработка сигналов, ЦАП и АЦП, цифровая обработка сигналов, функциональные устройства на цифровых микросхемах. Издание соответствует требованиям Государственного образовательного стандарта высшего профессионального образования по направлению 200500 «Стандартизация, сертификация и метрология», специальность 200503 «Стандартизация и сертификация», дисциплина «Автоматизация измерений, контроля и испытаний». Предназначено студентам очной формы обучения.

Учебное пособие подготовлено в электронном виде в текстовом редакторе MS WORD XP и содержится в файле «Автоматизация измерений.doc».

Табл. 22. Ил. 205. Библиогр.: 13 назв.

Рецензенты: кафедра физики полупроводников и микроэлектроники
Воронежского государственного университета (зав. кафедрой
д-р физ.-мат. наук, проф. Е.Н. Бормонтов);
д-р техн. наук, проф. С.А. Акулинин

© Липатов Г.И., 2011
© Оформление. ФГБОУ ВПО
«Воронежский государственный
технический университет», 2011

ВВЕДЕНИЕ. ОСНОВНЫЕ ОПРЕДЕЛЕНИЯ И ТЕРМИНЫ

Характерным признаком развития технических систем является их постоянное усложнение. При этом неизбежно возникают проблемы измерения, контроля и диагностики параметров, характеристик, а также технического состояния систем и устройств как в процессе их эксплуатации, так и в процессе производства.

В широком смысле *автоматизация* — это комплекс технических, организационных и экономических мероприятий, дающий возможность вести процессы (производственные, технологические, информационные и т. д.) без непосредственного участия в них человека. В узком понимании *автоматизация* — это применение технических средств автоматики для измерения, контроля и управления. Предпосылкой автоматизации является извечное стремление людей заменить свой труд трудом автоматически действующих устройств.

В зависимости от степени автоматизации различают системы *автоматизированные* и *автоматические*. В автоматизированных системах часть функций выполняется человеком-оператором, тогда как автоматические системы функционируют без участия человека.

Цели автоматизации:

научные: повышение эффективности и качества научных результатов за счет более полного исследования моделей;

повышение точности и достоверности результатов исследований за счет оптимизации эксперимента;

получение качественно новых научных результатов, невозможных без ЭВМ;

технические: повышение качества продукции за счет повторяемости операций, увеличения числа измерений и получения более полных данных о свойствах изделий;

повышение надежности изделий за счет получения более полных данных о процессах старения и их предшественниках;

экономические: экономия трудовых ресурсов за счет замены труда человека трудом машины;

сокращение затрат в промышленности за счет уменьшения трудоемкости работ;

повышение производительности труда на основе оптимального распределения работ между человеком и машиной и ликвидации неполной загрузки при эпизодическом обслуживании объекта;

социальные: повышение интеллектуального потенциала за счет поручения рутинных операций машине;

ликвидация случаев занятости персонала операциями в нежелательных условиях;

освобождение человека от тяжелого физического труда и использование сэкономленного времени для удовлетворения духовных потребностей.

Основная *цель автоматизации* — улучшение технических и экономических показателей процессов измерения, контроля и управления. Иногда осуществление некоторых процессов вовсе невозможно без автоматизации. Например, измерение быстропротекающих процессов, получение измерительной информации и управление в реальном масштабе времени, распознавание образов в диагностике.

Измерение — это процесс нахождения значения физической величины опытным путем. В процессе измерения определяется численное отношение между измеряемой величиной и некоторым ее значением, принятым за единицу сравнения.

Контроль — это процесс установления соответствия между состоянием объекта и заданными нормами. В результате контроля вырабатываются суждения типа «*в норме*» или «*не в норме*». Контроль возможен там, где состояние объекта можно описать в рамках заданных норм. Описание норм задается количественно в виде аналоговых и цифровых установок.

Процесс определения технического состояния объекта называют *техническим диагностированием*. Техническое диагностирование реализуется путем измерения количественных значений параметров, анализа и обработки результатов измерения и управления объектом в соответствии с алгоритмами диагностики. При этом решаются следующие задачи: проверки исправности, проверки работоспособности, проверки функционирования и поиска дефектов. Например, тестовая диагностика микропроцессорных устройств, диагностика полупроводниковых приборов по избыточным электрическим шумам.

Процесс установления соответствия между объектом и заданным образом называют *распознаванием образов*. Образ может быть задан в виде перечня существенных свойств и значений параметров (признаков) с указанием полей допуска, а также в виде образцового изделия. Во многом задачи контроля и распознавания образов совпадают. Например, распознавание двумерных сигналов (изображений) на фоне помех, распознавание предметов в трехмерном пространстве по их плоским изображениям (так называемый анализ сцен) в информационно-управляющих роботах, диагностика интегральных схем по тепловым, акустическим, рентгеновским изображениям.

Системы для реализации рассмотренных выше процессов получили соответственно названия: системы измерения (ИС), системы контроля (СК), системы технической диагностики (СТД), системы распознавания (РС). Системы, в которых эти процессы автоматизированы, называют АИС, АСК, АСТД.

ИС — *техническая система, предназначенная для измерений и представляющая собой, в общем случае, совокупность измерительных приборов, измерительных преобразователей (в том числе устройства согласования сигналов), мер, измерительных коммутаторов, линий связи, цифровых и аналоговых вычислительных устройств, объединённых общим алгоритмом функционирования и предназначенных для автоматического (автоматизированного) получения данных о состоянии объекта путём измерительных преобразований множества изменяющихся во времени и распределённых в пространстве величин, характеризующих это состояние; машинной обработки результатов измерений; регистрации и индикации результатов измерений и результатов их машинной обработки; преобразования этих данных в выходные сигналы системы в разных целях.*

Во многих случаях указанные системы являются составными частями, или подсистемами, более сложных информационных и управляющих систем. Так, если процессы управления основываются на измерительной информации о состоянии объекта управления, получаемой с помощью датчиков, то система управления включает в себя и систему измерения.

Более широкий класс информационных систем, объединяющих в себе функции систем измерения, контроля, распознавания и диагностики, получил общее название *информационно-измерительных систем (ИИС)*. *Информационно-измерительная система* — это совокупность функционально объединённых измерительных, вычислительных и других вспомогательных средств для получения измерительной информации, её преобразования, обработки с целью представления потребителю в требуемом виде либо автоматического осуществления функции контроля, диагностики, распознавания, идентификации. В рамках данного определения отдельно взятые системы АИС, АСК и АСТД можно считать специализированными ИИС.

Обобщенная структурная схема измерительной системы приведена на рис. В.1. Анализ этой схемы позволяет сформулировать основные задачи автоматизации процессов измерения:

автоматизация сбора измерительной информации, для чего необходимо обеспечить унификацию выходных сигналов измерительных преобразователей физических величин, программно-управляемую коммутацию этих сигналов на общий канал связи, автоматический выбор диапазонов измерений;

автоматизация операций измерительной цепи — прием информации с объекта, предварительная аналоговая обработка сигналов, усиление, аналого-цифровое преобразование и т. д.;

автоматизация передачи информации из измерительной цепи в ЭВМ, для чего необходимо соответствующее согласование измерительной цепи с информационной магистралью ЭВМ (технические средства согласования получили название «интерфейс» или для из-

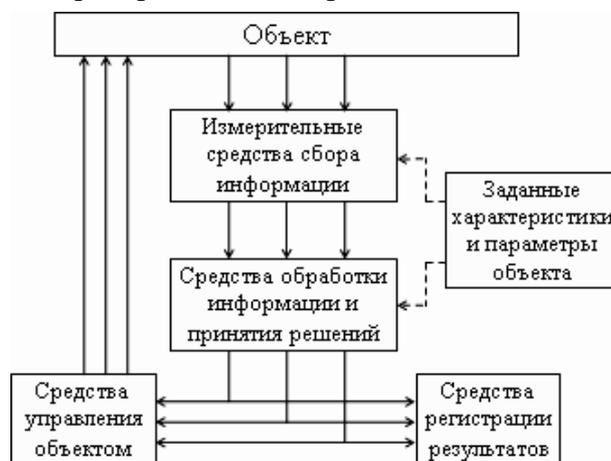


Рис. В.1. Обобщенная структурная схема измерительной системы

мерительных средств — «приборный интерфейс»). Интерфейс определяет формат передаваемой и принимаемой информации, уровни сигналов, импеданс линий связи, а также организацию управляющих сигналов и соответствующие временные соотношения для них;

автоматизация обработки измерительной информации путем включения в измерительную цепь вычислительных средств;

автоматизация индикации и документальной регистрации результатов измерения путем оснащения измерительных устройств (систем) различными периферийными выходными устройствами. При этом должны быть обеспечены автоматический выбор необходимого периферийного устройства и автоматический вывод информации на него.

На рис. В.2 приведен вариант построения системы автоматического контроля, состоящей из нескольких подсистем: коммутации и связи 1, измерительных преобразователей и генераторов испытательных сигналов 2, согласующих преобразователей 3, операционной подсистемы 4, системы ввода-вывода информации 5.

В развитии автоматизации измерений можно выделить ряд этапов становления.

На *первом этапе* автоматизации подвергались лишь средства сбора измерительной информации и её регистрации на аналоговых индицирующих и регистрирующих устройствах. Обработку результатов измерений и выработку соответствующих решений и исполнительных команд осуществлял оператор. В подобных системах средства измерений представляли собой набор отдельных измерительных приборов. В результате при измерении большого числа параметров объекта оператор был не в состоянии охватить всю полученную информацию и принять оптимальное решение по управлению объектом. Это приводило к расширению штата обслуживающего персонала, к снижению надежности и качества управления и возрастанию эксплуатационных расходов.

На *втором этапе* всё возрастающие требования к средствам измерений, обусловленные интенсификацией потоков измерительной информации, привели к созданию *информационно-измерительных систем*. В отличие от измерительного прибора информационно-измерительная система обеспечивает измерение большого количества параметров объекта и осуществляет автоматическую обработку получаемой информации с помощью встроенных в систему вычислительных средств. В задачу оператора системы управления теперь стали входить только принятие решений по результатам измерений и выработка команд управления. Централизованный сбор информации и её обработка с помощью средств вычислительной техники резко повысило производительность труда оператора, но не освободило его от ответственности за управление объектом, обслуживаемого системой.

На *третьем этапе* развития появились информационно-управляющие системы и информационно-вычислительные комплексы с полным замкнутым циклом обращения информации от её получения до обработки до принятия соответствующих решений и выдачи команд управления на объект без участия оператора. Алгоритм работы систем стал программно-управляемым, легко перестраиваемым при изменении режимов работы или условий эксплуатации объекта. Труд оператора сводится к диагностике состояния системы управления, разработке методик измерения и программ функционирования.

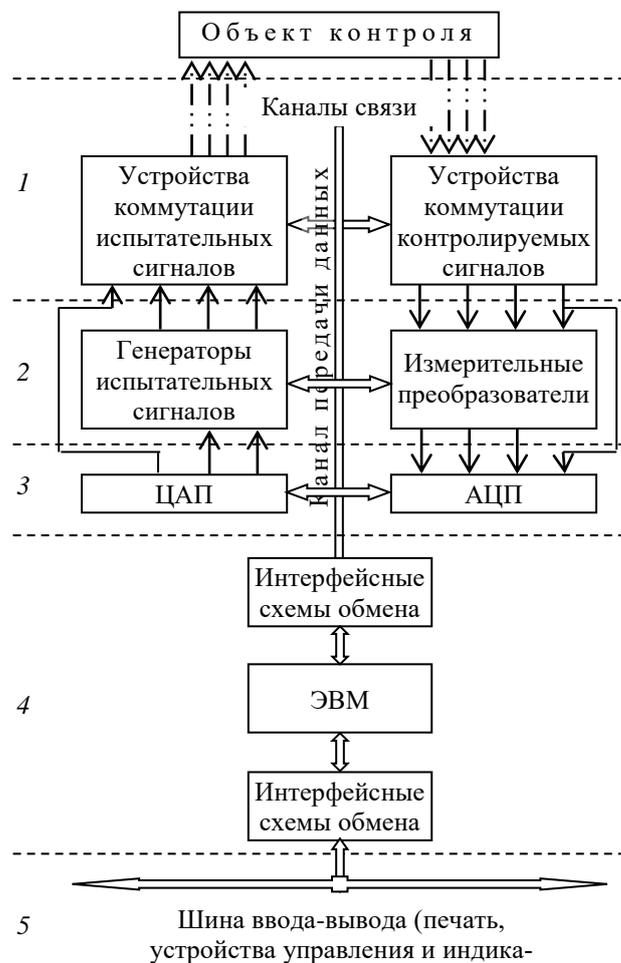


Рис. В.2. Обобщенная структурная схема системы автоматического контроля

Выделение этапов развития СИ является приближенным и зависит от тех направлений науки и техники, в которых исследуются вопросы применения измерительной техники.

Дисциплина «Автоматизация измерений, испытаний и контроля» подготавливает будущего инженера-метролога к решению организационных, научных и технических задач при автоматизации измерений, контроля и испытаний. В результате изучения дисциплины студент должен иметь представление о проблемах автоматизации измерений и контроля и возможных подходах к их решению; знать принципы автоматизации, классификацию, структурные схемы и основные характеристики автоматических средств измерений и контроля общего назначения; уметь использовать компоненты автоматизации измерений и контроля (техническое, программное и метрологическое обеспечение).

1. ПРИНЦИПЫ ПОСТРОЕНИЯ ИЗМЕРИТЕЛЬНЫХ СИСТЕМ

1.1. Ввод аналоговых сигналов в измерительных системах

Рассмотрим типовую структурную схему одного измерительного канала (рис. 1.1). Состояние объекта, характеризуемое физической величиной $x(t)$, воспринимается датчиком Д. Выходной сигнал датчика $u(t)$ нормируется с помощью *унифицирующего измерительного преобразователя* (УИП). Функция УИП состоит в электрическом согласовании выходного сигнала датчиков с последующими устройствами. В состав УИП, как правило, входят мостовые схемы, измерительный усилитель, линейризатор, образцовые меры, масштабирующие блоки, фильтры и т. п. Через *ключевой элемент* (Кл) нормированный сигнал $v(t)$ поступает на *устройство выборки-хранения* (УВХ), а затем на *аналого-цифровой преобразователь* (АЦП). В момент времени t_i (по сигналу УПР) УВХ осуществляет быструю выборку аналогового сигнала и запоминание ее значения на время преобразования АЦП. Тем самым устраняется динамическая (апертурная) погрешность АЦП*. На выходе АЦП формируется цифровой код $Z[i]$, эквивалентный напряжению $v(t_i)$ в момент времени t_i . Далее в вычислительном устройстве или в ЭВМ числовая последовательность Z подвергается цифровой обработке по заданным алгоритмам. Затем полученная информация может быть выдана потребителю или, если необходимо, преобразована с помощью ЦАП снова в аналоговую форму.

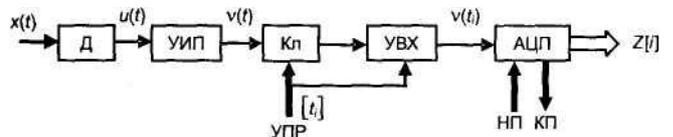


Рис. 1.1. Структурная схема измерительного канала

Рассмотрим основные устройства в тракте измерительного канала.

1.1.1. Датчики измерительных систем и устройства согласования

В настоящее время под датчиком понимается средство измерений, представляющее собой конструктивно завершенное устройство, размещаемое при измерении непосредственно в зоне объекта исследования и выполняющее функцию одного или нескольких измерительных преобразователей.

Основными требованиями к датчику являются требования необходимой *точности, частотной полосы пропускания или быстродействия, линейности, стабильности временных характеристик, помехозащищенности, надежности*. На практике выполнить все эти требования весьма трудно, что приводит к необходимости дополнительных схемных и алгоритмических решений для обработки сигнала датчика. Например, использование линейризаторов характеристики преобразования, схем частотной коррекции и т. д.

В измерительных системах используется большое разнообразие датчиков с выходными сигналами, различными по амплитуде, динамическому диапазону, мощности и т. д. Для согласования датчика с устройствами системы измерения его выходной сигнал должен быть унифицирован или нормирован, то есть должен отвечать некоторым заранее оговоренным стандартным требованиям. Существует ряд государственных стандартов, которые регламентируют параметры большинства видов измерительных сигналов, а также входные и выходные параметры средств измерений и автоматизации, в том числе и измерительных преобразователей. Нормализация сигналов осуществляется с помощью унифицирующих (нормиру-

* Апертурное время — время между началом (НП) и концом (КП) преобразования АЦП.

ющих) измерительных преобразователей (УИП). УИП, как правило, включается между датчиком и аналоговым коммутатором.

Кроме функции нормирования, УИП выполняют преобразование одного унифицированного сигнала в другой, линеаризацию характеристики преобразования датчика, гальваническую развязку, размножение входного сигнала по нескольким выходам, фильтрацию от помех, антиалъансную (антиайлансинговую) фильтрацию и т. д. *Антиалъансный* (антиайлансинговый) *фильтр* (АФ) представляет собой аналоговый ФНЧ, который служит для устранения наложения (*aliasing*) спектров, возникающих при конечной частоте f_d дискретизации АЦП. Полосу пропускания АФ выбирают как $f_a=f_d/2$. При этом полагается, что частота дискретизации f_d удовлетворяет теореме Котельникова $f_d=2f_{\max}$, где f_{\max} — максимальная частота в спектре сигнала датчика.

В соответствии с российскими стандартами в качестве носителя информации в системах автоматизации используются электрические сигналы постоянного и переменного тока:

1) *уровни постоянного тока*: 0—5 мА; 0—20 мА; 4—20 мА; -0,5—0—+5 мА; -20—0—+20 мА; -100—0—+100 мА;

2) *уровни постоянного напряжения*: 0—10 мВ; 0—20 мВ; 0—50 мВ; 0—100 мВ; 0—1 В; 0—5 В; 0—10 В; -100—0—+200 мВ; -1—0—+1 В; -5—0—+5 В; 1—5 В; -10—0—+10 В;

3) *уровни напряжения переменного тока*: 0—1 В; 0—2 В на частотах 50 или 400 Гц;

4) *частотные сигналы*: 2—4 кГц; 4—8 кГц. Амплитуда сигналов при этом может находиться в пределах 60—160 мВ; 160—600 мВ; 0,6—2,4 В; 2,4—12 В.

Выходы УИП должны обеспечивать *нагрузочную способность* 250 Ом, 1 кОм, 2,5 кОм.

Токовые сигналы используются для передачи измерительных сигналов на дальние расстояния (до нескольких сотен метров). Потенциальные сигналы применяются в пределах внутрисистемных блоков и устройств. Сигналы с подавленным нулем (4—20 мА; 1—5 В) позволяют, наряду с передачей сигналов, осуществлять контроль целостности линии и подачу электропитания. Частотные сигналы имеют высокую помехоустойчивость и применяются в условиях сильных помех.

Аналоговые сигналы можно подавать на дифференциальный вход (*симметричный двухпроводный вход*) или на несимметричный вход (*однопроводный вход*) УИП. Дифференциальный вход обеспечивает высокое подавление синфазных помех и применяется для ввода слабых измерительных сигналов.

Основной элементной базой при построении УИП являются операционные усилители (ОУ).

Рассмотрим основные электрические схемы согласования датчиков.

1. *Согласование датчиков с потенциальным выходом*. Используют, как правило, неинвертирующие схемы включения ОУ, обеспечивающие высокое входное сопротивление, а также возможность эффективной емкостной развязки (рис. 1.2). На рис. 1.2, а приведено системное обозначение данного сопряжения. Выходное напряжение для схемы рис. 1.2, б равно:

$$U_{\text{вых}}=U_x(1+R_{\text{ос}}/R). \quad (1.1)$$

Схема, выполненная на ОУ по рис. 1.2, в, усиливает только переменную составляющую сигнала датчика. По постоянной составляющей коэффициент усиления схемы по напряжению равен единице, чем обеспечиваются устойчивость усилителя и малый дрейф. Для комплексной амплитуды выходного напряжения имеем:

$$U_{\text{вых}}(j\omega)=U_x[1+R_{\text{ос}}/(R+1/j\omega C)]. \quad (1.2)$$

В полосе пропускания должно выполняться условие $R \gg |1/(j\omega C)|$, тогда выражение (1.2) совпадает с (1.1).

Для согласования высокоомного дат-

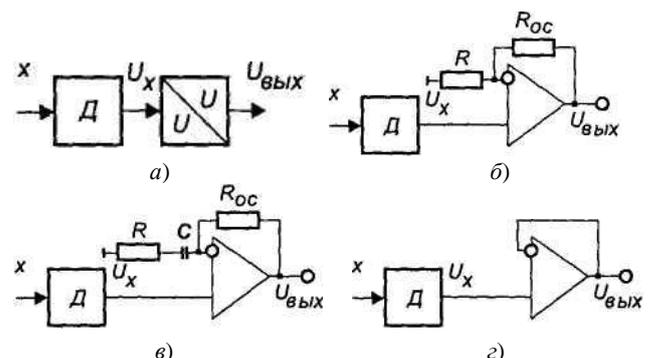


Рис. 1.2. Схемы согласования датчиков с потенциальным выходом

чика с низкоомной нагрузкой применяют ОУ, включенный в режиме повторителя напряжения (рис. 1.2, з).

2. *Согласование датчиков с токовым выходом.* Применяют обычно инвертирующее включение ОУ в режиме преобразователя сопротивления. Выходное напряжение схемы на рис. 1.3, б:

$$U_{\text{вых}} = -I_x R_{\text{ос}}. \quad (1.3)$$

3. *Согласование датчиков электрического заряда.* Схема для преобразования величины заряда q_x в пропорциональное напряжение (*усилитель заряда*) приведена на рис. 1.4, б. Выходное напряжение схемы:

$$U_{\text{вых}} = -q_x / C. \quad (1.4)$$

4. *Согласование резистивных датчиков.* Системное представление схемы сопряжения резистивных датчиков приведено на рис. 1.5, а. Для схемы рис. 1.5, б выходное напряжение пропорционально сопротивлению R_x датчика:

$$U_{\text{вых}} = -ER_x / R. \quad (1.5)$$

В некоторых случаях необходимо получить обратно пропорциональную зависимость от R_x , например, для линеаризации статической характеристики датчика с гиперболической зависимостью. Для этого в схеме рис. 1.5, б нужно поменять местами R_x и R , тогда имеет место:

$$U_{\text{вых}} = -ER / R_x. \quad (1.6)$$

Схема на рис. 1.5, в предназначена для датчиков, сопротивление Z_x которых является комплексной величиной. Синфазная и квадратурная составляющие напряжений на выходе интеграторов пропорциональны реактивной и активной составляющим импеданса $Z_x(j\omega)$ датчика. Схема реализует преобразование Фурье:

$$\text{Re } Z_x(j\omega) = \frac{k}{T} \int_0^T \dot{U}_z(t) \cos \omega t dt, \quad \text{Im } Z_x(j\omega) = \frac{k}{T} \int_0^T \dot{U}_z(t) \sin \omega t dt, \quad (1.7)$$

где T — период интегрирования; k — коэффициент пропорциональности. При низкочастотных измерениях, если позволяет быстродействие процессора, алгоритмы (1.7) допускают цифровую реализацию посредством быстрого преобразования Фурье.

Несмотря на многообразие структур ИП, все они с точки зрения принципа их действия основаны на методах прямого и уравнивающего преобразования.

Метод прямого преобразования характеризуется тем, что все преобразования производятся в одном, прямом направлении — от входной величины x через цепочку преобразовательных элементов ПЭ₁, ПЭ₂, ..., ПЭ_n к выходной величине y (рис. 1.6). Этот метод преобразования обладает максимальным быстродействием и простотой схемной реализации. Однако общая погрешность преобразователя определяется в равной мере погрешностями всех ПЭ, входящих в схему, что в большинстве случаев может обеспечить сравнительно невысокую точность измерения.

Метод прямого преобразования заключается в том, что используются две цепи преобразовательных элементов — цепь прямого преобразования, состоящая из элементов ПЭ₁,

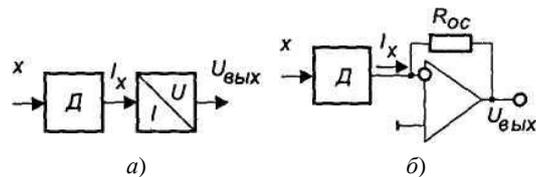


Рис. 1.3. Схемы согласования датчиков с токовым выходом

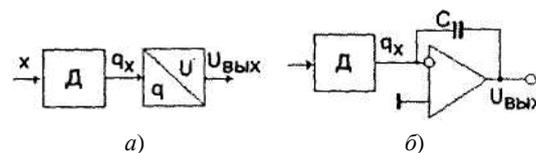


Рис. 1.4. Схема согласования датчика с зарядовым выходом

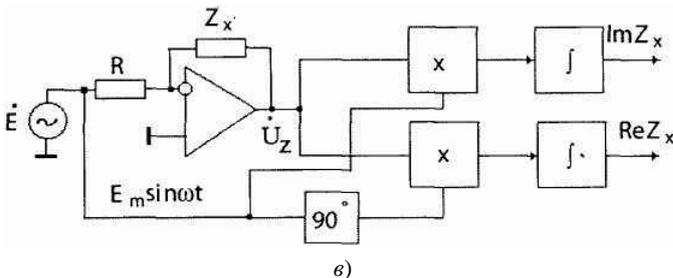
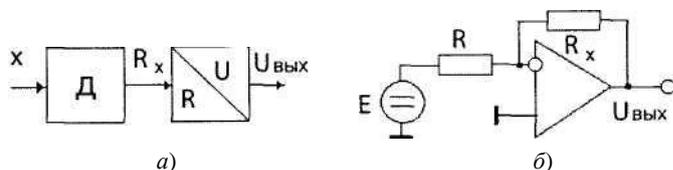


Рис. 1.5. Схемы согласования резистивных и импедансных датчиков

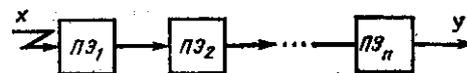


Рис. 1.6. Метод прямого преобразования

ПЭ₂, ..., ПЭ_n и имеющая функцию преобразования $y=F(x)$, и цепь обратного преобразования, состоящая из обратного преобразовательного элемента (ОПЭ) (рис. 1.7). С помощью ОПЭ создается уравнивающий сигнал $x_y=F^{-1}(y)$, (где F^{-1} — функция преобразования ОПЭ, обратная по отношению к F), однородный либо неоднородный с входным измеряемым сигналом x , но при этом эффект воздействия x_y на преобразовательный элемент сравнения ЭС — чувствительный элемент измерительного уравнивающего преобразователя — идентичен воздействию сигнала x . На вход элемента ПЭ₁ поступает сигнал рассогласования Δx , равный либо разности величин либо функционалу от разности воздействия этих сигналов. В зависимости от функциональной схемы цепей прямого и обратного преобразования и типов ЭС и ПЭ связь между входным и выходным сигналами может быть либо линейной $y=Kx$, либо нелинейной $y=F(x)$. Погрешность данного метода преобразования определяется степенью уравнивания x , зависящей, в свою очередь, от функциональной схемы цепи прямого преобразования. Так, например, наличие в этой цепи интегрирующего ПЭ сводит к нулю статическую погрешность преобразования.

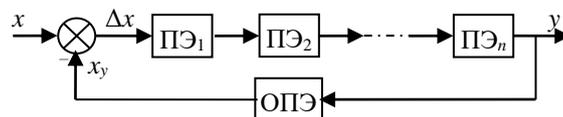


Рис. 1.7. Метод уравнивающего преобразования

Существуют две основные разновидности метода уравнивающего преобразования: метод одновременного сравнения измеряемой и уравнивающих величин и метод их разновременного сравнения.

В первом методе элемент сравнения ЭС подвергается одновременному воздействию двух взаимоуравнивающих сигналов x и $x_y=F^{-1}(y)$. В этом случае конструкция ЭС должна предусматривать возможность одновременной подачи на чувствительный элемент двух измерительных сигналов. Например, термоэлектрический преобразователь с двумя (H_1 и H_2) изолированными нитями подогрева (рис. 1.8, а) или измерительная мостовая схема с двумя терморезисторами R_T в различных плечах, каждый из которых подвергается воздействию только одного сигнала (рис. 1.8, б).

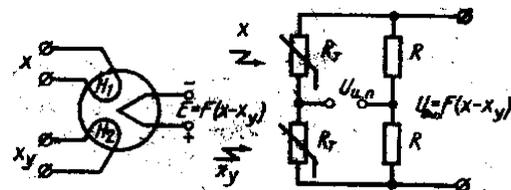


Рис. 1.8. Преобразовательные элементы сравнения, выполненные на основе вакуумного термоэлектрического преобразователя с двумя нитями накала H_1 и H_2 (а) и измерительная мостовая схема с терморезисторами (б)

Во втором методе элемент сравнения имеет только один вход, на который поочередно подается либо входная измеряемая величина x ; либо уравнивающаяся (компенсирующая) величина x_y . Данный метод преобразования часто называют методом замещения, так как воздействие на ЭС входной измеряемой величины x замещается после переключения входа ЭС регулируемой уравнивающей величиной x_y (рис. 1.9). Регулирование x_y происходит до тех пор, пока результаты воздействия обеих величин на ЭС не станут идентичными. Так как метод замещения основан на разновременном сравнении, необходимо в составе преобразователя иметь элемент коммутации однородных входных воздействий x и x_y — ключ Кл и запоминающее устройство ЗУ — для хранения результата воздействия входного сигнала x . Уравнивающая величина x_y формируется обратным преобразовательным элементом из некоторой стабильной величины x_0 , однородной с величиной x .

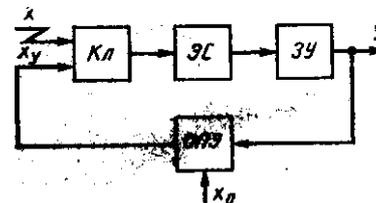


Рис. 1.9. Метод замещения

Метод замещения позволяет избавиться от погрешности, обусловленной неидентичностью эффектов воздействия на чувствительный элемент обычно разнородных величин x и x_y и характерной для метода одновременного сравнения. Однако преобразователи, использующие этот метод, обладают значительно меньшим быстродействием и пригодны только для измерения усредненных или, неизменных на определенном интервале времени величин. Метод замещения обеспечивает снижение требований стабильности преобразовательных элементов, благодаря поочередному прохождению входных сигналов через одни и те же элементы измерительных преобразователей, что позволяет использовать в их составе менее стабильные, но зато более чувствительные преобразовательные элементы.

На основе рассмотренных методов преобразования строятся измерительные цепи (каналы), состоящие из множества ИП. При этом применение метода уравнивания позволяет охватить обратной связью различного вида как всю цепь преобразователей, так и какую-либо ее часть, что приводит к улучшению статических и динамических характеристик всего измерительного прибора. Наибольший эффект от использования метода уравнивания достигается в случае, когда обратная связь охватывает все преобразовательные элементы прямой цепи ИП. При достаточно малом пороге чувствительности ЭС погрешность уравнивания становится пренебрежимо малой и определяется в основном погрешностью обратного преобразователя.

На рис. 1.10 приведена схема измерительной цепи, основанной на методе уравнивания, состоящая из цепи прямого преобразования — усилителя разбаланса U с коэффициентом передачи K , и цепи обратного преобразования ОП с коэффициентом передачи β . Элемент сравнения ЭС вырабатывает сигнал рассогласования между входной измеряемой величиной x и выходным сигналом обратного преобразования U_β . В общем случае все три сигнала могут x иметь различную физическую природу. Так, например, использование θ в качестве ЭС мостовой схемы постоянного тока с включенным в одно из плеч терморезистором с косвенным подогревом приводит к тому, что входной величиной x может быть, например, температура окружающей среды θ , уравнивающим сигналом — напряжение U_β , подаваемое на подогреватель терморезистора, а сигналом рассогласования — напряжение ΔU . Характерной особенностью данной схемы уравнивания является постоянство тепловой энергии, рассеиваемой на терморезисторе. Действительно, если считать, что коэффициент передачи K прямой цепи достаточно велик, то сигнал рассогласования $\Delta U = U_{\text{вых}}/K$ крайне мал и мостовая схема всегда работает в режиме, близком к равновесному, а сопротивление R_T терморезистора практически равно значениям сопротивлений R_0 резисторов, включенных в другие плечи, т. е. $R_T = R_0$. Постоянство значения возможно в том случае, если сумма тепловых энергий от входного воздействия θ и сигнала обратной связи U_β также будет постоянной. При изменениях входного воздействия θ это постоянство возможно только в результате соответствующего изменения тепловой энергии сигнала обратной связи, благодаря чему рабочая точка терморезистора R_T не меняет своего положения, что позволяет значительно расширить диапазон возможных изменений входной измеряемой величины. В свою очередь, рабочая точка терморезистора может быть выбрана с помощью резисторов R_0 таким образом, чтобы обеспечить максимальную чувствительность преобразователя.

Относительное значение сигнала рассогласования определяется через коэффициенты передачи K и β :

$$\xi = \frac{\Delta x}{x} = \frac{1}{1 + \beta K}. \quad (1.8)$$

Величина сигнала рассогласования зависит от коэффициентов преобразования звеньев ИП, их стабильности и закона изменения x . ИП уравнивания с ненулевым сигналом рассогласования, с точки зрения теории автоматического регулирования, получил название «ИП уравнивания со статической характеристикой». В таких ИП уменьшить Δx можно путем увеличения коэффициента передачи K цепи прямого преобразования, но при очень больших значениях этого коэффициента в них могут возникнуть автоколебания.

Сигнал рассогласования теоретически может быть сведен к нулю по окончании переходных процессов в так называемых ИП уравнивания с астатической характеристикой. Принцип астатического уравнивания заключается в том, что в цепь прямого преобразования водится одно или несколько интегрирующих звеньев, выходной сигнал которых, пропорциональный интегралу от текущего значения Δx , формирует уравнивающий сигнал таким образом, чтобы свести рассогласование к нулю. При $\Delta x = 0$ интегратор поддерживает

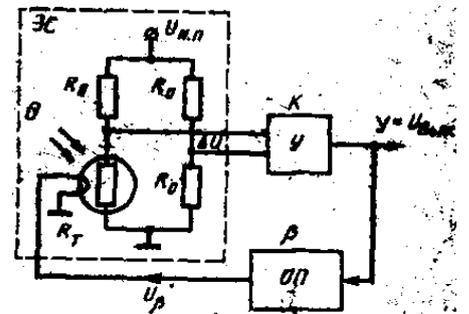


Рис. 1.10. Измерительная цепь с термopреобразовательным ИП, использующая метод статического уравнивания

уравновешивающий сигнал постоянным, соответствующим по своему воздействию на ЭС преобразуемой входной величине x . На рис. 1.11 приведен один из вариантов схемы ИП уравнивания с астатической характеристикой, так называемого ИП следящего уравнивания. В данной схеме элемент сравнения представляет собой мостовую схему, в одном из плеч которой включен терморезистор с отрицательным температурным коэффициентом сопротивления (термистор прямого подогрева) R_T . Питание осуществляется через цепь обратной связи от регулируемого источника питания (РИП), выходной сигнал $U_{\text{вых}}$ которого является одновременно выходным сигналом преобразователя (может иметь различную форму представления).

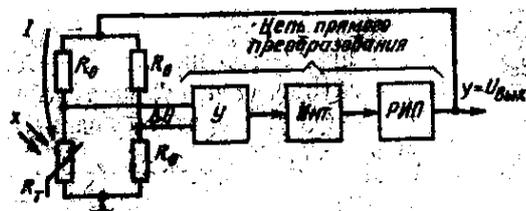


Рис. 1.11. Измерительная цепь, основанная на методе астатического уравнивания

При разбалансе мостовой схемы напряжение рассогласования ΔU усиливается усилителем U и поступает на аналоговый интегратор (Инт). При $\Delta U \neq 0$ напряжение на выходе интегратора и, следовательно, сигнал на выходе РИП начинают изменяться, тем самым изменяя ток I через термистор R_T . Под действием этого тока происходит изменение степени разогрева термистора и изменение его внутреннего сопротивления R_T . При достижении равенства $R_T = R_0$ мостовая схема уравнивается и ΔU становится равным нулю, при этом интегратор запоминает определенный уровень напряжения, соответствующий состоянию равновесия мостовой схемы. Таким образом, при отсутствии входной измеряемой величины x на выходе преобразователя устанавливается определенный уровень выходного напряжения $U_{\text{вых.0}}$, соответствующий условию равновесия мостовой схемы. При подаче на термистор R_T входной величины x (это может быть мощность излучения СВЧ-сигналов, температура, скорость потока газа или любой другой фактор) общая тепловая энергия, воздействующая на термистор, изменится. Это приведет к изменению сопротивления R_T и появлению напряжения разбаланса ΔU . В зависимости от величины и знака усиленного усилителем U напряжения разбаланса интегратор Инт начинает изменять уровень своего выходного напряжения и тем самым регулировать уровень выходного напряжения $U_{\text{вых}}$ на выходе РИП до тех пор, пока значение напряжения разбаланса не станет равным нулю. При этом мостовая схема будет сбалансирована (т. е. $R_T = R_0$) и общая тепловая мощность, рассеиваемая на термисторе, определяется суммой тепловой мощности, подводимой к термистору сигналом x , и мощности, подводимой вновь установившимся уровнем сигнала обратной связи $U_{\text{вых.1}}$, и равна мощности, подводимой к R_T сигналом обратной связи $U_{\text{вых.0}}$ до подачи на термистор входного сигнала x . Получаемые в результате процесса уравнивания изменения выходного сигнала $\Delta U_{\text{вых}} = U_{\text{вых.0}} - U_{\text{вых.1}}$ определяют значения входного воздействия x .

Особое преимущество ИП уравнивания при использовании их в автоматических средствах измерений заключается в том, что процесс уравнивания может осуществляться путем введения в контур уравнивания программно-управляемых цифровых и аналого-цифровых элементов и управляющих вычислительных устройств (микроЭВМ, контроллеров и т. д.). Программно-управляемый процесс уравнивания позволяет значительно улучшить метрологические характеристики измерительного устройства.

Широкое распространение в измерительной технике получили частотные ИП, у которых выходным параметром является электрический частотный сигнал. Среди многих достоинств этих ИП одним из наиболее важных для автоматических средств измерений является простота и высокая точность цифрового преобразования и обработки. Для получения выходного частотного сигнала применяют параметрические ИП, включенные в схему перестраиваемого генератора, выходной частотный сигнал которого функционально связан с изменяющимся параметром ИП.

Одним из принципов, используемых при построении частотных ИП, является применение усилителя с частотозависимой положительной обратной связью и с перестраиваемыми под действием внешнего воздействия параметрами (рис. 1.12). Глубина обратной связи выбирается такой, чтобы

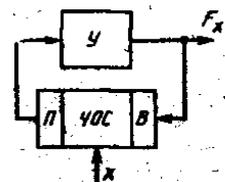


Рис. 1.12. Принцип преобразования физического параметра x в частотный сигнал F_x

в рабочем диапазоне выходных частот F_x выполнялись условия генерации колебаний в системе: баланс амплитуд и фаз. В структуру генератора входит усилитель U , частотозависимая цепь обратной связи (ЧОС) с элементами возбуждения B и приема P колебаний. В качестве ЧОС могут быть использованы различные виды резонаторов.

Каждый из ИП характеризуется *динамическим диапазоном* D входных и выходных сигналов, определяемым как отношение наибольшего $x_{\text{макс}}$ к наименьшему $x_{\text{мин}}$ значению сигнала: $D=x_{\text{макс}}/x_{\text{мин}}$. Полное согласование по уровню двух соседних ИП осуществляется только в том случае, если динамические диапазоны выходных сигналов передающего ИП и входных сигналов принимающего ИП равны, а пределы измерений последующего совпадают с конечным и начальным значениями шкалы предыдущего. В противном случае принимающий ИП реагирует лишь на часть выходного сигнала передающего ИП. При равенстве динамических диапазонов $D_{\text{вых}}$ и $D_{\text{вх}}$ согласование диапазонов возможно путем включения между ИП согласующего усилителя с коэффициентом передачи $K=x_{\text{вх.макс}}/x_{\text{вых.макс}}$.

Большое значение при сопряжении в измерительной цепи придается *согласованию входных и выходных импедансов (сопротивлений)* ИП. Отсутствие условий согласования приводит к потере части информации во входной цепи принимающего ИП, поскольку передача и преобразование измерительной информации связаны с передачей и преобразованием энергии. Грубый пример, дающий представление об этом, такой: свет фар автомобиля чуть тускнеет при работе стартера. Большой ток, потребляемый стартером, вызывает падение напряжения внутри аккумулятора, в результате чего напряжение на его клеммах уменьшается и свет фар становится менее ярким. Это падение напряжения происходит на выходном сопротивлении аккумулятора, более известном как внутреннее сопротивление или сопротивление источника.

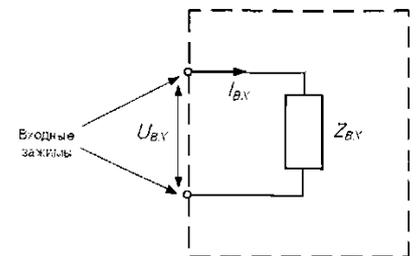


Рис. 1.13. Схема с парой входных клемм, иллюстрирующая понятие входного импеданса $Z_{\text{вх}}$

Расширим это представление, распространив его на все цепи, поскольку у любого электрического устройства, для работы которого требуется сигнал, имеется входное сопротивление*, и любую цепь с сопротивлениями и источниками, имеющую две выходные клеммы, можно заменить на последовательно включенные одно сопротивление и один источник**. Описание входной и выходной цепи показано на рис. 1.13 и 1.14 соответственно, где $Z_{\text{вх}}$ — входной импеданс; $Z_{\text{вых}}$ — выходной импеданс U — выходное напряжение холостого хода, т. е. напряжение на выходе разомкнутой цепи. Согласно рис. 1.14 в случае, когда к выходным клеммам подключается резистор или входные клеммы другого устройства, часть напряжения источника U падает на внутреннем сопротивлении источника.

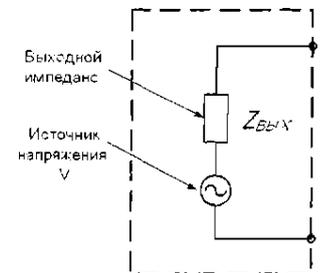


Рис. 1.14. Эквивалентная схема выходной цепи

Обсуждая вопрос о входном и выходном сопротивлении, уместно обратить внимание на впервые появляющееся понятие: эквивалентная схема. В эквивалентной схеме не обязательно отражены реальные компоненты и соединения в рассматриваемом устройстве; эта схема является удобным способом представления, который полезен для понимания того, как ведет себя то или иное устройство.

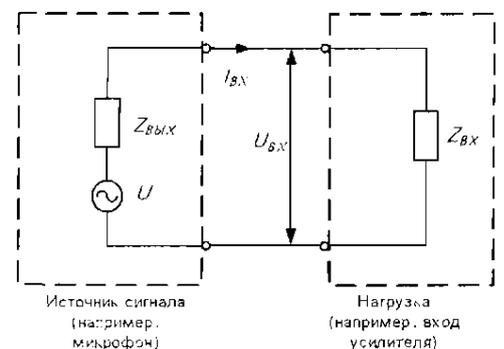


Рис. 1.15. Иллюстрация согласования сопротивлений между двумя устройствами

* Как и любое другое сопротивление (в частности, сопротивление в цепи постоянного тока), входное сопротивление устройства есть мера тока, текущего по входной цепи, когда к входу приложено определенное напряжение, включая цепи постоянного и переменного тока, у которых всегда имеется определенное выходное сопротивление, соединенное с источником напряжения.

** Здесь под словом «источник» нужно понимать идеальный компонент, вырабатывающий напряжение и продолжающий поддерживать это напряжение неизменным даже тогда, когда от него потребляется ток.

На рис. 1.15 показаны два ИП, соединенные друг с другом. Для *оптимальной передачи напряжения* нужно, чтобы $U_{\text{вх}}$ было почти равно U , насколько это возможно. Напряжение $U_{\text{вх}}$ равно:

$$U_{\text{вх}} = U \frac{Z_{\text{вх}}}{Z_{\text{вых}} + Z_{\text{вх}}}$$

и $U_{\text{вх}} \approx U$ при $Z_{\text{вх}} \gg Z_{\text{вых}}$. Другими словами, для возможно лучшей передачи напряжения от ИП с потенциальным выходом его сопротивление должно быть много меньше, чем входное сопротивление принимающего ИП; как правило, нужно, чтобы $Z_{\text{вх}} > 10Z_{\text{вых}}$. Именно по этой причине применяемые для тестирования приборы, такие как генератор, проектируются с малым выходным сопротивлением (типичное значение < 100 Ом). С другой стороны, осциллограф, предназначенный для наблюдения напряжений в испытываемой схеме, делается с большим входным сопротивлением (типичное значение > 1 МОм).

Относительная погрешность передачи информации для сопряжения ИП с потенциальным выходом определяется соотношением

$$\delta_U = \frac{U_{\text{вх}} - U}{U} = \frac{Z_{\text{вых}}}{Z_{\text{вх}} + Z_{\text{вых}}}. \quad (1.9)$$

Если условия оптимального согласования сопротивлений не соблюдаются и сигнал поступает на вход устройства с входным сопротивлением, сравнимым с выходным сопротивлением источника, то в самом общем случае будут происходить просто потери напряжения. Такая ситуация возникает, когда два усилительных каскада на биполярных транзисторах соединены один вслед за другим (каскадно). Как входное, так и выходное сопротивление у такого каскада на биполярном транзисторе одного порядка (обычно несколько тысяч ом), и это значит, что около 50 % напряжения сигнала теряется на связи между каскадами. С другой стороны, усилитель на полевом транзисторе много лучше с точки зрения согласования сопротивлений: у него очень большое входное сопротивление и среднее по величине выходное сопротивление; при соединении таких каскадов один за другим потери сигнала ничтожно малы.

Имеются один или два случая, когда согласование сопротивлений нуждается в особом внимании, так как слишком малое сопротивление нагрузки влияет не только на коэффициент усиления напряжения, но также и на частотную характеристику. Это происходит, когда выходной импеданс источника не является чисто резистивным, а наоборот, представляет собой реактивное сопротивление, и поэтому частотная характеристика изменяется. Простым примером служит конденсаторный микрофон, у которого выходной импеданс выражается не в омах, а в пикофарадах, с типичным значением в районе 50 пФ. Для хорошего воспроизведения низких частот нужно, чтобы входное сопротивление усилителя было большим по сравнению с реактивным сопротивлением емкости 50 пФ на частотах вплоть до 20 Гц. Практически для этого требуется, чтобы входное сопротивление было порядка 200 МОм, что обычно обеспечивается усилителем на полевом транзисторе, смонтированным в корпусе микрофона.

Бывают случаи (генераторные ИП), когда требуется *передать максимум мощности*. Не приводя математических расчетов, сообщим, что для схемы рис. 1.15 максимум мощности в $R_{\text{вх}}$ достигается при $R_{\text{вх}} = R_{\text{вых}}$. Этот результат известен как теорема о максимальной мощности: максимум мощности передается от источника в нагрузку, когда сопротивление нагрузки равно выходному сопротивлению источника. В случае комплексных импедансов требуется помимо выполнения условия $R_{\text{вх}} = R_{\text{вых}}$ выполнение также условие $X_{\text{вх}} = -X_{\text{вых}}$, т. е. при емкостном характере одного импеданса другой импеданс должен иметь индуктивный характер.

Иногда требуется *согласование сопротивлений, обеспечивающее максимальный ток во входной цепи*. Обращаясь снова к рис. 1.15, можно увидеть, что максимум входного тока $I_{\text{вх}}$ достигается в том случае, когда полное сопротивление в цепи выбирается возможно меньшим. Поэтому, при фиксированном $Z_{\text{вых}}$ следует стремиться к возможно меньшему значению $Z_{\text{вх}}$. Эта довольно нестандартная ситуация прямо противоположна случаю, когда требуется передавать напряжение. Относительная погрешность передачи тока

$$\delta_I = \frac{Z_{\text{ВХ}}}{Z_{\text{ВХ}} + Z_{\text{ВЫХ}}}. \quad (1.10)$$

Сопротивления соединительных проводников линий $Z_{\text{Л}}$, если их значения соизмеримы с $Z_{\text{ВХ}}$ принимающего ИП, должны суммироваться с $Z_{\text{ВХ}}$, а не с $Z_{\text{ВЫХ}}$, так как максимальный ток необходимо получить именно на входе принимающего ИП.

Таким образом, при сопряжении ИП, обладающих определенными значениями входного и выходного импедансов, необходимо соблюдать условия их согласования с тем, чтобы избежать значительных потерь измерительной информации. При невозможности непосредственного согласования импедансов соседних ИП необходимо предусмотреть включение между преобразователями согласующего устройства — преобразователя сопротивлений (усилителя, трансформатора, оптоэлектронного преобразователя и т. д.).

1.1.2. Измерительные коммутаторы

Измерительными коммутаторами (ИК) называют аналоговые коммутаторы с нормируемыми метрологическими характеристиками.

Структурная схема ИК показана на рис. 1.16. Набор аналоговых ключей (АК) управляется дешифратором адреса (ДшА). На время коммутации код адреса выбранного канала хранится в регистре адреса (РгА). Выходной сигнал АК через повторитель напряжения поступает на устройство выборки-хранения (УВХ).

Коммутаторы классифицируют по точности, быстродействию и количеству каналов. Погрешность коммутатора оценивают соотношением:

$$\epsilon_{\text{к}} = (U_{\text{ВЫХ}} - U_{\text{ВХ}}) / U_{\text{ВХ}}, \quad (1.11)$$

где $U_{\text{ВХ}}$, $U_{\text{ВЫХ}}$ — входное и выходное напряжения коммутатора. По точности ИК подразделяют на *низкоточные* ($\epsilon_{\text{к}} > 1\%$), *средней точности* ($\epsilon_{\text{к}} = 1 - 0,05\%$) и *высокоточные* ($\epsilon_{\text{к}} < 0,05\%$). По быстродействию ИК бывают с *низким* ($\Delta t_{\text{к}} > 0,1$ мс), *средним* ($\Delta t_{\text{к}} > 1$ мкс) и *высоким* ($\Delta t_{\text{к}} < 1$ мкс) быстродействием.

По числу каналов ИК подразделяются на *малоканальные* ($n < 8$), *среднеканальные* ($8 < n < 128$) и *многоканальные* ($n > 128$). Многоканальные ИК обычно строятся по многоступенчатой (пирамидальной) структуре.

1.1.3. Аналого-цифровые и цифро-аналоговые преобразователи

Основное функциональное назначение АЦП — преобразование аналогового сигнала в цифровой код. Функция ЦАП противоположна. В этом разделе мы ограничимся классификацией и системными сведениями, необходимыми для выбора АЦП и ЦАП в измерительных системах.

По принципу построения АЦП можно подразделить на *последовательные* и *параллельные*. К *последовательным* АЦП относятся:

- 1) АЦП с *промежуточным преобразованием* аналогового сигнала U_x в интервал времени или частоту и последующим преобразованием в цифровой код;
- 2) АЦП *поразрядного взвешивания*, основанные на уравнивании U_x суммой m эталонных напряжений, взвешенных по двоичному закону (m — число разрядов АЦП);
- 3) АЦП *интегрирующего типа*, основанные на операции интегрирования преобразуемого сигнала U_x за фиксированный интервал времени;
- 4) АЦП с *единичным приближением*, или АЦП *следающего типа*, основанные на компенсации входного сигнала U_x ступенчатым сигналом, изменяющимся с шагом квантования ΔU .

АЦП *интегрирующего типа* можно также отнести к первой группе, но ввиду присущих им особенностей (например, подавление помех и т. д.) их выделяют в отдельную группу.

Параллельные АЦП основаны на использовании $2^m - 1$ эталонов напряжений, различающихся на один квант ΔU . Преобразование осуществляется за один такт.

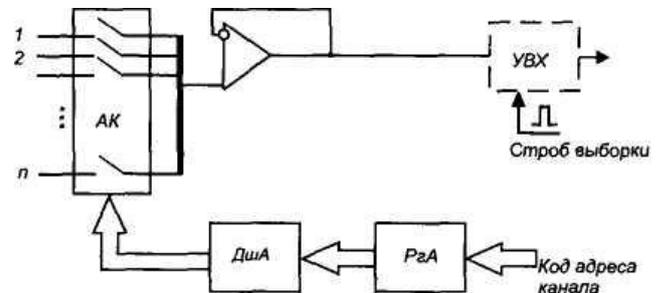


Рис. 1.16. Структурная схема аналогового коммутатора

Подавляющее большинство АЦП (70—80 %) реализовано по схеме поразрядного взвешивания. Разрядность таких АЦП составляет 10—16 бит. Преобразование осуществляется за m тактов тактового генератора, поэтому АЦП поразрядного кодирования имеют достаточно высокое быстродействие (1—40 мкс). Основное применение — многоканальные ИС.

Высокую точность (16—24 разряда), но малое быстродействие (1 мс — 1 с) имеют АЦП *интегрирующего типа*. Основное применение они находят в цифровых вольтметрах и других одноканальных измерительных приборах с невысоким быстродействием.

Новыми разновидностями АЦП интегрирующего типа являются *дельта-сигма* (Δ - Σ) и *сигма-дельта* (Σ - Δ) АЦП. Принцип *дельта-сигма* АЦП основан на компенсации среднего входного тока с помощью источника тока (или заряда) с фиксированным приростом ΔI (или Δq). Количество квантов ΔI , подаваемых на интегратор (сумматор Σ) до полной компенсации преобразуемого сигнала, подсчитывается счетчиком. Итоговое содержимое счетчика является цифровым эквивалентом преобразуемой аналоговой величины.

В основу принципа работы *сигма-дельта* АЦП положено усреднение результатов преобразования на большом интервале времени, что одновременно увеличивает разрешающую способность и снижает погрешность преобразования, вносимой шумами. Линейность характеристики преобразования такого АЦП значительно выше по сравнению с обычными интегрирующими АЦП, так как интегратор работает в узком динамическом диапазоне и влияние нелинейности передаточной характеристики усилителя интегратора существенно меньше. *Сигма-дельта* АЦП применяют для преобразования относительно медленных сигналов с большим динамическим диапазоном.

Наиболее высокое быстродействие (10—100 нс), но малую точность (8—12 разрядов) имеют АЦП *параллельного типа*. Используются для преобразования импульсных сигналов и быстропротекающих процессов. С усовершенствованием интегральной технологии разрядность этих АЦП будет расти, и поэтому они являются весьма перспективными для построения быстродействующих ИС.

АЦП *следающего типа* в режиме слежения сигнала имеют высокое эквивалентное быстродействие. Однако оно достижимо только в одноканальных измерителях, так как при переключениях каналов АЦП затрачивает большое время до выхода на режим слежения.

ЦАП обычно входят в состав устройств вывода аналоговой информации для исполнительных устройств систем управления, цифрууправляемых генераторов, программируемых источников питания и т. д. ЦАП являются обязательным элементом цепи обратной связи в последовательных АЦП второго и четвертого типов.

С точки зрения проектирования ИС важными системными параметрами АЦП и ЦАП являются:

- статические (разрешающая способность, инструментальная погрешность, температурный коэффициент);
- динамические (для АЦП — частота отсчетов, апертурное время; для ЦАП — время установления или скорость нарастания выходного сигнала);
- производительные (пропускная способность, бит/с).

1.2. Оценка системных параметров многоканальных измерительных систем

При последовательном сборе информации широко применяют многоканальные ИС, выполненные по классической формуле «*датчики+коммутатор+АЦП+ЭВМ*». Структурная схема такой ИС представлена на рис. 1.17. Эта схема является наиболее распространенной, и 80—90 % систем сбора данных строятся по этой структуре. Здесь K_1 , K_2 — аналоговые коммутаторы первой и второй ступеней; УУ — устройство управления (контроллер); ИФУ — интерфейсное устройство. Показан случай, когда часть датчиков ($D_1—D_k$) подключена напрямую к коммутатору без использования УИП, в предположении, что уровни сигналов соответствуют нормам.

Наиболее часто в ИС реализуют *циклический* или *программно-управляемый* опрос датчиков. Рассмотрим основные расчетные соотношения для оценки системных параметров ИС. Пусть имеется n однотипных датчиков (каналов измерения). Максимальная частота в спектре

сигнала датчиков равна f_{\max} . Пусть ε — требуемая приведенная погрешность измерения. Требуется определить разрядность m и быстродействие АЦП, а также необходимую скорость ввода данных в ЭВМ. Получим расчетные соотношения в предположении квазистатического режима измерений, то есть исключим из рассмотрения динамические погрешности.

На *первом этапе* расчета распределим результирующую погрешность ее между устройствами ИС. Пусть ε_d ,

ε_k , $\varepsilon_{УВХ}$, $\varepsilon_{АЦП}$ — погрешности соответственно датчика, коммутатора, УВХ и АЦП. Значения указанных погрешностей, как правило, выбирают из паспортных или справочных данных. Основную долю в погрешность преобразования АЦП вносит погрешность квантования. Поэтому для m -разрядных АЦП в дальнейшем будем полагать $\varepsilon_{АЦП} \cong 1/(2^m)$.

Допустим, что погрешности устройств между собой не коррелируют. Это означает, что устройства электрически или каким-то другим образом не влияют друг на друга. Выполнение такого условия обеспечивается малым выходным сопротивлением предыдущего устройства и большим входным сопротивлением последующего, хорошей электрической развязкой устройств по питанию, экранировкой устройств и т. д.

Для исключения потери информации при прохождении сигнала по каналу должно выполняться условие:

$$\varepsilon_d \geq \varepsilon_k \geq \varepsilon_{УВХ} \geq \varepsilon_{АЦП}. \quad (1.12)$$

При этом суммарная среднеквадратическая погрешность оценивается выражением:

$$\varepsilon_{\Sigma} = \sqrt{\varepsilon_d^2 + \varepsilon_k^2 + \varepsilon_{УВХ}^2 + \varepsilon_{АЦП}^2}. \quad (1.13)$$

Причем должно соблюдаться условие $\varepsilon_{\Sigma} < \varepsilon$. Необходимая разрядность АЦП определяется выражением:

$$m \geq \text{int} \log_2 (1 / \varepsilon_{АЦП}). \quad (1.14)$$

На *втором этапе* определим временные параметры устройств ИИС. В большинстве случаев опрос датчиков происходит циклически последовательно со временем цикла $T_{\text{ц}}$. Согласно теореме Котельникова интервал дискретизации Δt сигнала не должен превышать:

$$\Delta t \leq 1 / (2f_{\max}). \quad (1.15)$$

Общее время цикла должно быть $T_{\text{ц}} \leq \Delta t$. Так как число датчиков равно n , то длительность измерения по одному каналу $\Delta t_{\text{изм}}$ не должна превышать значения:

$$\Delta t_{\text{изм}} \leq T_{\text{ц}} / n = \Delta t / n = 1 / (2nf_{\max}). \quad (1.16)$$

Длительность $\Delta t_{\text{изм}}$ включает длительности коммутации Δt_k , выборки Δt_b , аналогоцифрового преобразования $\Delta t_{\text{АЦП}}$ и ввода $\Delta t_{\text{ВВ}}$ информации в ЭВМ:

$$\Delta t_{\text{изм}} = \Delta t_k + \Delta t_b + \Delta t_{\text{АЦП}} + \Delta t_{\text{ВВ}}. \quad (1.17)$$

Под длительностью выборки здесь понимается время заряда запоминающей емкости (время установления) УВХ. Таким образом, суммарное быстродействие канала должно быть:

$$\Delta t_k + \Delta t_b + \Delta t_{\text{АЦП}} + \Delta t_{\text{ВВ}} \leq 1 / (2nf_{\max}). \quad (1.18)$$

При достаточном быстродействии АЦП можно исключить УВХ. Оценим предельную частоту f_x измерительного сигнала, который АЦП способен правильно преобразовать без применения УВХ. Пусть измерительный сигнал представляет собой гармонические колебания $u_x = U_m \sin(2\pi f t)$. За время преобразования $\Delta t_{\text{АЦП}}$ сигнал успевает измениться на величину:

$$\Delta u_x = (du_x / dt) \Delta t_{\text{АЦП}} = 2\pi U_m f \Delta t_{\text{АЦП}} \cos(2\pi f t). \quad (1.19)$$

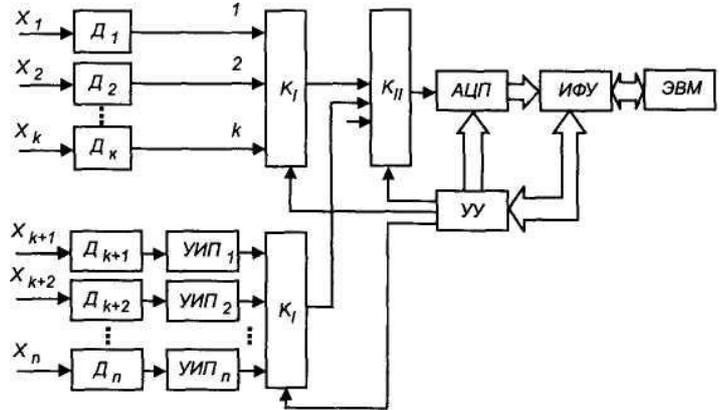


Рис. 1.17. Структурная схема многоканальной измерительной системы

Максимально возможное приращение сигнала равно:

$$|\Delta U_{x \text{ макс}}| = 2\pi U_m f \Delta t_{\text{АЦП}}. \quad (1.20)$$

Отсюда приведенная апертурная погрешность АЦП равна:

$$\varepsilon_a = \Delta U_{x \text{ макс}} / U_m = 2\pi f \Delta t_{\text{АЦП}}. \quad (1.21)$$

Для правильной оцифровки сигнала необходимо, чтобы приращение сигнала не превышало шага квантования АЦП (веса младшего разряда) ΔU , что соответствует условию $\varepsilon_a \leq \varepsilon_{\text{АЦП}}$. С учетом (1.21) и выражения для $\varepsilon_{\text{АЦП}}$ получим, что АЦП без УВХ может обеспечить преобразование сигналов с верхней частотой не более:

$$f_{\text{макс}} \leq 1 / (2^{m+1} \pi \Delta t_{\text{АЦП}}). \quad (1.22)$$

Можно, напротив, оценить требуемое время преобразования АЦП, если заданы погрешность и максимальная частота сигнала:

$$\Delta t_{\text{АЦП}} \leq \varepsilon_{\text{АЦП}} / (2\pi f_{\text{макс}}). \quad (1.23)$$

Ограничения (1.22), (1.23) являются достаточно строгими и практически исключают возможность использования АЦП без УВХ. Чтобы убедиться в этом, рассмотрим численный пример. Пусть: $\Delta t_{\text{АЦП}} = 10$ мкс; $m = 10$. Из (1.22) получим $f_{\text{макс}} \leq 15,6$ Гц.

На *третьем этапе* осуществляется выбор элементной базы или стандартных устройств автоматизации и вычислительных устройств или ЭВМ, которые удовлетворяют полученным выше оценкам по точности и быстродействию.

Рассмотрим пример оценки системных параметров ИС. Пусть требуется разработать 10-канальную ИС, обеспечивающую приведенную погрешность измерения 0,8 %. Датчики ($n = 10$) имеют одинаковые полосу пропускания $f_{\text{макс}} = 1$ кГц и погрешность преобразования $\varepsilon_d = 0,5$ %.

Распределение (декомпозиция) погрешностей. Пусть погрешности выбранных (из справочников или каталогов фирм) аналогового коммутатора и УВХ равны $\varepsilon_k = 0,3$ %; $\varepsilon_{\text{УВХ}} = 0,3$ %. Тогда на долю АЦП согласно (1.13) допускается погрешность:

$$\varepsilon_{\text{АЦП}} \leq \sqrt{\varepsilon_{\Sigma}^2 - \varepsilon_d^2 - \varepsilon_k^2 - \varepsilon_{\text{УВХ}}^2}. \quad (1.24)$$

Подставив в (1.24) числовые значения, получим $\varepsilon_{\text{АЦП}} < 0,26$ %. Определяем согласно (1.14) разрядность АЦП. Получим $m > 9$.

Определение временных (динамических) параметров. Вычисляем длительность измерения по одному каналу: $\Delta t_{\text{изм}} \leq 0,5 n f_{\text{макс}} = 50$ мкс. Пусть длительности коммутации и выборки равны соответственно 2 мкс и 1 мкс. Тогда на долю АЦП и ЭВМ согласно (1.17) остается временной ресурс $\Delta t_{\text{АЦП}} + \Delta t_{\text{ВВ}} \leq 50 - 3 = 47$ мкс. По каталогам фирм или справочников выбираем подходящий аналого-цифровой преобразователь. Пусть разрядность и время преобразования выбранного АЦП равны соответственно $m = 10$, $\Delta t_{\text{АЦП}} = 30$ мкс. Следовательно, длительность ввода информации в ЭВМ не должна превышать $\Delta t_{\text{ВВ}} \leq 47 - 30 = 17$ мкс. Необходимая скорость передачи данных через входной интерфейс ЭВМ составит $c_{\text{ВВ}} \geq 1 / \Delta t_{\text{ВВ}} = 59$ кслов/с. Для вычислительных устройств, например имеющих параллельный порт байтового формата, посылка 10-разрядного кода будет происходить за два цикла, поэтому скорость ввода должна быть удвоена. Если скорость ввода недостаточна, необходимо использовать буферную память.

На практике обычно датчики или измерительные каналы имеют различные полосы пропускания f_1, f_2, \dots, f_n , что делает последовательный циклический опрос невыгодным. Необходимо чаще опрашивать те датчики, которые имеют более высокую полосу пропускания (т. е. более информативны). Очевидно, что частота опроса i -го канала должна быть пропорциональна коэффициенту $k_i = f_i / f_{k \text{ мин}}$, где $f_{k \text{ мин}}$ — канал, имеющий минимальную полосу пропускания. Этого можно добиться программно-управляемым опросом коммутатором.

Полученные оценки системных параметров ИС являются приближенными. Для дальнейшего метрологического анализа и изучения динамических режимов работы ИС необходимо компьютерное моделирование работы ИС.

1.3. Каналы передачи данных (интерфейс)

Для измерения небольшого количества величин с относительно невысоким быстродействием характерна структурная схема, приведенная на рис. 1.18. Выходные электрические сигналы с измерительных преобразователей (ИП) через коммутатор (КМ) поочередно поступают на передающий (выходной) преобразователь (ВП), согласующий выходы ИП с каналом связи (КС). Приемный преобразователь (ПП) выделяет информационный сигнал, который после первичной обработки и усиления на устройстве аналоговой обработки (УАО) поступает в АЦП и после преобразования — на индикатор результатов измерения (ИР). Оценку полученной информации и выработку управляющих воздействий осуществляет оператор. Данная система предназначена лишь для сбора и отображения измерительной информации.

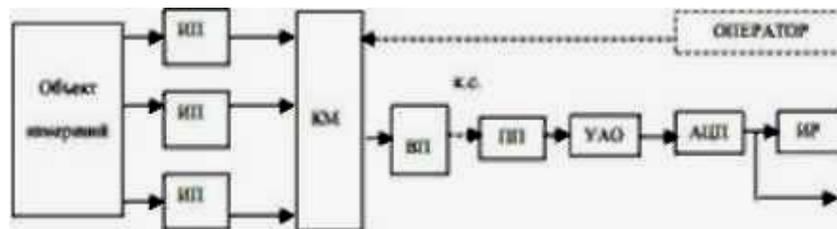


Рис. 1.18. Измерительная система с аналоговой передачей информации

Передача по КС информации в цифровой форме отличается большей помехозащищенностью. На рис. 1.19 представлена структурная схема системы с цифровой передачей информации. Использование интегральной технологии позволяет конструктивно объединять АЦП с каждым ИП объекта. Это дает возможность отказаться от аналогового коммутатора, вносящего искажения, и на приемной стороне осуществлять ряд операций обработки с помощью устройства цифровой обработки (УЦО), такие как усреднение, сравнение, вычитание, накопление и хранение информации.

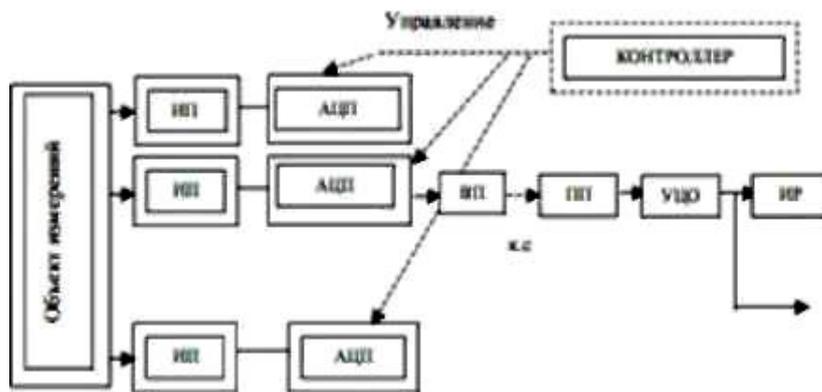


Рис. 1.19. Измерительная система с цифровой передачей информации.

Для организации управления процессом измерения вводится логическое управляющее устройство с «жестким» алгоритмом — «приборный контроллер», автоматически задающий длительность такта измерения, управление регистрацией и цифровой обработкой результатов измерений. В общем *контроллерами* называют программируемые устройства локального управления, работающие в реальном масштабе времени под управлением программ, хранимых обычно в ПЗУ. Введение в систему даже простых вычислительных средств значительно расширяет её возможности по обработке информации. В системах высокой производительности широкое применение получили микропроцессорные устройства. Введение *микропроцессорного контроллера* позволяет сделать более гибким алгоритм работы и при этом отказаться от блока УЦО, так как контроллеры в таком случае могут обрабатывать информацию.

Различают следующие виды контроллеров:

- регулирующие контроллеры (РК), предназначенные для реализации законов автоматического управления;
- логические контроллеры (ЛК), предназначенные для реализации логических функций и последовательностей команд;
- специализированные контроллеры (СК), предназначенные для управления различными периферийными устройствами (накопителем на магнитном диске, принтером, дисплеем и т. д.), а также для специализированных устройств.

Типовая структурная схема универсального программируемого контроллера представлена на рис. 1.20. Контроллер содержит микропроцессор



Рис. 1.20. Структурная схема программируемого контроллера

(МП), ПЗУ, ОЗУ, устройства ввода (УВв) и вывода (УВыв), пульт управления оператора (ПУ), устройство отображения информации (УОИ), сетевой контроллер (СК) для сопряжения с локальной сетью, контроллер внешнего накопителя информации (КН).

Структурная схема ИС с микропроцессорной обработкой информации и управлением (рис. 1.21) содержит аналоговую измерительную подсистему (АИП), операционную подсистему (ОП) и подсистему ввода-вывода (ПВВ).

Измеряемые физические величины x_i с помощью первичных преобразователей ПИП преобразуются в аналоговые сигналы u_i , поступающие в подсистему ИЦ (измерительные аналоговые цепи), где подвергаются нормализации и первичной обработке. В состав ИЦ входят аналоговые коммутаторы, фильтры, детекторы, предусилители и т. д. Унифицированный сигнал u_i^0 поступает на входной преобразователь АЦП.

Операционная подсистема предназначена для цифровой обработки кодов АЦП, а также формирует управляющие воздействия для всех узлов системы. В качестве ОП могут использоваться мини-ЭВМ (для ИВК) или микро-ЭВМ (для ИИС).

Подсистема ввода-вывода выполняет функции регистрации результатов обработки на цифровых индикаторах, экранах дисплеев; документирование информации; оперативный ввод программ с магнитных дисков и т. д.; ручное управление системой с помощью пульта терминала; формирование управляющих и исполнительных сигналов обратной связи с объектом исследования.

Особое значение в системе имеет организация связи между её подсистемами.

Обмен информацией между подсистемами осуществляется в цифровой форме через системный канал обмена (измерительная информация и результаты ИЦ, команды, адреса, сигналы управления и т.д.). Информационная совместимость между устройствами системы обеспечивается интерфейсными схемами обмена.

Система, имеющая интерфейс радиального типа, состоит из отдельных приборов, измеряющих значения ограниченного числа исследуемых физических величин (рис. 1.22). Передача информации от приборов к ЭВМ происходит под управлением специальной программы и требует создания для каждого из них специфического интерфейса, так как каждый прибор соединяется с ЭВМ индивидуальным кабелем.

Недостатки радиальной структуры сопряжения:

- ЭВМ должна иметь столько входов, сколько к ней подключено устройств;
- громоздкость структуры;
- ограничение возможности перестройки и наращивания системы.

Магистральная структура сопряжения (рис. 1.23) характеризуется наличием сквозного канала передачи данных (системного канала обмена информацией), равноправием всех подключенных устройств и асинхронным принципом обмена. Каждое из подключенных устройств может быть передатчиком информации, прием-

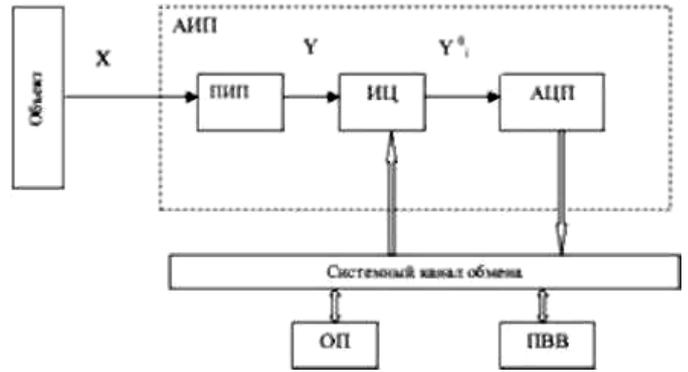


Рис. 1.21. Обобщенная структурная схема ИС с микропроцессорной обработкой информации

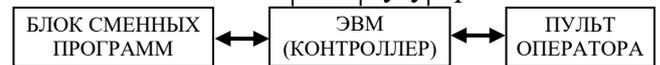


Рис. 1.22. Обобщенная структура ИС с ЭВМ (радиальный интерфейс)

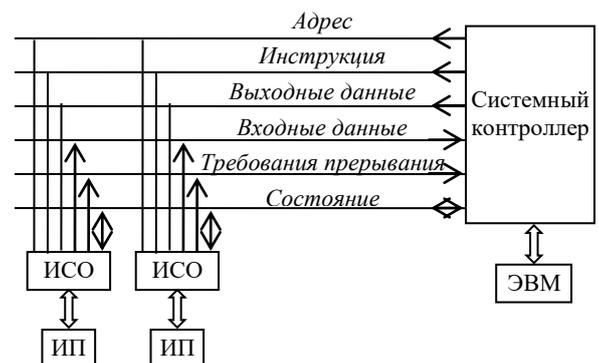


Рис. 1.23. Структура канала передачи данных (магистральный интерфейс)

ником или контроллером. Это позволяет на основе ограниченной номенклатуры приборов и устройств создавать разнообразные системы. *Канал передачи данных* (магистральный интерфейс) распределяет информацию между отдельными элементами системы (устанавливается очередность их работы). *Системный контроллер* координирует работу отдельных элементов системы и осуществляет изменение форматов данных и команд в процессе обмена с ЭВМ; *шинная система* линий связи обеспечивает передачу сигналов (информационных и управляющих); *интерфейсные схемы обмена* (ИСО), связанные с шинной системой канала и измерительными преобразователями, обеспечивают информационную совместимость.

Примерами стандартных магистральных интерфейсов могут служить интерфейс МЭК и система КАМАК.

1.4. Устройства и системы ввода/вывода фирмы National Instruments

При разработке и создании автоматизированных измерительных и управляющих систем неизбежно возникает проблема выбора оборудования. Инженеру нужно ясно представлять весь многообразный спектр оборудования, особенности его эффективного применения при решении конкретной задачи.

Одним из разработчиков такого оборудования является фирма National Instruments (NI), у которой имеется большой выбор систем и устройств ввода/вывода. В связи с широким применением персональных компьютеров типа IBM PC и его многочисленных клонов большинство устройств ввода/вывода изготавливаются в виде плат расширения, которые имеют стандартные размеры и устанавливаются в разъемы (слоты) системной (материнской) платы. На рис. 1.24 показана типовая измерительная система, включающая датчики, устройство согласования сигналов и плату ввода/вывода.

Сопряжение большинства устройств ввода/вывода организовано по магистрально-модульному принципу. Для сопряжения устройств ввода/вывода используются шины PCI, PXI, Compact PCI, PCMCIA USB, Fire Wire (IEEE 1394). Для удаленных устройств сбора данных используется подключение к компьютеру через сеть Ethernet.

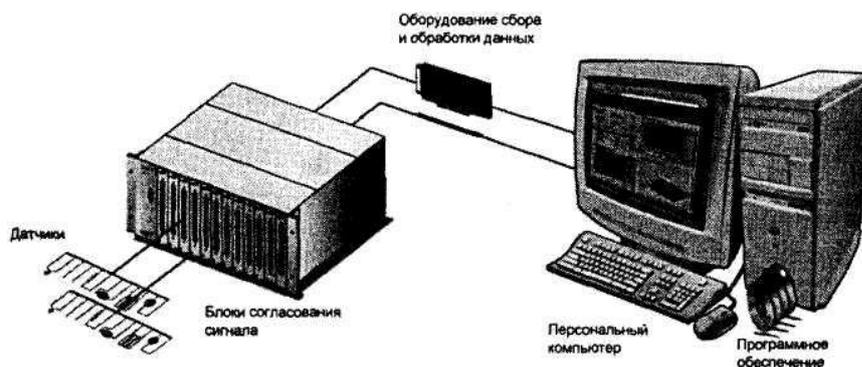


Рис. 1.24. Типовая функциональная схема компьютерной измерительной системы, включающей датчики, блоки согласования сигналов и плату сбора данных

Скорость ввода и вывода информации во многом определяется пропускной способностью шины. Шина PCI, которая лежит в основе открытого промышленного стандарта PXI, имеет пропускную способность 132 Мб/с. По сравнению с ней традиционный интерфейс IEEE 488 (GPIB), или «приборная шина» по ГОСТ, используемая для организации систем измерения, имеет почти 100-кратную меньшую производительность.

Для максимально скоростного ввода и вывода больших объемов информации используется режим прямого доступа к памяти (ПДП, английский эквивалент — DMA). Данные в режиме ПДП записываются напрямую в память, минуя процессор. Поэтому в режиме ПДП вычислительные и управляющие функции процессора не прерываются. Режим ПДП реализуется аппаратно с помощью специального контроллера, что освобождает процессор машины от функций управления передачей данных.

1.4.1. Системы согласования сигналов SCXI и SCC

National Instruments предлагает модульную *систему согласования сигналов SCXI* и *портативную систему согласования SCC* для малоканальных измерительных систем. Основное назначение этих систем — согласование и унификация измерительных сигналов с различных датчиков и источников сигналов. Программное обеспечение всех этих устройств поддерживается LabVIEW, SignalExpress, TestStand, Measurement Studio, LabWindows/CVI.

Система SCXI позволяет выполнять следующие функции: согласование и унификацию сигналов с различных датчиков (термопар, термометров сопротивления, термисторов, тензодатчиков, акселерометров и т. д.); коммутацию сигналов; программируемое усиление сигналов; гальваническую развязку; фильтрацию; электропитание датчиков; выборку и хранение сигналов.

Конструктивно выполнена в виде шасси с 4 и 12 слотами с принудительной вентиляцией для экранированного размещения модулей. Подключение сигналов осуществляется с помощью винтовых соединителей, съемных коннекторов, BNC-разъемов или термопарных вилок. В каталоге фирмы насчитывается широкий выбор — свыше 30 различных модулей *SCXI*, позволяющих сконфигурировать систему ввода под конкретную измерительную задачу.

Система SCC по функциям аналогична системе *SCXI*. По назначению система *SCC* ориентирована на портативные и мобильные измерительные устройства, имеющие небольшое количество аналоговых и цифровых каналов.

Конструкция *SCC* представляет компактный низкопрофильный экранированный корпус, вмещающий до 20 модулей. Имеются модули гальванической развязки линий аналогового и цифрового ввода-вывода. Цифровые линии ввода-вывода имеют оптическую развязку.

1.4.2. Многофункциональные платы и устройства для сбора данных

Для ввода-вывода данных National Instruments предлагает:

- платы сбора данных серий M, S и SC-серии с согласованием сигналов;
- платы сбора данных базового уровня B-серии;
- конфигурируемые платы ввода/вывода;
- платы для высокоточной регистрации температуры и напряжения;
- портативные устройства сбора данных E-серии;
- управляемые источники тока и напряжения (приборы аналогового вывода);
- устройства цифрового ввода-вывода и счетчики/таймеры.

Программное обеспечение устройств ввода/вывода поддерживается LabVIEW, Signal-Express, TestStand, Measurement Studio, LabWindows/CVI.

Высокопроизводительные многофункциональные платы сбора данных M-серии имеют функции аналогового и цифрового ввода-вывода, функции счетчика/таймера. Сопряжение платы осуществляется по шинам PCI, PXI. Частота оцифровки АЦП для этих плат лежит в диапазоне от 100 кГц до 2,8 МГц при разрядности АЦП от 16 до 18. Аналоговые выходы, сформированные с помощью ЦАП, имеют разрешение от 12 до 16 бит. Скорость аналогового вывода — до 2,8 МГц. Количество входных аналоговых каналов для однопроводного включения (SE) с общей землей — от 16 до 64. При двухпроводном симметричном дифференциальном включении (DI) — соответственно 8 и 32. Цифровые каналы содержат от 8 до 48 линий, в которых обеспечивается скорость ввода-вывода до 10 МГц. В некоторых платах встроены антиаллиансные фильтры от наложения частот.

Многофункциональные платы сбора данных S-серии имеют функции аналогового и цифрового ввода/вывода, функции счетчика/таймера. Особенностью этой серии является одновременная (синхронная) оцифровка сигналов по всем входным каналам. Сопряжение платы осуществляется по шинам PCI, PXI. Частота одновременной оцифровки всех каналов для этих плат лежит в диапазоне от 250 кГц до 10 МГц при разрядности АЦП от 12 до 16. Аналоговые выходы, сформированные с помощью ЦАП, имеют разрешение от 12 бит. Количество входных аналоговых каналов — от 2 до 8. Цифровые каналы содержат 8 линий. В некоторых платах встроены антиаллиансные фильтры от наложения частот.

Платы сбора данных SC-серии с согласованием сигналов имеют функции согласования и аналогового ввода. Сопряжение платы осуществляется по шине PXI. Частота оцифровки каналов для этих плат составляет 200 кГц при разрядности АЦП в 16 бит. Количество входных аналоговых дифференциальных каналов — от 2 до 8. Кроме того, имеются входные мостовые схемы согласования с датчиками. Имеют по каждому каналу регулируемое усиление (0,5; 1; 10; 100). В некоторых платах встроены 2- и 4-полюсные фильтры Баттерворта.

Платы сбора данных базового уровня B-серии представляют собой упрощенные устройства сбора данных при минимальных ценах. Тем не менее, эти устройства позволяют

решать достаточное множество измерительных задач. Имеют функции аналогового ввода-вывода. Сопряжение платы осуществляется по шине PCI. Частота оцифровки каналов для этих плат составляет 200 кГц при разрядности АЦП в 16 бит. Количество входных аналоговых каналов SE — до 16. Количество выходных аналоговых каналов — до 2 с разрешением до 16 бит. Цифровые каналы содержат 8 линий.

Конфигурируемые платы ввода-вывода снабжаются программируемой логической интегральной схемой (ПЛИС), реконфигурируемой с помощью программного модуля Lab VIEW FPGA Module. В плате ввода/вывода можно под конкретную задачу настроить управление и синхронизацию линий ввода/вывода, организовать счетчики/таймеры или разработать собственный интерфейс и т. д. Имеют функции аналогового ввода-вывода. Сопряжение платы осуществляется по шине PXI. Частота оцифровки каналов для этих плат составляет 200 кГц при разрядности АЦП в 16 бит. Количество входных аналоговых каналов SE — до 16. Количество выходных аналоговых каналов — 8 с разрешением до 16 бит со временем обновления 1 мкс. Содержат 96 синхронизируемых цифровых линий, конфигурируемых как вход, выход, счетчик. Возможна настройка системы синхронизации с разрешением 25 нс.

Платы для высокоточной регистрации температуры и напряжения представляют собой специализированные устройства аналогового ввода для регистрации температуры с термисторов, термометров сопротивления и термопар соответственно с точностью $\pm 0,12$ °C, $\pm 0,03$ °C, $\pm 0,42$ °C, а также для измерения напряжения с разрешением 24 бита. Скорость аналогового ввода — до 60 Гц. Платы имеют 16 аналоговых входов и 8 цифровых линий. Сопряжение платы осуществляется по шинам PCI, PXI, USB.

Устройства сбора данных E-серии предназначены для построения портативных и мобильных измерительных систем среднего быстродействия. Устройства имеют функции аналогового ввода-вывода. Сопряжение устройств осуществляется по шинам PCMCIA USB, Fire Wire, Compact Flash. Типичные частоты оцифровки для этих плат — от 10 кГц до 1,25 МГц при разрядности АЦП от 12 до 16 бит. Количество входных аналоговых каналов SE — до 16. Количество выходных аналоговых каналов — до 2 с разрешением от 12 до 16 бит. Имеют от 4 до 32 цифровых линий.

В 2005 г. фирмой были представлены новые малогабаритные устройства сбора данных USB 6008 и USB 6009. Они имеют 8 каналов аналогового ввода с разрешением 12 или 14 бит с частотой оцифровки до 48 кГц. Допускают быстрое plug-and-play подключение к компьютеру. Конструктивно выполнены в виде небольшой коробки (размером с КПК), по двум краям которой размещены винтовые терминалы для подключения датчиков. Электропитание осуществляется по шине USB.

Управляемые источники тока и напряжения (приборы аналогового вывода) предназначены для построения регулируемых источников и генерации сложных аналоговых сигналов с разрешением 12—16 бит при скорости обновления от 45 кГц до 1 МГц. Устройства содержат от 4 до 32 аналоговых каналов вывода с выходным диапазоном напряжений ± 10 В и токов 0—20 мА. Сопряжение устройств осуществляется по шинам PCI, PXI, PCMCIA. Типичные частоты оцифровки для этих плат — от 10 кГц до 1,25 МГц при разрядности АЦП от 12 до 16 бит. Имеют от 8 до 16 цифровых линий ввода-вывода. Для высокоскоростной генерации сигналов заданной формы предназначено семейство устройств NI 54XX. Устройства этого семейства способны выдавать аналоговый сигнал с разрешением 12—16 бит с частотой обновления от 20 МГц (NI 5431) до 300 МГц (NI 5404).

Устройства цифрового ввода/вывода предназначены для ввода-вывода цифровых сигналов, а также для их высокоскоростной генерации и приема со скоростями до 400 Мб/с. Количество входных и выходных цифровых линий — от 24 до 64 с максимальным диапазоном выходного напряжения ± 28 —30 В и тока от 120 до 500 мА. Сопряжение устройств осуществляется по шинам PCI, PXI.

Счетчики/таймеры применяются для измерения частоты и временных параметров сигналов, синхронизации, подсчета событий, генерации отдельных импульсов и их последовательностей с точной временной привязкой. Устройства содержат высокостабильный задающий генератор с частотой до 80 МГц со стабильностью $5 \cdot 10^{-5}$. Количество счетчиков (тайме-

ров) в устройстве — от 4 до 8 с разрядностью 32 бита. Количество совместимых с ТТЛ/КМОП цифровых линий ввода-вывода — до 32. Сопряжение устройств осуществляется по шинам PCI, PXI. Отдельные устройства (NI 6608) имеют GPS-синхронизацию.

1.4.3. Модульные измерительные системы стандарта PXI

Открытый промышленный стандарт PXI (PCI Extension for Instrumentation) был введен в 1997 г. альянсом PXISA, состоящим из 68 фирм. PXI-система представляет собой модульную конструкцию, построенную на основе высокоскоростной шины PCI с пропускной способностью 132 Мб/с. На одном шасси PXI может быть установлено до 17 измерительных модулей с возможностью высокоточной синхронизации работы модулей по дополнительным встроенным линиям шины. Количество разнообразных модулей, выпускаемых различными фирмами, насчитывает свыше 1100 наименований. Это позволяет строить высокопроизводительные измерительные системы практически любой сложности.

Управление модулями и измерительными процессами может осуществляться встроенным PXI-контроллером или с удаленного персонального компьютера, подключенного через скоростной последовательный интерфейс MXI-4 посредством коаксиального (до 10 м) или оптоволоконного (до 200 м) кабеля.

Встроенный контроллер с предустановленной ОС Windows обеспечивает более надежную работу PXI-системы. Для решения задач регулирования и управления, а также высокоточной выработки управляющих сигналов в гарантированное время используют PXI-системы с встроенным PXI RT контроллером жесткого реального времени. Программное обеспечение для разработки приложений реального времени поддерживается LabVIEW и модулем LabVIEW RT.

При решении задач ПИД-регулирования системы реального времени на платформе PXI обеспечивают высокую частоту цикла управления от 6 кГц до 43 кГц, что позволяет создавать высокоскоростные системы управления приводами в робототехнике и различными исполнительными механизмами, системы группового и многоконтурного ПИД-регулирования и т. д.

Модульное измерительное оборудование NI позволяет выполнять с высокой точностью измерения сигналов с частотами до 2,7 ГГц. Для высокоточного 24-битного преобразования используются дельта-сигма АЦП. Семейство модульных приборов NI содержит:

- высокоточные осциллографы (сигналы до 200 МГц с разрешением до 24 бит);
- генераторы сигналов (до 200 МГц с разрешением до 16 бит);
- цифровые генераторы/анализаторы (до 400 Мбит/с);
- цифровые мультиметры (до 7 знаков);
- генераторы и анализаторы высокочастотных сигналов (до 2,7 ГГц);
- анализаторы динамических сигналов (до 200 кГц с разрешением до 24 бит);
- коммутаторы (мультиплексоры, матричные и универсальные модули реле).

1.4.4. Система распределенного ввода/вывода и промышленного управления FieldPoint

В иерархии уровней (полевой, контроллерный, SCADA уровни) автоматизированных систем управления устройства распределенного ввода-вывода *FieldPoint* функционально заполняют полевой и контроллерный уровни. Данные с платформы *FieldPoint* передаются на SCADA-уровень (уровень представления данных). NI выпускает две линейки подобных устройств: *Compact FieldPoint* и *FieldPoint*. Для связи имеются интерфейсы следующих типов: Ethernet, CAN, RS-232/RS-485, FOUNDATION Fieldbus.

Compact FieldPoint включает программируемый логический контроллер и модули аналогового и цифрового ввода-вывода, работающие в режиме жесткого реального времени под управлением ОС LabVIEW RT. Конструкция представляет собой малогабаритную модульную систему, набираемую на монтажной панели, содержащей 4 или 8 слотов. Платформа *Compact FieldPoint* устойчива к вибрациям, большим перепадам температур, что позволяет располагать ее в непосредственной близости от объекта измерения и управления.

Платформа *FieldPoint* представляет собой малогабаритную модульную систему, набираемую на направляющих салазках (DIN-рельсах). Управление платформой осуществляется

персональным компьютером через последовательный порт, Ethernet и CAN-интерфейсы.

1.4.5. Реконфигурируемая контрольно-измерительная система CompactRIO

Основными составными частями системы *CompactRIO* являются высокопроизводительный контроллер реального времени и реконфигурируемая ПЛИС. Конструкция представляет собой малогабаритную модульную систему, набираемую в шасси из 4 или 8 слотов. ПЛИС содержит 1—3 млн логических вентилей и позволяет создавать систему высокоскоростной параллельной обработки данных. Программирование ПЛИС поддерживается модулем LabVIEW FPGA Module. Платформа *CompactRIO* устойчива к вибрациям и ударам (до 50g), большим перепадам температур (от $-40\text{ }^{\circ}\text{C}$ до $+70\text{ }^{\circ}\text{C}$), поддерживает режим горячего резервирования. В состав функций, выполняемых платформой *CompactRIO*, входят ПИД-регуляторы, КИХ-фильтры, линейные интерполяторы, синтезаторы гармонических сигналов и т. д. Платформа позволяет реализовывать ПИД-регуляторы с частотой цикла до 150 кГц, что дает возможность группового и многоконтурного ПИД-регулирования сложными объектами. Модули ввода-вывода содержат от 4 до 8 аналоговых входов (для термодатчиков, напряжений и токов) и до 32 цифровых и релейных линий. Для ввода сигналов термодатчиков, акселерометров и микрофонов применяется высокоточный 24 битный дельта-сигма АЦП.

1.5. Система дистанционного измерения и сбора измерительно-диагностической информации

В последние годы широкое развитие локальных и глобальных сетевых информационных и телекоммуникационных технологий привело к интенсивному развитию методов дистанционного и распределенного управления. Актуальными примерами могут служить удаленное управление научным экспериментом на уникальной физической установке коллективного пользования, дистанционный учебный эксперимент в многопользовательском режиме, управление интеллектуальным домом, удаленное ПИД-регулирование и т. д. Сеть в таких системах является составным элементом контура управления.

Дистанционные измерения могут быть также использованы для исследования и диагностики географически удаленных сложных технических и технологических установок в процессе их функционирования. Подобными распределенными и одновременно сложными техническими объектами, например, являются газо- нефтеперекачивающие станции, компрессорные установки и т. д.

1.5.1. Общая структура системы

Структура автоматизированной системы дистанционных измерений (АСДИ) представлена на рис. 1.25. Основными структурными компонентами данной системы являются:

- газоперекачивающая установка;
- датчики физических величин (давление, температура, расход);
- промышленный контроллер измерения и сбора данных серии Compact Field Point (cFP);
- измерительный персональный компьютер (ИПК) с программным обеспечением (ПО) управления измерительными процессами;
- терминалы удаленных операторов, находящиеся как в локальной вычислительной сети (ЛВС), так и получающие доступ через сеть Интернет.

1.5.2. Измерительная часть автоматизированной системы дистанционных измерений

Основу измерительной части АСДИ составляет промышленный контроллер серии cFP фирмы National Instruments, осуществляющий измерение состояния газоперекачивающий агрегат ГПА, сбор и хранение измерительно-диагностической информации, а также управление измерительными процессами.

- К основным преимуществам контроллеров серии cFP относятся:
- высокая надежность работы и точность получаемых результатов;
- возможность работы в круглосуточном режиме;
- наличие памяти для хранения данных (результатов измерений);
- наличие сетевых интерфейсов (Ethernet, RS-232);

возможность непосредственного подключения датчиков без необходимости использования дополнительного оборудования предварительной обработки сигналов. Благодаря перечисленным преимуществам использование контроллеров серии cFP позволяет получить принципиальную возможность для осуществления дистанционного управления измерительными процессами через ЛВС, обращаясь непосредственно к контроллеру (отпадает необходимость использования ПК, выполняющего функции сервера), а также передачу результатов измерений удаленным операторам по ЛВС или сети Интернет.

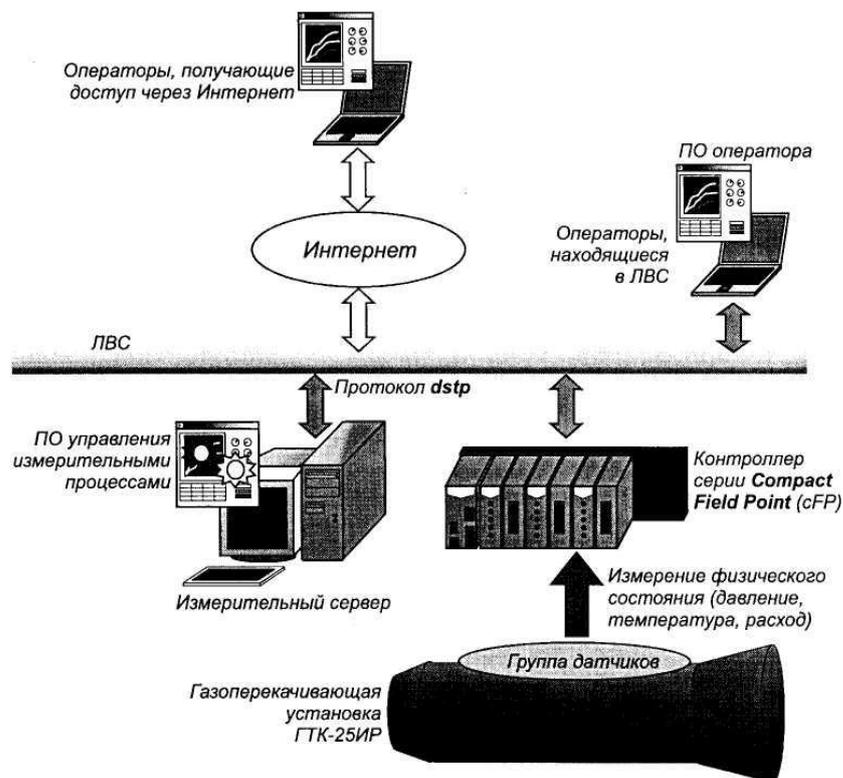


Рис. 1.25. Структура автоматизированной системы дистанционных измерений

Конфигурирование контроллера, а также задание параметров измерительного процесса осуществляются посредством измерительного сервера на основе ПК, оснащенного специализированным программным обеспечением (ПО). Вследствие наличия в контроллере сетевого интерфейса Ethernet взаимодействие с ним измерительного сервера осуществляется по ЛВС, исключая необходимость расположения последнего в непосредственной близости от контроллера (в производственных условиях).

После выполнения процедур настроек и конфигурирования работа контроллера возможна как совместно с измерительным сервером, так и автономно. Помимо настроек и конфигурирования, сервер может использоваться для накопления и хранения получаемой измерительно-диагностической информации, а также решения задач, связанных с предоставлением удаленным операторам доступа к измерительно-диагностической информации. Требуемая функциональность измерительного сервера обеспечивается специально разработанным программным обеспечением.

1.5.3. Алгоритмы работы автоматизированной системы дистанционных измерений

Функционирование системы осуществляется по принципу сервер-пользователь. Для взаимодействия ИС с контроллером cFP, а также удаленными операторами, находящимися в локальной вычислительной сети (ЛВС), используется протокол *dstp* (*data socket transport protocol*), разработанный фирмой National Instruments.

Возможны *два способа* организации предоставления удаленным операторам измерительно-диагностической информации — с использованием промежуточного сервера и с непосредственным обращением к контроллеру.

При использовании *первого способа* вся получаемая контроллером измерительно-диагностическая информация накапливается и хранится на сервере. Преимуществами данного способа являются:

- возможность осуществления авторизации удаленных операторов;
- возможность контроля доступа удаленных операторов;
- гибкая система обработки запросов на предоставление измерительно-диагностической информации (например, возможно предоставление не всего объема накопленных данных, а выборочно, например за определенные сутки или иной интервал времени).

Функции сервера в данном случае может выполнять измерительный сервер. Функцио-

нальная схема АСДИ при использовании данного способа организации предоставления удаленным операторам измерительно-диагностической информации представлена на рис. 1.26. Общая схема работы системы следующая. При необходимости получения результатов измерений удаленный оператор посредством соответствующего ПО направляет запрос на передачу данных измерительного сервера. Принятый запрос обрабатывается CGI-программой, задача которой заключается в соответствующей обработке принятого запроса и формировании того или иного ответа в зависимости от результатов обработки.

После идентификации клиента по принятому запросу осуществляется контроль доступа, а именно определение, на основании учетных записей, возможности доступа данного клиента к измерительно-диагностической информации. Так как процесс обращения к базе данных при обработке запроса, прошедшего контроль, может занимать некоторое время, то с целью исключения потери запросов, приходящих в моменты занятости обработчика, необходима их запись в очередь.

Для формирования ответа результаты обработки запроса направляются CGI-программе. Недостатком данного способа предоставления измерительно-диагностической информации является невозможность обслуживания удаленных операторов при нефункционирующем сервере (отключенном от сети либо выключенном).

При использовании *второго способа* передача измерительно-диагностической информации осуществляется непосредственно от контроллера. Преимуществами данного способа являются возможность предоставления данных удаленным операторам в круглосуточном режиме, а также простота реализации.

К недостаткам данного способа относятся:

отсутствие полноценного контроля доступа к накопленной измерительно-диагностической информации (возможен контроль только по IP-адресам);

ограниченный объем хранимой информации (вследствие относительно небольшого объема внутренней памяти контроллера — 64 Мб).

1.5.4. Разработка схем подключения средств измерения

Рассмотрим выбор и обоснование конфигурации аппаратного обеспечения автоматизированной измерительной системы для сбора и обработки диагностической информации.

Исходные данные. Выбор структуры аппаратного обеспечения, типов датчиков, аппаратуры первичной обработки выходных сигналов датчиков, а также устройств сбора измерительно-диагностической информации осуществлялся на основании исходных данных о диапазоне и погрешности измеряемых параметров.

Выбор датчиков. Выбор датчиков считается весьма важным этапом при разработке измерительной системы, поскольку датчики создают измерительную информацию и являются первичным ее источником. Последующая цифровая обработка сигналов датчиков не дает

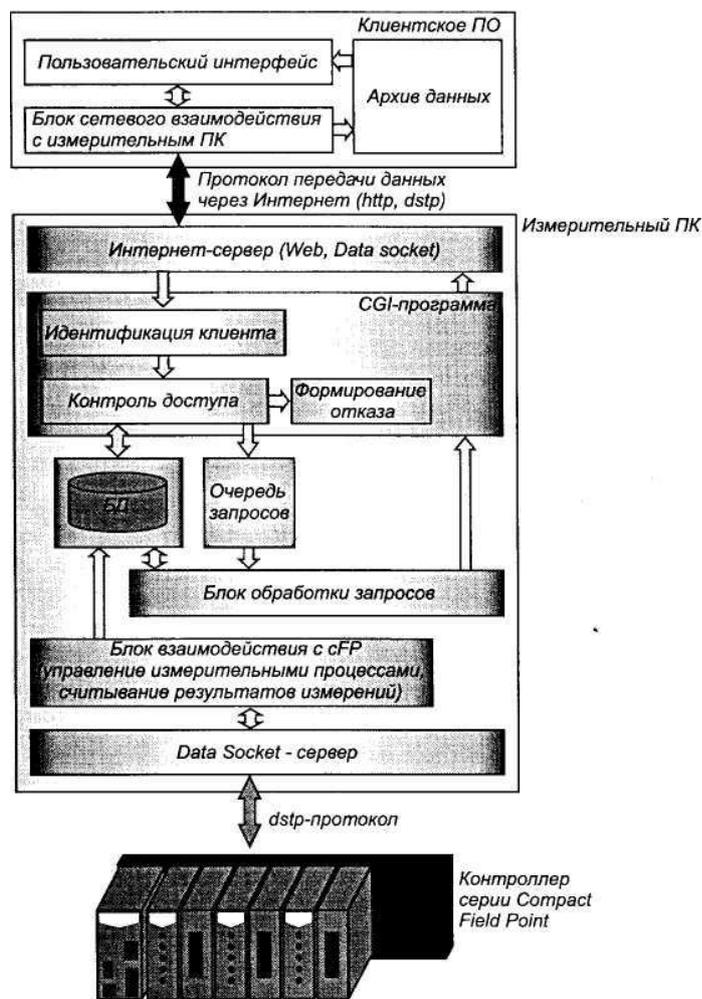


Рис. 1.26. Функциональная схема автоматизированной системы дистанционных измерений

существенного улучшения качества измерительной информации, поскольку принципиально нельзя извлечь больше информации, чем ее содержится в первичном источнике.

Таким образом, при выборе датчика необходимо стремиться к тому, чтобы по возможности датчик был *точным, быстродействующим* и имел *линейную характеристику* преобразования. Однако при этом следует соблюдать баланс между ценой инженерного решения измерительной задачи и ценой полезности полученного практического результата, если задача будет решена.

Датчики в своем составе содержат устройство для нормировки сигнала, термокомпенсации, а также для линеаризации калибровочной характеристики. Кроме того, датчики имеют стандартный выходной сигнал напряжения (0—5 В) или тока (4—20 мА). Таким образом, исключается необходимость в дополнительных устройствах обработки выходных сигналов датчиков.

Дополнительным оборудованием к датчикам являются блок питания и блок грозозащиты. Блок питания служит для электропитания датчиков давления. Блок грозозащиты необходим для защиты датчиков давления с выходом 4—20 мА (двухпроводная линия) от импульсных перегрузок, вызванных грозовыми разрядами и промышленными наводками.

Выбор устройства ввода/вывода для измерения и сбора данных. В качестве устройства для измерения и сбора измерительно-диагностической информации выберем промышленный контроллер серии Compact Field Point фирмы National Instruments.

Отдание предпочтения оборудованию данной фирмы обусловлено его высокой надежностью и точностью, что в сочетании с программным обеспечением LabVIEW позволяет строить высокопроизводительные и гибкие в конфигурировании автоматизированные измерительные системы, интегрируемые в локальные и глобальные сети. Последнее подразумевает возможность выполнения требуемых измерений и получение результатов дистанционно, например через сеть Интернет.

Контроллер серии Compact Field Point представляет систему распределенного ввода-вывода, объединяющую в себя программируемые контроллеры, а также различные измерительные и управляющие модули. Эта система, сочетая высокую производительность, компактность и надежность программируемых логических контроллеров с гибкостью и функциональностью ПК, предназначена для решения промышленных задач в условиях высоких ударных нагрузок, вибраций и экстремальных температур.

К cFP прилагаются сертификаты калибровки стандарта NIST для всех 8/16-канальных модулей аналогового ввода/вывода, что гарантирует высокую точность измерений. Каждый изолированный модуль ввода/вывода может изменять входной диапазон значений в зависимости от уровня измеряемого сигнала. Модули обладают возможностью фильтрации шума, автоматической температурной компенсации и калибровки.

В соответствии с исходными данными выбрана конфигурация контроллера серии cFP, представленная в таблице.

Внешний вид контроллера cFP приведен на рис. 1.27.

Процессорный модуль cFP-2010 является основной контроллера cFP и обеспечивает управление процессом измерения и накопления данных, а также сетевое взаимодействие через сеть Ethernet (10/100 Мбит) или последовательный интерфейс RS-232. Внешний вид лицевой и нижней панелей процессорного модуля показан на рис. 1.28.

Конфигурация контроллера cFP

Наименование устройства	Тип устройства	Кол-во
Процессорный модуль	cFP-2010	1
Модуль аналогового ввода сигналов напряжения или тока	cFP-AI-100	1
Модуль подключения термопар	cFP-TC-120	1
Платформа установки модулей на 4 слота	cFP-BP-4	1
Универсальная монтажная панель	cFP-CB-1	2
Монтажная панель для подключения термопарных датчиков	cFP-CB-3	1
Блок питания	PS-5	1



Рис. 1.27. Внешний вид контроллера серии Compact Field Point

Модуль подключения термопар *cFP-TC-120* имеет следующие основные параметры:

- возможность непосредственного подключения датчиков различных типов термопар (J, K, T, N, R, S, E и B);
- количество измерительных каналов — 8;
- разрешение — 16 бит;
- возможность задания индивидуальной конфигурации для каждого канала в отдельности;
- возможность «горячей» замены модуля;
- диапазон рабочих температур — 40—70 °С;
- подавление шумов на частоте 50/60 Гц.

Модуль аналогового ввода сигналов (напряжения или тока) *cFP-AI-100* имеет следующие основные характеристики:

- количество измерительных каналов — 8;
- разрешение — 12 бит;
- измеряемые диапазоны напряжений — ± 1 В, ± 5 В, ± 15 В, ± 30 В, 0—1 В, 0—5 В, 0—15 В, 0—30 В;
- измеряемый диапазон токовых сигналов — 0—20 мА, 4—20 мА, ± 20 мА;
- максимальная частота дискретизации по всем измерительным каналам — 360 Гц.

Монтажные панели cFP-CB-1 и cFP-CB-3. Монтажная панель *cFP-CB-1* является универсальной и служит для подключения к измерительному модулю контроллера до 16 источников сигналов. Панель *cFP-CB-3* предназначена для подключения к измерительному модулю сигналов датчиков термопар (до 8). Каждая из панелей имеет термочувствительный элемент, необходимый для компенсации температуры холодного спая при работе с термопарными датчиками.

2. СИГНАЛЫ И МЕТОДЫ ИХ ИССЛЕДОВАНИЯ

2.1. Общие характеристики электрических сигналов

Форма и способы преобразования электрических сигналов неразрывно связаны с принципами построения электронных устройств автоматики и в большой степени определяют их характеристики и особенности.

Электрические сигналы в электронных устройствах по их физической сути можно подразделить на аналоговые и дискретные. Аналоговые сигналы представляют непрерывные во времени функции напряжения или тока и, в свою очередь, подразделяются на постоянные — однополярные и мало изменяющиеся во времени напряжения или токи и переменные — функции напряжения или тока, изменяющиеся во времени как по амплитуде, так и по знаку. Частным случаем переменного сигнала является гармонический или синусоидальный сигнал.

Дискретными называют такие электрические сигналы, которые представляют собой разрывные во времени функции напряжения или тока и могут принимать ограниченное число уровней. Наиболее часто в электронике используются дискретные сигналы, которые имеют только два уровня — высокого напряжения (тока) и низкого напряжения (тока). Такие сигналы называют импульсными или двоичными. Представление информации с помощью таких сигналов имеет ряд преимуществ, обусловленных высокой надежностью и простотой устройств, которыми они генерируются и преобразуются. Два дискретных значения, которые принимают двоичные сигналы, обычно обозначают двумя цифровыми символами — «1» и «0». Поэтому двоичные дискретные сигналы также называют цифровыми, а раздел электро-

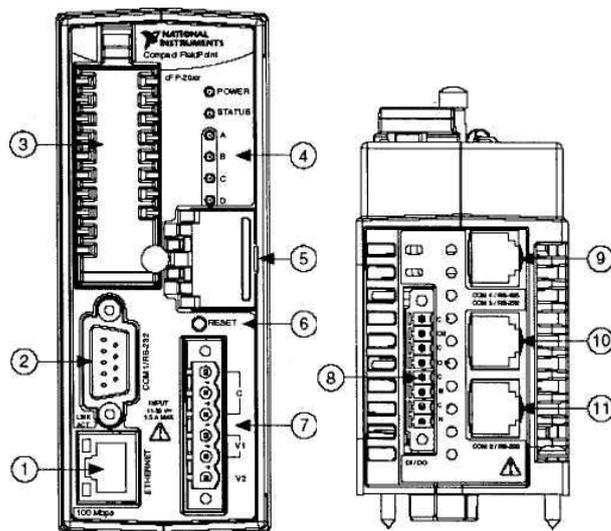


Рис. 1.28. Лицевая и нижняя панели процессорного модуля контроллера *cFP*:

1 — сетевой порт Ethernet; 2 — последовательный порт RS-232; 3 — модуль памяти; 4 — световые индикаторы; 5 — DIP-переключатели; 6 — клавиша перезапуска; 7 — клеммы питания; 8 — терминалы цифрового вв/выв (для *cFP-2020*); 9 — последовательный порт RS-485 (для *cFP-2020*); 10 — последовательный порт RS-232 (для *cFP-2020*); 11 — последовательный порт RS-232

ники, изучающий формирование, преобразование и передачу двоичных сигналов — цифровой техникой.

Аналоговая или дискретная формы представления электрических сигналов существенно влияют на принципы построения и особенности работы электронных устройств, которые формируют, усиливают и преобразуют эти сигналы.

Электронные устройства, оперирующие с аналоговыми сигналами, как правило, работают в линейном режиме и составляют класс аналоговых устройств. Особенность их заключается в том, что входные и выходные сигналы связаны линейными или близкими к линейным зависимостями. Примерами аналоговых устройств являются усилители постоянных, переменных и импульсных сигналов, работающие без насыщения, активные фильтры, генераторы гармонических сигналов, линейные электрические цепи с сосредоточенными или распределенными параметрами типа R , L , C , импульсные трансформаторы, работающие в линейном режиме без насыщения, линии задержки и т. п.

Линейные элементы используются для усиления, фильтрации, дифференцирования, интегрирования, укорочения, расширения и других преобразований аналоговых и дискретных сигналов.

Электронные устройства, оперирующие с дискретными сигналами, работают в существенно нелинейном режиме. Основу их структуры составляют нелинейные (ключевые) элементы, которые осуществляют под воздействием управляющих сигналов различные коммутации, подключение и отключение пассивных и активных элементов, источников питания и т. п. В статическом режиме ключевая схема находится в одном из двух состояний — замкнутом (включенном) или разомкнутом (выключенном). Коммутации ключа создают на его выходе перепады напряжения с амплитудой, близкой к амплитуде источника питания. Тем самым на выходе ключа формируется последовательность импульсных сигналов, форма которых зависит как от скорости переключения ключа, так и от параметров линейных элементов, входящих в схему.

Цифровые устройства осуществляют логическое преобразование сигналов, их запоминание, суммирование; шифрацию и дешифрацию цифровых кодов; деление частоты импульсов, а также ряд других операций. Цифровые устройства играют ведущую роль во многих областях науки и техники, прежде всего в автоматике, телемеханике, вычислительной технике, различных видах связи. Это объясняется тем, что элементы и узлы цифровой техники благодаря широкому применению в них ключевых режимов при существующем уровне развития электроники являются наиболее надежными, помехоустойчивыми и поэтому позволяют обеспечить высокую надежность работы сложных аппаратных комплексов.

Важным фактором, определяющим широкое внедрение цифровой техники, является также ее экономическая эффективность, которая, с одной стороны, определяется технологичностью при изготовлении и простотой при настройке и эксплуатации, а с другой — возможностью решения задач, невыполнимых ранее на базе узлов аналоговой техники.

Элементы и узлы цифровой техники при правильном проектировании не требуют индивидуальной регулировки и настройки, позволяют организовать массовое производство с применением современных средств автоматизации, сократить затраты труда и получить большой экономический эффект.

Цифровые устройства достаточно просто подвергаются автоматизации проектирования, для них легко строятся математические модели, которые с высокой степенью точности соответствуют характеристикам реальных устройств, они достаточно просто перепрограммируются на реализацию других функций. Цифровая техника позволяет также широко использовать микроминиатюризацию, уменьшить массу и габаритные размеры аппаратуры, что в ряде случаев является одним из решающих факторов при проектировании.

Импульсная и цифровая техника, будучи тесно связаны друг с другом, отражают различные характеристики функционирования одних и тех же устройств. Импульсные сигналы являются носителями цифровой информации, причем импульсная техника занимается формированием, усилением и преобразованием импульсных сигналов по их физическим параметрам (длительности, частоте, амплитуде, мощности), а цифровая техника, абстрагируясь от

этих физических параметров, занимается преобразованием информации, которую несут в себе последовательности импульсных сигналов, чередование высоких и низких уровней напряжения или совокупности различных напряжений, выраженных условными параметрами 0 или 1. Импульсные сигналы являются, таким образом, носителями цифровой информации, а импульсные устройства лежат в основе реализации любых цифровых схем.

Различная физическая суть импульсных и цифровых сигналов предопределяет и различные методы их исследования и описания.

В основе анализа и синтеза импульсных устройств, которые представляют собой электрические и электронные цепи, лежат известные законы электрических и электромагнитных цепей, дополненные электрическими моделями отдельных электронных элементов, представляющих собой совокупность пассивных элементов и источников напряжения. В основе анализа и синтеза цифровых устройств, состояние которых описывается абстрагированными от конкретных физических параметров переменными и функциями, лежат методы дискретной математики, алгебры логики и теории цифровых автоматов.

Информация, передаваемая с помощью электрических сигналов, заключается в изменении их электрических параметров и формы или в условном взаимном расположении элементов этих сигналов.

При передаче информации путем изменения физических параметров электрических сигналов в качестве информативного параметра могут использоваться амплитуда, частота или фаза гармонического сигнала, амплитуда, полярность, длительность импульса или паузы.

2.2. Методы исследования прохождения сигналов

На практике принято оценивать поведение элемента системы и системы в целом по *передаточной функции*, определяющей изменения выходного сигнала при любых изменениях входной величины. Знание передаточной функции устройства позволяет определить его статические и динамические характеристики, характеризующие поведение устройства соответственно в установившемся и переходном режимах. Причем переходной процесс зависит не только от свойств устройства, но и от характера входного воздействия.

Любое устройство можно рассматривать как систему, состоящую из определенным образом взаимодействующих (функционально связанных) элементов. В подавляющем большинстве случаев с достаточной степенью точности динамические процессы в этих элементах описываются линейными дифференциальными уравнениями * вида

$$a_n y^{(n)}(t) + a_{n-1} y^{(n-1)}(t) + \dots + a_1 y^{(1)}(t) + a_0 y(t) = b_m x^{(m)}(t) + b_{m-1} x^{(m-1)}(t) + \dots + b_1 x^{(1)}(t) + b_0 x(t), \quad (2.1)$$

где $y(t)$ и $x(t)$ — соответственно выходной и входной сигналы; a_i, b_j — постоянные коэффициенты; $m \leq n$. Уравнения вида (2.1) называют *уравнениями динамики*, поскольку они описывают объекты, обладающие инерцией, в которых изменения y под действием x происходят не мгновенно. В простейшем случае обычной функциональной зависимости $y=F(x)$ имеем *уравнение статики*, а описываемый им объект называют *статическим* или *безынерционным*.

В основе метода передаточных функций лежит изучение качественного поведения решений обыкновенных дифференциальных уравнений для систем с одним входом и одним выходом с использованием преобразований Лапласа и частотной теории (преобразований Фурье).

Для функции f аргумента t преобразование Лапласа имеет следующий вид:

* Линейная система обладает следующим свойством: выходной сигнал, порожденный суммой двух входных сигналов, равен сумме двух выходных сигналов, каждый из которых порожден входными сигналами, действующими не в совокупности, а отдельно: иначе говоря, если $\text{Вых.}(A)$ — выходной сигнал, порожденный сигналом A , то для линейной системы справедливо следующее равенство: $\text{Вых.}(A+B) = \text{Вых.}(A) + \text{Вых.}(B)$. Если на входе линейной системы действует синусоидальный сигнал, то на выходе также получим синусоидальный сигнал, но в общем случае его амплитуда и фаза будут другими. Это утверждение справедливо только для синусоидального сигнала. Линеаризация системы основывается на методе малых отклонений с использованием разложения аналитических функций в ряд Тейлора вблизи значений переменных системы, соответствующих характерным, например, установившемуся, режимам работы.

$$L[f(t)] = \int_0^{\infty} f(t)e^{-st} dt.$$

Получаемый интеграл, т. е. $L[f(t)]$, является функцией только аргумента s : $L[f(t)] = F(s)$. $F(s)$ является преобразованием Лапласа функции $f(t)$. Символ « L » обозначает *оператор Лапласа*, который, примененный к функции $f(t)$, дает функцию $F(s)$.

Перейдем в обеих частях уравнения (2.1) к изображениям Лапласа, используя свойства линейности $\{L[af(t)] = aL[f(t)] = aF(s)\}$ и дифференцирования $\{L[df(t)/dt] = sF(s) - f(0)\}$ оригинала и полагая нулевые начальные условия:

$$(a_n s^n + a_{n-1} s^{n-1} + \dots + a_1 s + a_0)Y(s) = (b_m s^m + b_{m-1} s^{m-1} + \dots + b_1 s + b_0)X(s)$$

или

$$A_n(s)Y(s) = B_m(s)X(s), \quad (2.2)$$

где $s = \sigma + j\omega$ — комплексный параметр преобразования Лапласа, имеющий размерность частоты (s^{-1}) и являющийся, по сути, оператором производной; $A_n(s)$ и $B_m(s)$ — полиномы от s порядка n и m (собственный оператор и оператор воздействия соответственно); $Y(s) = L[y(t)]$ и $X(s) = L[x(t)]$ — изображения функций $y(t)$ и $x(t)$ соответственно.

Передаточная функция $W(s)$ есть отношение изображений выходного и входного сигналов:

$$W(s) \equiv \frac{Y(s)}{X(s)} = \frac{B_m(s)}{A_n(s)} \equiv \frac{b_m s^m + b_{m-1} s^{m-1} + \dots + b_0}{a_n s^n + b_{n-1} s^{n-1} + \dots + a_0}, \quad (2.3)$$

так что

$$Y(s) = W(s)X(s). \quad (2.4)$$

Почему преобразование Лапласа так важно для нас? Потому что оно позволяет решать дифференциальное уравнение при помощи алгебраических выражений, используя операторы.

Особенно интересен случай, когда $f(t)$ является периодической функцией, скажем, $f(t) = \sin \omega t$:

$$L[\sin \omega t] = \int_0^{\infty} \sin \omega t e^{-st} dt = \frac{\omega}{s^2 + \omega^2}, \quad s > 0.$$

Аналогично

$$L[\cos \omega t] = \frac{s}{s^2 + \omega^2}, \quad s > 0.$$

Но поскольку $\sin' \omega t = \omega \cos \omega t$ и $L[\sin' \omega t] = sL[\sin \omega t] = s\omega / (s^2 + \omega^2) = \omega L[\cos \omega t]$, то для синусоидальных периодических функций можно пользоваться s как оператором производной.

Другое интересное преобразование Лапласа — $L(1)$:

$$L[1] = \int_0^{\infty} e^{-st} dt = -\frac{1}{s} [e^{-st}]_0^{\infty} = \frac{1}{s}.$$

Частным случаем преобразования Лапласа является преобразование Фурье, при котором функции вещественного переменного $f(t)$ ставится в соответствие частотная функция $F(j\omega)$, называемая частотным спектром. Для перехода от передаточной функции $W(s)$ к частотной передаточной функции (комплексному коэффициенту передачи, усиления) $W(j\omega)$ достаточно заменить s на $j\omega$. Учитывая, что любой периодический негармонический сигнал может быть представлен в виде ряда Фурье и что характеристики устройств, преобразующих аналоговые сигналы, линейны или близки к ним, сигнал на их выходе может быть определен как сумма всех гармоник выходного сигнала.

Почему мы используем преобразования? Какой-либо входной сигнал во *временной области* может быть преобразован в другой сигнал или функцию в *частотной области*. Преобразованный сигнал может быть изменен с помощью передаточной функции какого-либо преобразователя и затем преобразован обратно во *временную область* для отображения.

Преобразование сигнала дает информацию о частотном составе (спектре) сигнала.

Для анализа схемы выполняют s -преобразование передаточной функции схемы и применяют, при необходимости, алгебраический анализ (выполнение которого намного легче, чем дифференциального), затем результат преобразуется обратно во временную или частотную область.

Частотная передаточная функция является комплексной величиной и может быть представлена как

$$W(j\omega) = U(\omega) + jV(\omega). \quad (2.5)$$

Вещественную часть $W(j\omega)$ называют вещественной частотной характеристикой, мнимую часть — мнимой частотной характеристикой. На комплексной плоскости $W(j\omega)$ изображается как вектор, конец которого при изменении ω от 0 до ∞ описывает кривую, называемую *амплитудно-фазовой частотной характеристикой* (АФЧХ) или *годографом*. Длина этого вектора $A(\omega) = |W(j\omega)|$ характеризует степень изменения амплитуды входного сигнала, а угол, образованный этим вектором с действительной положительной полуосью, $\varphi(\omega) = \arg W(j\omega)$ — изменение его фазы. Амплитудно-фазовая частотная характеристика широко используется для оценки качества прохождения сигнала через аналоговые (линейные) электронные цепи, характеризуя, как эти цепи воздействуют на амплитуду и сдвиг фазы входного сигнала.

Функции $W(j\omega)$ в форме (2.5) можно записать через *амплитудную* $A(\omega)$ и *фазовую* $\varphi(\omega)$ *частотные характеристики* (АЧХ и ФЧХ) — представить в показательной или тригонометрической форме:

$$W(j\omega) = A(\omega)e^{j\varphi(\omega)} = A(\omega)[\cos\varphi(\omega) + j\sin\varphi(\omega)], \quad (2.6)$$

где

$$A(\omega) = |W(j\omega)| = \sqrt{U^2(\omega) + V^2(\omega)}; \quad (2.7)$$

$$\varphi(\omega) = \arg W(j\omega).$$

Если $|\arg W(j\omega)| \leq \pi/2$, то

$$\varphi(\omega) = \arctg \frac{V(\omega)}{U(\omega)}. \quad (2.8)$$

Передаточная функция полностью определяет динамику преобразователя, однако она не дает возможности составить наглядное представление о его динамических свойствах.

Переходная функция $h(t)$, в отличие от передаточной функции, имеет наглядное графическое выражение закона изменения выходного сигнала преобразователя при подаче на его вход единичной ступенчатой функции $1(t)$, значение которой равно единице при $t > 0$.

Переходную характеристику можно получить по изображению функции $y_1(t)$ выходного сигнала при $x(t) = 1(t)$ и $X(s) = 1/s$. При этом из уравнения (2.2) получаем соотношение

$$Y_1(s) = \frac{B_m(s)}{sA_n(s)} = \frac{W(s)}{s}, \quad (2.9)$$

с помощью которого по таблицам изображений функций определяется оригинал переходной функции $h(t)$.

Подача на вход средства измерения ступенчатого сигнала в A раз большего или меньшего единицы приведет к изменению только масштаба переходного процесса на выходе устройства, характер же его полностью сохранится.

Переходная функция преимущественно используется для анализа импульсных систем, поскольку ступенчатая функция сама по себе является частью импульсного сигнала.

Импульсной переходной $w(t)$ или *весовой функцией* называют функцию, описывающую реакцию системы на кратковременное единичное импульсное воздействие при нулевых начальных условиях, продолжительность которого τ много меньше времени установления выходного сигнала данного средства измерений.

Числовой характеристикой входного импульсного воздействия является величина

$$V = \int_0^{\tau} x_{\text{имп}}(t) dt. \quad (2.10)$$

Для определения характера переходного процесса на выходе средства измерений при реальном импульсном входном воздействии необходимо помимо значения V найти реакцию $y_{1\text{имп}}(t)$ средства измерений на единичный идеальный импульс $x_{1\text{имп}}(t)$ с продолжительностью $\tau \rightarrow 0$, для которого

$$V = \int_0^{\tau} x_{1\text{имп}}(t) dt = 1. \quad (2.11)$$

При известной реакции $y_{1\text{имп}}(t)$ устройства на единичный импульс реакция на реальный импульсный сигнал $x_{\text{имп}}(t)$ будет

$$y_{\text{имп}}(t) = y_{1\text{имп}}(t) \int_0^{\tau} x_{\text{имп}}(t) dt. \quad (2.12)$$

Идеальный прямоугольный импульс длительностью τ и $V=1$ имеет амплитуду $|U_{\text{имп}}|=1/\tau$. При этом, если $\tau \rightarrow 0$, то $U_{\text{имп}} \rightarrow \infty$. В этом случае функцию $x_{\text{имп}}(t)$ называют импульсной функцией Дирака $\delta(t)$, для которой справедлива запись $\delta(t)=1'(t)$. После замены оригиналов функций их изображениями получим $\Delta(s)=s \cdot 1/s=1$.

В соответствии с выражением (2.4) изображение функции выходного сигнала определяется произведением передаточной функции преобразователя на изображение его входного сигнала. А так как изображение идеального входного импульса равно единице, то для изображения выходного сигнала $y_{1\text{имп}}(t)$ получаем $Y_{1\text{имп}}(s)=W(s)$, т. е. импульсная переходная функция $w(t)$ при единичном импульсном сигнале с $\tau \rightarrow 0$ есть оригинал передаточной функции преобразователя. Тогда $y_{1\text{имп}}(t)=w(t)=h'(t)$.

При подаче на вход преобразователя реального импульса конечной длительности τ выходной сигнал описывается соотношением

$$y_{\text{имп}}(t) = w(t) \int_0^{\tau} x_{\text{имп}}(t) dt. \quad (2.13)$$

Между передаточной функцией, амплитудно-фазовой частотной характеристикой (комплексным коэффициентом усиления), переходной функцией и дифференциальным уравнением, описывающим работу преобразователя, существует однозначная зависимость, поскольку они являются различными формами отражения одного и того же физического факта — преобразования воздействий, поступающих на вход устройства.

Решение задач, связанных с определением динамических характеристик электронных устройств, и, прежде всего работающих в линейном режиме, удобно выполнять при использовании логарифмического масштаба, так как при этом существенно упрощаются графические построения, а операции умножения и деления заменяются более простыми операциями сложения и вычитания.

В практике пользуются логарифмами относительных величин. При построении логарифмической амплитудно-частотной характеристики (ЛАЧХ) по оси ординат откладывают величину $L=20\lg|W(j\omega)|=20\lg A(\omega)$, имеющую размерность децибел, а по оси абсцисс откладывают частоту в логарифмическом масштабе — декадах, соответствующих изменению частоты в десять раз; наносят отметки, соответствующие $\lg(\omega)$, а около отметок пишут само значение частоты ω в рад/с. При использовании этих единиц измерения масштабная сетка получается равномерной. Следует учесть, что точка $\omega=0$ лежит на оси частот слева в бесконечности, так как $\lg(0)=-\infty$. Поэтому ось ординат проводят так, чтобы справа от нее можно было показать весь ход логарифмической амплитудно-частотной характеристики. Точка пересечения ЛАЧХ с осью абсцисс соответствует $A(\omega)=1$. Начало координат обычно помещают в точке $\omega=1$, так как $\lg(1)=0$.

В большинстве случаев ЛАЧХ аппроксимируют асимптотами с наклоном, кратным ± 20 дБ/дек, так что она может быть построена непосредственно по передаточной функции. Каждому сомножителю типа $sT+1$ в знаменателе соответствует при $\omega_c=1/T$ точка излома характеристики, совпадающей с осью абсцисс, с последующим наклоном -20 дБ/дек, а каждому сомножителю такого типа в числителе — точка излома при $\omega_c=1/T$ с последующим наклоном $+20$ дБ/дек. Частоту $\omega_c=1/T$, при которой сопрягаются асимптоты, называют *сопрягающей*.

Сомножители в знаменателе типа $(sT)^2 + 2\xi sT + 1$, $0 < \xi < 1$, дают наклон -40 дБ/дек. Коэффициент ξ называют *коэффициентом демпфирования*. Звенья, передаточные функции которых есть простые сомножители, называют *элементарными*. Элементарное звено называют *колебательным*, если $0 < \xi < 1$, *консервативным*, если $\xi = 0$, и *апериодическим второго порядка*, если $\xi \geq 1$.

Построив характеристику каждого из сомножителей передаточной функции, простым сложением этих характеристик получают искомую ЛАЧХ преобразователя.

Применим, для примера, операторный метод к электрическому фильтру нижних частот (пассивному интегратору) (рис. 2.1).

Анализ во временной области (t-области):

$$u_{\text{вх}}(t) = u_R(t) + u_C(t) = iR + \frac{q}{C} = \frac{dq}{dt}R + \frac{q}{C}; \quad u_{\text{ввых}}(t) = u_C(t) = \frac{q}{C};$$

$$u_{\text{вх}}(t) = RC \frac{du_{\text{ввых}}(t)}{dt} + u_{\text{ввых}}(t). \quad (2.14)$$

Это дифференциальное уравнение 1-го порядка, включающее производную по времени. Его решение описывает поведение выходного напряжения при изменении входного.

Если RC велико, то вторым слагаемым в левой части можно пренебречь и напряжение на выходе схемы

$$u_{\text{ввых}} = \frac{1}{RC} \int_0^t u_{\text{вх}} dt \quad (2.15)$$

пропорционально интегралу по времени от входного напряжения (рис. 2.2).

Если входной сигнал синусоидальный, то выходной сигнал косинусоидальный (имеется и видо смещение фазы сигнала между входом и выходом, составляющей для интегратора $\pi/2$), амплитуда которого уменьшается с увеличением частоты входного сигнала.

Анализ в частотной области (ω -области):

$$\dot{U}_{\text{вх}} = \dot{I}Z = \dot{I}(R - jX_C) = \dot{I}\left(R - \frac{j}{\omega C}\right); \quad \dot{U}_{\text{ввых}} = \dot{I}(-jX_C) = \dot{I}\left(-\frac{j}{\omega C}\right);$$

$$\frac{\dot{U}_{\text{ввых}}}{\dot{U}_{\text{вх}}} \equiv W(j\omega) = \frac{-j/\omega C}{R - j/\omega C} = \frac{1 - j\omega RC}{1 + \omega^2 R^2 C^2}. \quad (2.16)$$

Как видим, частотная передаточная функция содержит комплексные числа и поэтому графически может быть представлена на комплексной плоскости в виде *годографа* — амплитудно-фазовой частотной характеристики (АФЧХ), рис. 2.3, а:

$$W(j\omega) = |W(j\omega)|e^{j\varphi(\omega)}.$$

Модуль и фаза передаточной функции равны:

$$|W(j\omega)| = \frac{1}{\sqrt{1 + \omega^2 (RC)^2}},$$

$$\varphi(\omega) = -\arctg(\omega RC).$$

При $\omega = 1/(RC)$ $|W(j\omega)| = 1/\sqrt{2}$ или $20\lg|W(j\omega)| = -3$ дБ, $\varphi = -\pi/4$ (рис. 2.3, б).

Анализ в s-области:

$$d/dt = s,$$

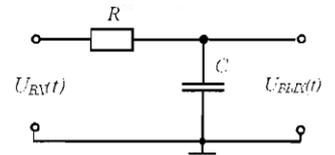


Рис. 2.1. RC-фильтр нижних частот

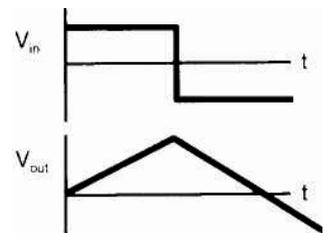


Рис. 2.2. Изменение напряжения на выходе интегратора при подаче на вход прямоугольных импульсов

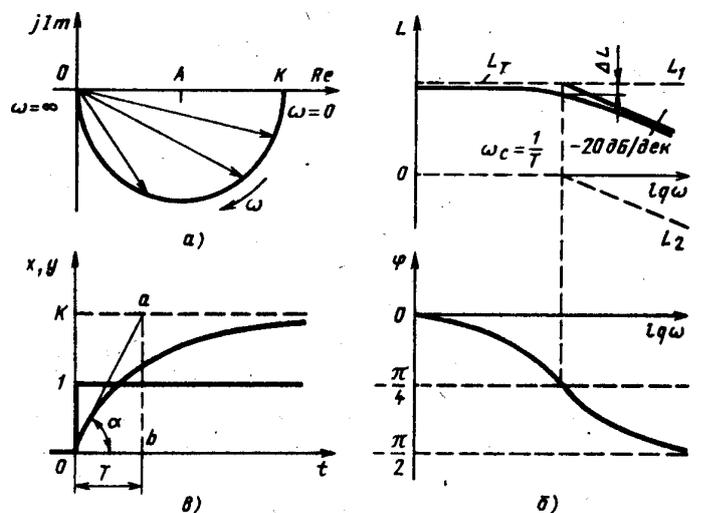


Рис. 2.3. Характеристики инерционного звена: а — амплитудно-фазовая; б — ЛАЧХ и ЛФЧХ; в — переходная

$$U_{\text{вх}}(s) = RsQ + Q/C = (Rs + 1/C)Q, \quad U_{\text{вых}}(s) = Q/C = \frac{1}{C} \frac{U_{\text{вх}}}{Rs + 1/C};$$

$$\frac{U_{\text{вых}}(s)}{U_{\text{вх}}(s)} \equiv W(s) = \frac{1}{1 + RCs}. \quad (2.17)$$

Выражение (2.17) не является дифференциальным выражением, а является простым алгебраическим выражением, включающим дифференциальный оператор s .

Если RC велико, то

$$U_{\text{вых}}(s) = \frac{1}{RC} \frac{U_{\text{вх}}(s)}{s} \quad \text{или} \quad u_{\text{вых}}(t) = \frac{1}{RC} \int_0^t u_{\text{вх}}(t) dt$$

— сравните с (2.15)! Это показывает, что в данном случае s является дифференциальным оператором.

Положив в (2.17) $s=j\omega$, получим

$$\frac{\dot{U}_{\text{вых}}}{U_{\text{вх}}} = \frac{1}{1 + j\omega RC} = \frac{1 - j\omega RC}{1 + \omega^2 R^2 C^2},$$

что совпадает с (2.16)! Это показывает, что в данном случае $s=j\omega$.

На рис. 2.3, в показана реакция на выходе фильтра при ступенчатом изменении входного сигнала, полученная путем перехода к оригиналу от изображения $W(s)/s$.

Операционное счисление позволяет избежать дифференциальных уравнений во временной области и сложных алгебраических вычислений в частотной области.

Для синусоидальных периодических функций можно положить $s=j\omega$ и пользоваться s как оператором производной. Так, в наших расчетах анализ в s -области позволяет нам получить информацию о частотах и фазе сигналов (для анализа в частотной области) или дифференциальную по времени информацию (при анализе во временной области).

Для анализа схемы выполняют s -преобразование передаточной функции схемы и применяют, при необходимости, алгебраический анализ (выполнение которого намного легче, чем дифференциального), затем результат преобразуется обратно во временную или частотную область.

Данная процедура справедлива, потому что при применении преобразования Лапласа к синусоидальной периодической функции s является дифференциальным оператором и также отождествлена с произведением $j\omega$.

2.3. Динамические модели преобразователей сигналов

Для определения динамических характеристик преобразователя сигналов на его вход необходимо подавать переменные внешние сигналы и следить за реакцией на выходе. В общем виде, тестовые внешние сигналы могут быть любой формы, определяемой только практическими потребностями. Например, для определения собственной частоты акселерометра лучшими тестовыми сигналами являются синусоидальные колебания переменной частоты, а для термисторного щупа тестовый сигнал должен представлять собой ступенчатую функцию температуры. Ступенчатые функции обладают теоретически бесконечным частотным спектром, что является причиной их использования для определения динамических характеристик датчиков, поскольку позволяют проводить тестирование одновременно на всех частотах.

Математически поведение датчика может быть описано дифференциальным уравнением, порядок которого зависит от физической природы чувствительного элемента и конструкции всей системы. Существует несколько типов зависимостей между входным сигналом x и выходной реакцией y : нулевого порядка, первого порядка и второго порядка.

Уравнение нулевого порядка является статическим или независимым от времени:

$$Y(t) = WX(t), \quad (2.18)$$

где W — постоянная передаточная функция. Важным здесь является то, что W не зависит от времени, поэтому выходной сигнал системы нулевого порядка в ответ на ступенчатое входное воздействие будет также ступенчатым.

Уравнение первого порядка имеет вид:

$$a_1 \frac{dy(t)}{dt} + a_0 y(t) = x(t), \quad (2.19)$$

где a_1 и a_0 — константы. Это уравнение описывает поведение датчиков, сначала накапливающих энергию, а потом ее отдающих. Пример таких датчиков — датчик температуры, обладающий теплоемкостью и связанный с окружающей средой через тепловое сопротивление. Выходной сигнал такой системы в ответ на входную ступенчатую функцию носит экспоненциальный характер:

$$y(t) = y_0(1 - e^{-t/T}), \quad (2.20)$$

где y_0 — статическая реакция датчика, а T — постоянная времени, характеризующая инерционность системы.

Уравнение второго порядка имеет вид:

$$a_2 \frac{d^2 y(t)}{dt^2} + a_1 \frac{dy(t)}{dt} + a_0 y(t) = x(t). \quad (2.21)$$

Такие дифференциальные уравнения соответствуют датчикам или системам, в состав которых входят по два энергонакопительных элемента — например, катушка индуктивности и конденсатор или датчик температуры и конденсатор. Поскольку в состав датчиков второго порядка часто входят элементы, совершающие колебательные движения, это может приводить к неустойчивости всей системы. На рис. 2.4 показаны типичные формы выходного сигнала устройства второго порядка в ответ на ступенчатую входную функцию. Динамическая ошибка в таких системах определяется несколькими факторами: частотой ω_0 и коэффициентом затухания (демпфирования) ξ , связанных с независимыми коэффициентами уравнения (2.21) соотношениями:

$$\omega_0 = \sqrt{a_0/a_2}, \quad \xi = \frac{a_1}{2\sqrt{a_0 a_2}}.$$

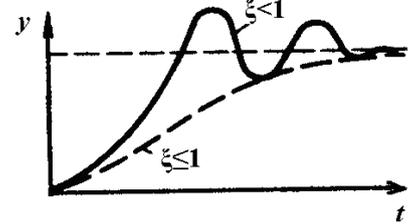


Рис. 2.4. Типичная форма выходного сигнала устройства второго порядка в ответ на ступенчатую входную функцию

Критическое демпфирование системы соответствует коэффициенту затухания $\xi=1$. При $\xi < 1$ система из асимптотической второго порядка переходит в колебательную.

2.4. Механические, тепловые и электрические аналогии

2.4.1. Механические элементы

Динамический механический элемент можно представить в виде массы (инерционного компонента), соединенной с пружиной и демпфирующим устройством. При вязкостном демпфировании и прямолинейном перемещении удерживающая сила пропорциональна скорости движения. Аналогично этому при круговом движении удерживающая сила пропорциональна угловой скорости. Поэтому сила или крутящий момент, формируемые штоком или пружиной, как правило, также пропорциональны перемещению. В табл. 2.1 приведены основные уравнения для некоторых механических, тепловых и электрических элементов. В первой колонке таблицы даны линейные механические элементы и их уравнения, выраженные через силу F . Во второй колонке приведены линейные тепловые элементы и их уравнения, выраженные через тепло Q . В третьей и четвертой колонках даны электрические аналоги элементов, приведенных в двух первых колонках. Эти аналоги (конденсатор, индуктор и резистор) описаны с помощью выражений для напряжения и тока.

Таблица 2.1

Механические, тепловые и электрические аналогии

Механические	Тепловые	Электрические	
		Катушка индуктивности	Емкость
Масса $F = M \frac{dv}{dt}$	Теплоемкость $Q = C \frac{dT}{dt}$	$u = L \frac{di}{dt}$	$i = C \frac{du}{dt}$
Пружина $F = k \int v dt$	Теплоемкость $T = \frac{1}{C} \int Q dt$	Конденсатор $u = \frac{1}{C} \int i dt$	Катушка индуктивности $i = \frac{1}{L} \int u dt$
Демпфер $F = b v$	Термосопротивление $Q = (T_2 - T_1) / R_T$	Резистор $u = Ri$	Резистор $i = u / R$

Самый простой способ вывода уравнений движения — выделение каждого инерционного элемента (массы) и рассмотрение его как свободного тела. При этом предполагается, что все свободные компоненты начинают свое движение из положения равновесия, а удерживающие силы или моменты, возникающие при перемещении, возвращают их снова на исходную позицию. При выполнении этих условий к каждому элементу можно применить второй закон Ньютона и вывести из него уравнение движения.

Для прямолинейного движения и совместимых систем единиц измерения второй закон Ньютона формулируется следующим образом: сумма сил, действующих на тело, равна произведению его массы на ускорение. В системе СИ сила измеряется в ньютонах (Н), масса в килограммах (кг), ускорение в м/с^2 .

Для вращательного движения закон Ньютона гласит, что сумма моментов сил, действующих на тело, равна произведению его момента инерции на угловое ускорение. Момент сил измеряется в ньютонах на метр (Н·м), момент инерции — в килограммах на метр квадратный ($\text{кг}\cdot\text{м}^2$), а угловое ускорение — в радианах на секунду в квадрате (рад/с^2).

Рассмотрим одноосевой акселерометр, состоящий из инерционного элемента, чье движение преобразуется в электрический сигнал. Для этого, например, можно применить пьезоэлектрический преобразователь. На рис. 2.5, а показана механическая модель такого акселерометра. Масса M удерживается пружиной, обладающей коэффициентом жесткости k . Движение массы демпфируется успокоительным устройством с коэффициентом трения b . Инерционный элемент может перемещаться в корпусе акселерометра только в горизонтальном направлении. Во время движения на устройство действует ускорение d^2x/dt^2 , а выходной сигнал пропорционален отклонению массы на расстояние x_0 . Поскольку инерционный элемент может перемещаться только в одном направлении, акселерометр имеет только одну степень свободы. На рис. 2.5, б показана диаграмма сил, действующих на свободное тело массы M . Отметим, что x_0 равно сумме смещения тела от равновесного состояния x и некоторого фиксированного расстояния. Применяя второй закон Ньютона, получаем следующее соотношение:

$$Mf = -kx - b \frac{dx}{dt}, \quad (2.22)$$

где f — ускорение инерционной массы с учетом ускорения свободного падения:

$$f = \frac{d^2x}{dt^2} - \frac{d^2y}{dt^2}.$$

Подставив это выражение в уравнение (2.22), получим требуемое уравнение движения:

$$M \frac{d^2x}{dt^2} + b \frac{dx}{dt} + kx = M \frac{d^2y}{dt^2}. \quad (2.23)$$

Отметим, что каждый член в уравнении (2.23) имеет размерность ньютон (Н). Это выражение является дифференциальным уравнением второго порядка, что означает, что на выходе акселерометра могут появиться нежелательные колебания. На практике, регулируя коэффициент b , добиваются состояния критического демпфирования.

2.4.2. Тепловые элементы

Тепловые элементы — это радиаторы, нагревательные элементы, теплоизоляторы, отражатели и поглотители тепла. Тепло передается тремя способами: через теплопроводность, естественную и принудительную конвекцию и тепловое излучение. При изучении тепловых характеристик датчик рассматривается как составная часть измерительной системы, при этом учитываются теплопередача через корпус устройства и монтажные элементы, конвекция воздуха, обмен тепловыми излучениями с остальными объектами и т. д.

При построении простой модели с сосредоточенными параметрами для определения изменения температуры объекта можно воспользоваться первым законом термодинамики, по

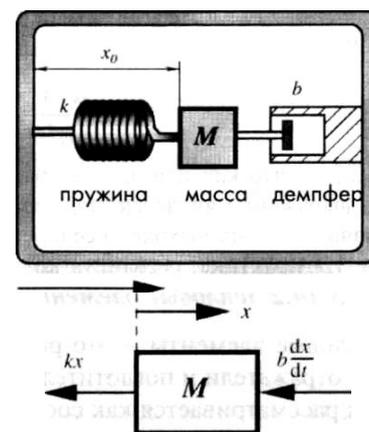


Рис. 2.5. Механическая модель акселерометра (а) и диаграмма сил, действующих на свободное тело массы M (б)

которому скорость изменения внутренней энергии тела равна разности втекающего и вытекающего потоков тепла, что очень напоминает задачу об уровне воды в резервуаре, когда через одну трубу вода вливается, а через другую сливается. Тогда тепловой баланс можно выразить в виде уравнения:

$$C \frac{dT}{dt} = \Delta Q, \quad (2.24)$$

где $C=Mc$ — теплоемкость тела, Дж/К, массой M , кг, из материала с удельной теплоемкостью c , Дж/(кг·К); T — температура тела, К; ΔQ — интенсивность теплового потока, Вт. Интенсивность теплового потока, проходящего через тело, является функцией теплового сопротивления тела, которая на практике часто считается линейной:

$$\Delta Q = (T_1 - T_2) / R, \quad (2.25)$$

где R — тепловое сопротивление, К/Вт; $T_1 - T_2$ — перепад температуры на элементе, теплопроводность которого рассматривается.

Для иллюстрации этого проанализируем нагревательный элемент, имеющий температуру T_n (рис. 2.6). Элемент покрыт слоем теплоизоляционного материала. Температура окружающей среды равна T_c . Q_1 — это тепло, приложенное к элементу, Q_0 — тепловые потери. Из уравнения (2.24) следует, что

$$C \frac{dT_n}{dt} = Q_1 - Q_0,$$

а из уравнения (2.25):

$$Q_0 = (T_n - T_c) / R.$$

Объединив эти два выражения, получим дифференциальное уравнение:

$$\frac{dT_n}{dt} + \frac{T_n}{RC} = \frac{Q_1}{C} + \frac{T_c}{RC}. \quad (2.26)$$

Это уравнение первого порядка является типичным для тепловых систем. Тепловые элементы очень стабильны по своей природе, если только не входят в состав устройств с контуром обратной связи. Выходная реакция простого теплового элемента на ступенчатое внешнее воздействие характеризуется постоянной времени, равной произведению теплоемкости на тепловое сопротивление: $\tau_1 = CR$.

2.4.3. Электрические элементы

Существуют три основных электрических элемента: конденсатор, катушка индуктивности, резистор. Основные уравнения, описывающие поведение электрических схем, получаются из законов Кирхгофа, выведенных из закона сохранения энергии.

Первый закон Кирхгофа: полный ток, втекающий в узел, равен сумме токов, вытекающих из него (т. е. алгебраическая сумма токов в узле всегда равна нулю).

Второй закон Кирхгофа: в замкнутой электрической цепи алгебраическая сумма напряжений на всех участках цепи равна величине приложенной э.д.с.

Пример анализа электрической цепи был приведен ранее.

Рассмотрение динамических уравнений механических, тепловых и электрических элементов и устройств позволяет отметить их схожесть. Поэтому возможно, например, взять механический или тепловой элемент, построить для него эквивалентную электрическую схему и анализировать ее при помощи законов Кирхгофа. Приведенные в табл. 2.1 электрические аналоги могут применяться при оценке параметров датчиков, а также промежуточных тепловых и механических элементов между объектом и окружающей средой.

Методы исследования прохождения сигналов через электронные цепи основываются на основных законах электрических и электромагнитных цепей. Для применения этих законов характеристики электронных устройств линеаризуют, а электронные элементы заменяют эквивалентными схемами по постоянному и переменному току для переменных сигналов и для

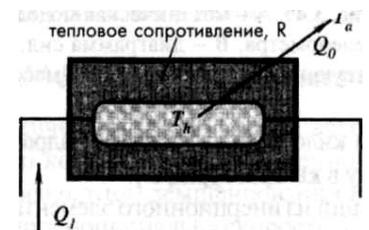


Рис. 2.6. Тепловая модель нагревательного элемента

установившегося или переходного режимов для импульсных сигналов. Эти эквивалентные схемы представляют собой совокупность источников токов, напряжений и пассивных элементов — емкостей, индуктивностей, активных сопротивлений.

Таким образом, любую электронную схему, формирующую и преобразовывающую электрические сигналы, можно представить в виде электрической схемы и уже к ней применять известные методы, позволяющие оценить процессы в этих эквивалентных схемах, а значит, и в базовых электронных схемах, при воздействии типовых возмущений — гармонического воздействия или скачка напряжения.

2.5. Фильтры

В электрических, радиотехнических, телекоммуникационных и телеметрических системах и устройствах, работающих на принципах частотного разделения сигналов, часто решается задача: из смеси сигналов, занимающих в совокупности широкую полосу частот, выделить те или иные узкополосные составляющие или их определенные комбинации. Сигналы заданной частоты или заданной полосы частот выделяют при помощи *электрических фильтров*.

Электрический фильтр представляет собой частотно-избирательное устройство, которое пропускает сигналы определенных частот и задерживает или ослабляет сигналы других частот. Область частот, в которой составляющие частотного спектра выделяемого сигнала не должны ослабляться, называют *полосой пропускания*, а область частот, в которой их ослабление должно быть не меньше определенного значения, называют *полосой заграждения* (подавления, режекции). Фильтр считают идеальным, если в полосе пропускания ослабление отсутствует и фазово-частотная характеристика линейна (при этом условии нет искажения формы сигналов), а вне полосы пропускания все частотные составляющие полностью подавляются, т. е. идеальные фильтры должны иметь прямоугольные амплитудно-частотные характеристики (АЧХ), как на рис. 2.7. Однако идеальные фильтры физически нереализуемы.

В зависимости от пропускаемого спектра частот различают *низкочастотные* (фильтры нижних частот — ФНЧ), *высокочастотные* (фильтры верхних частот — ФВЧ), *полосовые* (ПФ), *полосно-подавляющие* (ППФ), *избирательные* (селективные — СФ) и *заграждающие* (режекторные — РФ) фильтры. Свойства аналоговых фильтров могут быть описаны передаточной функцией, которая равна отношению изображений по Лапласу выходного и входного сигналов фильтра.

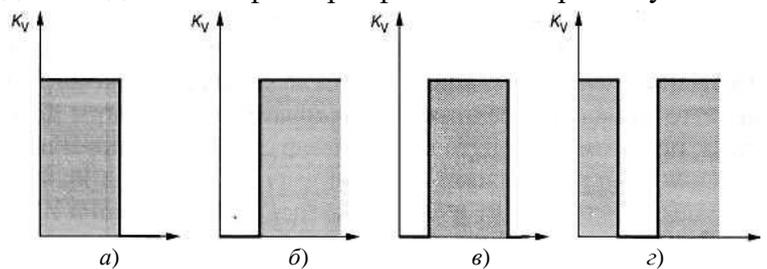


Рис. 2.7. АЧХ идеальных частотных фильтров: а — фильтр нижних частот (ФНЧ); б — фильтр верхних частот (ФВЧ); в — полосовой фильтр (ПФ); г — полосно-подавляющий фильтр (ППФ)

2.5.1. Фильтры нижних частот

Схема простейшего фильтра нижних частот (см. рис. 2.1) уже анализировалась.

Передаточная функция этого фильтра определяется выражением $W(s)=1/(1+sRC)$. Заменяв s на $j\omega$, получим частотную характеристику фильтра. Для реализации общего подхода целесообразно нормировать комплексную переменную s . Положим $S=s/\omega_{cp}$, где $\omega_{cp}=1/(RC)$ — круговая частота среза фильтра. Тогда $W(S)=1/(1+S)$. В частотной области этому соответствует $W(j\omega)=1/(1+j\omega/\omega_{cp})$ или

$$A(\Omega) = |W(\Omega)| = 1/\sqrt{1+\Omega^2}, \varphi(\Omega) = \arctg \Omega, \quad (2.27)$$

где $\Omega=\omega/\omega_{cp}$ — относительная частота. На рис. 2.8 приведены ЛАЧХ и ЛФЧХ фильтра нижних частот. На частоте среза амплитуда сигнала уменьшается в $\sqrt{2}$ раз (на 3 дБ) по сравнению с низкочастотным значением $\Omega \ll 1$, когда частота входного сигнала $\omega \ll \omega_{cp}$, при этом фазовый сдвиг со-

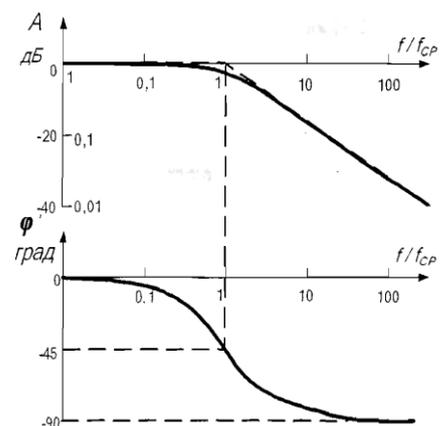


Рис. 2.8. ЛАЧХ и ЛФЧХ ФНЧ

ставляет -45° . При $\Omega \gg 1$, т. е. для случая, когда частота входного сигнала $\omega \gg \omega_{cp}$, $|W(\Omega)| = 1/\Omega$. Это соответствует снижению коэффициента передачи фильтра с ростом частоты на 20 дБ/дек.

При подаче на вход положительных и отрицательных скачков напряжения выходные напряжения будут асимптотически приближаться к $U_{вых} = U_1$ и $U_{вых} = 0$ соответственно (рис. 2.9):

$$U_{вых}(t) = U_1(1 - e^{-t/RC}); \quad U_{вых}(t) = U_1 e^{-t/RC}.$$

Если в качестве входного сигнала приложено напряжение прямоугольной формы с периодом T , то экспоненциальная функция прерывается через каждую половину периода. Какое значение при этом будет достигнуто, зависит от соотношения $T/2$ и $\tau = RC$ (рис. 2.10).

Кривые на рисунке показывают, что при увеличении постоянной времени τ наклон переходных участков увеличивается. Если постоянная времени становится достаточно большой, то на выходное напряжение цепи становится равным среднему значению входного и ФНЧ будет работать как детектор среднего значения.

Если необходимо получить более быстрое уменьшение коэффициента передачи, можно включить n фильтров нижних частот последовательно. Передаточная функция такой системы имеет вид:

$$W(s) = \frac{1}{(1 + s/\omega_{cp,1})(1 + s/\omega_{cp,2}) \dots (1 + s/\omega_{cp,n})}. \quad (2.28)$$

Соединив последовательно фильтры с одинаковой частотой среза, получим при $\Omega \gg 1$ $|W(\Omega)| \sim 1/\Omega^n$, т. е. порядок фильтра определяет крутизну спада его АЧХ за полосой пропускания: чем выше порядок — тем круче спад.

Передаточная функция фильтра нижних частот в общем виде может быть записана как

$$W(S) = \frac{k_0}{1 + c_1 S + c_2 S^2 + \dots + c_n S^n}, \quad (2.29)$$

где k_0 — коэффициент передачи фильтра на нулевой частоте; c_1, c_2, \dots, c_n — положительные действительные коэффициенты. Порядок фильтра определяется максимальной степенью переменной S . Для реализации фильтра необходимо разложить полином знаменателя на множители. Если среди нулей полинома есть комплексные, то представление полинома (2.29) не может быть использовано. В этом случае следует записать его в виде произведения квадратных трехчленов:

$$W(S) = \frac{k_0}{\prod_i (1 + a_i S + b_i S^2)}, \quad (2.30)$$

где a_i и b_i — положительные действительные коэффициенты. Отсюда вывод: любой полиномиальный фильтр (т. е. такой, что его передаточная функция представляет собой отношение полиномов) может быть образован соединением фильтров 2-го порядка.

Для полиномов нечетных порядков коэффициент b_i равен нулю. Реализация комплексных нулей полинома в выражении (2.30) на пассивных RC -цепях невозможна. Применение же катушек индуктивности в низкочастотной области нежелательно из-за больших габаритов и сложности их изготовления, а также из-за появления паразитных индуктивных связей. Схемы с операционными усилителями позволяют обеспечить комплексные нули в вышеприведенном полиноме без применения катушек индуктивности. Такие схемы называют *активными фильтрами*. Широкое применение нашли фильтры Бесселя, Баттерворта, Чебышева и

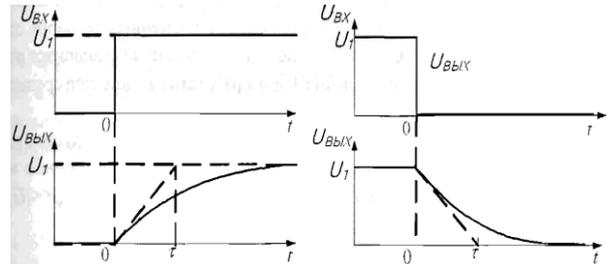


Рис. 2.9. Реакция ФНЧ на скачок напряжения; $\tau = RC$

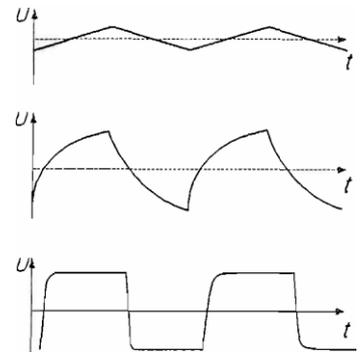


Рис. 2.10. Импульсный режим работы ФНЧ при различных соотношениях частоты и постоянной времени: верхняя кривая: $f \geq 10f_{cp}$ ($T \leq 0,1\tau$); средняя кривая: $f \approx f_{cp}$ ($T \approx \tau$); нижняя кривая: $f \leq 0,1f_{cp}$ ($T \geq 10\tau$)

эллиптические (Кауэра), названные так по виду полиномов передаточных функций, в разной степени аппроксимирующих ЛАЧХ идеальных фильтров и отличающиеся друг от друга крутизной наклона амплитудно-частотной характеристики в начале полосы задерживания и степенью колебательности переходного процесса при ступенчатом входном воздействии. ЛАЧХ фильтров четвертого порядка всех вышеперечисленных типов приведены на рис. 2.11.

Рассмотрим различные способы задания характеристик ФНЧ.

Амплитудно-частотная характеристика *фильтра Баттерворта* имеет наиболее длинный горизонтальный участок и резко спадает за частотой среза. Переходная характеристика такого фильтра при ступенчатом входном сигнале имеет колебательный характер. С увеличением порядка фильтра колебания усиливаются. АЧХ фильтра Баттерворта n -го порядка определяется следующим образом:

$$|W(j\omega)| = \frac{1}{\sqrt{1 + (\omega/\omega_{cp})^{2n}}}. \quad (2.31)$$

Фильтр с такой АЧХ физически нереализуем, поэтому приходится приближать ее полиномами.

Амплитудно-частотная характеристика *фильтра Чебышева* спадает более круто за частотой среза. В полосе пропускания она, однако, не монотонна, а имеет волнообразный характер с постоянной амплитудой, которая характеризуется неравномерностью q_n . При заданном порядке фильтра более резкому спаду амплитудно-частотной характеристики за частотой среза соответствует большая неравномерность в полосе пропускания. Колебания переходного процесса при ступенчатом входном воздействии сильнее, чем у фильтра Баттерворта. АЧХ фильтра Чебышева имеет вид

$$|W(j\omega)| = \frac{k}{\sqrt{1 + \varepsilon^2 C_n^2(\omega/\omega_{cp})}}, \quad (2.32)$$

где $n=1, 2, 3, \dots$. Параметры ε и k — постоянные числа, а C_n является полиномом Чебышева первого рода степени n , $C_n(x) = \cos(n \arccos x)$, при $x < 1$.

Эллиптический фильтр, называемый также фильтром Кауэра, характеризуется определенной неравномерностью АЧХ как в полосе пропускания, так и в полосе заграждения. Минимумы АЧХ в полосе пропускания обозначены — q_n а максимумы в полосе заграждения — q_z . Спад АЧХ этого фильтра за полосой пропускания

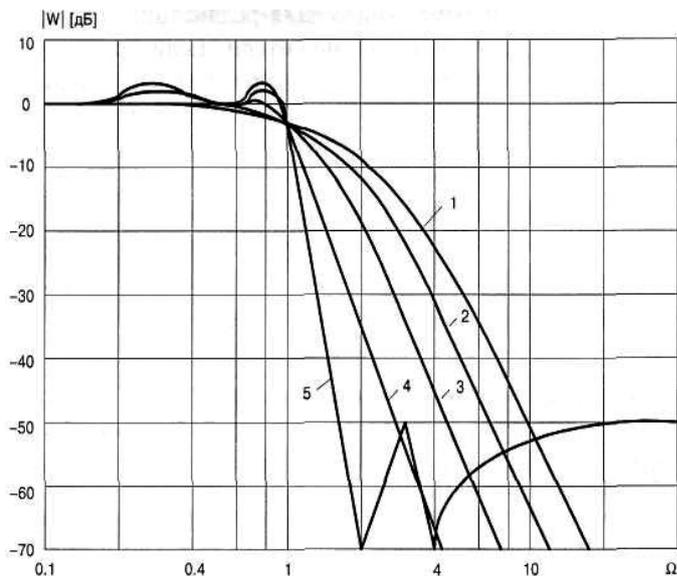


Рис. 2.11. ЛАЧХ фильтров четвертого порядка: 1 — фильтр с критическим затуханием; 2 — фильтр Бесселя; 3 — фильтр Баттерворта; 4 — фильтр Чебышева с неравномерностью 3 дБ; 5 — эллиптический фильтр с неравномерностью в полосе пропускания 2 дБ и максимумами всплесков в полосе заграждения — 50 дБ

Таблица 2.2
Коэффициенты полинома передаточной функции для фильтров 2, 4 и 6 порядка

Вид фильтра		Порядок фильтра					
		2		4		6	
		Номер звена					
	1	1	2	1	2	3	
Баттерворта	a	1.4142	1.8478	0.7654	1.9319	1.4142	0.5176
	b	1.0000	1.0000	1.0000	1.0000	1.0000	1.0000
Чебышева, $q_n=0,5$ дБ	a	1.3614	2.6282	0.3648	3.8645	0.7528	0.1589
	b	1.3827	3.4341	1.1509	6.9797	1.8573	1.0711
Чебышева, $q_n=3$ дБ	a	1.0650	2.1853	0.1964	3.2721	0.4077	0.0815
	b	1.9305	5.5339	1.2009	11.677	1.9873	1.0861
Бесселя	a	1.3617	1.3397	0.7743	1.2217	0.9686	0.5131
	b	0.6180	0.4889	0.3890	0.3887	0.3505	0.2756
Эллиптический, $q_n=0,5$ дБ, $q_z=-40$ дБ	a	0.9631	1.8539	0.1590	2.1178	0.2196	0.0320
	b	1.2058	3.3434	1.0473	4.3196	1.2888	1.0096
	c	0.0152	0.4503	0.0979	0.6371	0.1309	0.8485

наиболее крутой по сравнению с фильтрами других типов. Передаточная функция эллиптического фильтра нижних частот имеет нули в числителе:

$$W(S) = \prod_i \frac{1 + c_i S^2}{1 + a_i S + b_i S^2}. \quad (2.33)$$

Фильтр Бесселя обладает оптимальной переходной характеристикой (минимальное время переходного процесса по сравнению с другими типами линейных фильтров). Причиной этого является пропорциональность фазового сдвига выходного сигнала фильтра частоте входного сигнала. Благодаря этому фильтр Бесселя воспроизводит сигналы, частотный спектр которых лежит в полосе пропускания фильтра, с наименьшими искажениями. Однако при равном порядке спад амплитудно-частотной характеристики фильтра Бесселя за полосой пропускания оказывается более пологим по сравнению с фильтрами Чебышева, Кауэра и Баттерворта. Передаточная функция фильтра Бесселя структурно имеет вид (2.23).

Тот или иной вид фильтра при заданном его порядке определяется коэффициентами полинома передаточной функции (2.33) фильтра. В табл. 2.2 даны эти коэффициенты для некоторых фильтров 2-го, 4-го и 6-го порядка.

2.5.2. Фильтры верхних частот

Фильтр верхних частот (ФВЧ) — это схема, которая передает без изменений сигналы высоких частот, а на низких обеспечивает затухание сигналов и опережение их по фазе относительно входных сигналов. Схема простого RC-фильтра верхних частот приведена на рис. 2.12.

На рис. 2.13 приведены ЛАЧХ и ЛФЧХ фильтра верхних частот:

$$A(\Omega) = |W(\Omega)| = 1/\sqrt{1+1/\Omega^2}, \quad \varphi(\Omega) = \arctg(1/\Omega).$$

Реакция цепи на импульс напряжения описывается формулой:

$$U_{\text{вых}}(t) = U_{\text{вх.0}} e^{-t/RC}. \quad (2.34)$$

Для определения начального значения $U_{\text{вых.0}} = U_{\text{вых}}(0)$ используем дополнительное соображение: в момент, когда входное напряжение изменяется скачкообразно, заряд конденсатора остается неизменным. Он действует как источник напряжения $U=Q/C$. Выходное напряжение повторяет скачок ΔU входного напряжения (рис. 2.14, а) от нуля до U_1 , а затем убывает по экспоненте, согласно равенству (2.34), снова до нуля. Если входное напряжение скачком изменяется от U_1 до нуля, то $U_{\text{вых}}$ скачком уменьшается от нуля до $-U_1$ (рис. 2.14, б).

При этом важно заметить, что выходное напряжение имеет отрицательные значения, хотя входное напряжение всегда положительно. Это обстоятельство часто используется в схемотехнике.

Фильтр верхних частот как дифференцирующее звено. Если приложено входное напряжение с частотой $f \ll f_{\text{ср}}$, то $|U_{\text{вых}}| \ll |U_{\text{вх}}|$. Тогда

$$U_{\text{вых}} = RC \frac{dU_{\text{вх}}}{dt}. \quad (2.35)$$

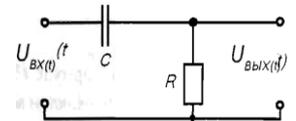


Рис. 2.12. Простой фильтр верхних частот

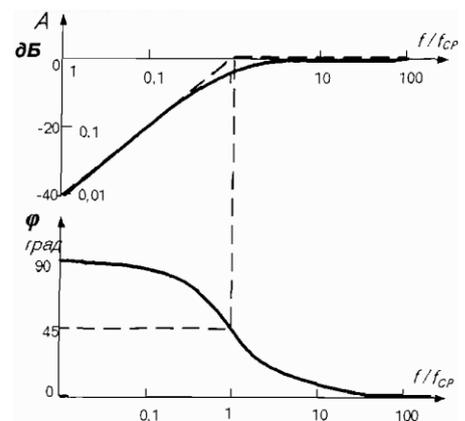


Рис. 2.13. ЛАЧХ и ЛФЧХ ФВЧ

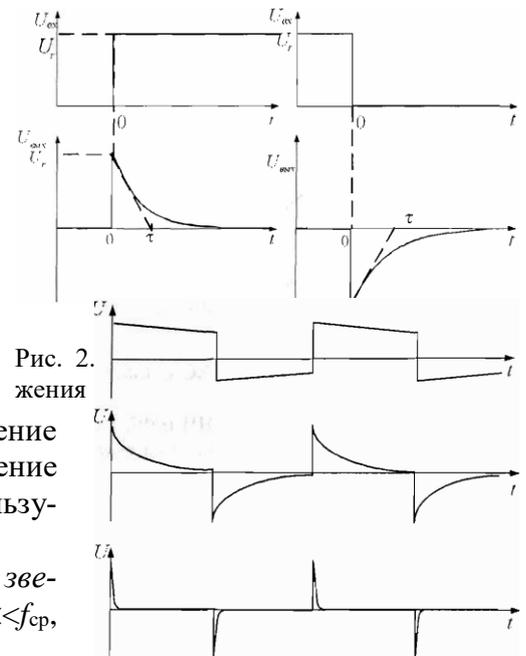


Рис. 2.15. Импульсный режим работы ФВЧ при различных соотношениях частоты и постоянной времени: верхняя кривая: $f \geq 10f_{\text{ср}}$ ($T \leq 0,1\tau$); средняя кривая: $f \approx f_{\text{ср}}$ ($T \approx \tau$); нижняя кривая: $f \leq 0,1f_{\text{ср}}$ ($T \geq 10\tau$)

Таким образом, низкочастотное входное напряжение дифференцируются. Вид переходных характеристик ФВЧ показан на рис. 2.15.

Фильтр верхних частот как элемент RC-связи. Если на входе фильтра верхних частот приложено напряжение прямоугольной формы с периодом $T \ll RC$, то конденсатор в течение половины периода почти полностью перезаряжается и выходное напряжение будет равно входному с точностью до постоянной величины.

Поскольку через конденсатор не может протекать постоянный ток, среднее значение выходного напряжения равно нулю. Следовательно, постоянная составляющая входного напряжения не передается. На этом основано применение фильтра верхних частот в качестве элемента RC-связи.

Используя логарифмическое представление, можно перейти от нижних частот к верхним, зеркально отобразив амплитудно-частотную характеристику коэффициента передачи относительно частоты среза, т. е. заменив Ω на $1/\Omega$ или S на $1/S$. При этом частота среза остается без изменения, а k_0 переходит в k_∞ . Из выражения (2.30) при этом получим передаточную функцию фильтра верхних частот:

$$W(S) = \frac{k_\infty}{\prod_i (1 + a_i/S + b_i/S^2)} \quad (2.36)$$

2.5.3. Полосовые фильтры

Путем последовательного соединения ФНЧ и ФВЧ получают полосовой фильтр, который также называют полосно-пропускающим фильтром (ППФ). Функциональная схема фильтра представлена на рис. 2.16.

Его выходное напряжение равно нулю на высоких и низких частотах. Одна из возможных схем представлена на рис. 2.17.

Путем замены переменных можно преобразовать амплитудно-частотную характеристику фильтра нижних частот в амплитудно-частотную характеристику полосового фильтра. Для этого в передаточной функции фильтра нижних частот необходимо произвести следующую замену переменных:

$$S \rightarrow \frac{1}{\Delta\Omega} \left(S + \frac{1}{S} \right) \quad (2.37)$$

В результате такого преобразования АЧХ фильтра нижних частот, лежащая в диапазоне $0 < \Omega < 1$, переходит в правую часть полосы пропускания полосового фильтра ($1 < \Omega < \Omega_{\text{макс}}$). Левая часть полосы пропускания является зеркальным отражением (в логарифмическом масштабе) правой части относительно средней частоты полосового фильтра $\Omega=1$. При этом $\Omega_{\text{мин}}=1/\Omega_{\text{макс}}$. Рис. 2.18 иллюстрирует такое преобразование.

Нормированная ширина полосы пропускания фильтра $\Delta\Omega = \Omega_{\text{макс}} - \Omega_{\text{мин}}$ может выбираться произвольно. Из рис. 2.18 следует, что полосовой фильтр на частотах $\Omega_{\text{макс}}$ и $\Omega_{\text{мин}}$ обладает таким же коэффициентом передачи, что и ФНЧ при $\Omega=1$. Если параметры ФНЧ нормированы относительно частоты среза, на которой его коэффициент передачи уменьшается на 3 дБ, то значение $\Delta\Omega$ также будет нормированной шириной полосы пропускания. Учитывая, что $\Delta\Omega = \Omega_{\text{макс}} - \Omega_{\text{мин}}$ и $\Omega_{\text{макс}}\Omega_{\text{мин}}=1$, получим выражение для вычисления нормированных частот среза полосового фильтра, на которых его коэффициент передачи уменьшается на 3 дБ:

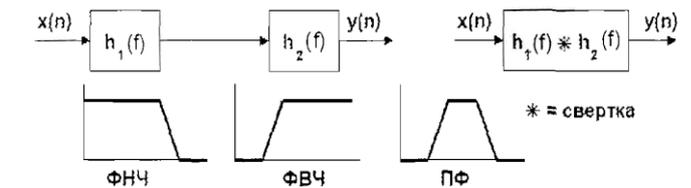


Рис. 2.16. Функциональная схема ППФ

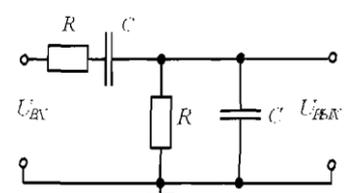


Рис. 2.17. Пассивный ППФ

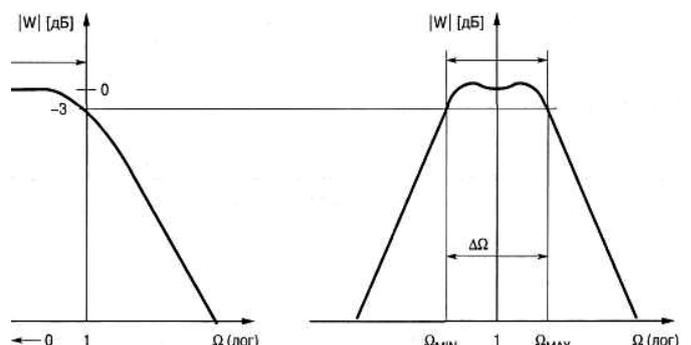


Рис. 2.18. Преобразование нижних частот в полосу частот

$$\Omega_{\text{мин/макс}} = \frac{1}{2} \sqrt{(\Delta\Omega)^2 + 4} \pm \frac{1}{2} \Delta\Omega. \quad (2.38)$$

Избирательный (селективный) фильтр предназначен для выделения из сложного сигнала монохромной составляющей и, по сути, является *узкополосным полосовым* фильтром. Фильтры этого типа имеют АЧХ, подобные амплитудно-частотным характеристикам колебательных LC-контуров. Характерным для этих фильтров является пик АЧХ в области резонансной частоты f_p . Характеристикой избирательности фильтра является добротность Q , определяемая как отношение резонансной частоты к полосе пропускания, т. е.

$$Q = \frac{f_p}{f_{\text{макс}} - f_{\text{мин}}} = \frac{1}{\Omega_{\text{макс}} - \Omega_{\text{мин}}} = \frac{1}{\Delta\Omega}. \quad (2.39)$$

Передаточную функцию простейшего полосового фильтра можно получить, применив преобразование (2.37) к передаточной функции ФНЧ первого порядка. В результате получим:

$$W(S) = \frac{k_0}{1 + \frac{1}{\Delta\Omega} \left(S + \frac{1}{S} \right)} = \frac{k_0 \Delta\Omega S}{1 + \Delta\Omega S + S^2}. \quad (2.40)$$

Подставив выражение для добротности (2.39) в соотношение (2.40) и изменив обозначение k_0 на k_∞ , получим передаточную функцию полосового фильтра:

$$W(S) = \frac{(k_p / Q) S}{1 + S/Q + S^2}. \quad (2.41)$$

Это выражение дает возможность определить основные параметры полосового фильтра второго порядка непосредственно из его передаточной функции.

2.5.4. Полосно-подавляющие фильтры

Передаточную функцию полосно-подавляющего фильтра можно получить из передаточной функции ФНЧ с помощью преобразования в частотной области заменой:

$$S \rightarrow \frac{\Delta\Omega}{S + \frac{1}{S}}. \quad (2.42)$$

Здесь $\Delta\Omega = 1/Q$, как и ранее, нормированная полоса частот. В результате такого преобразования АЧХ фильтра нижних частот из области $0 < \Omega < 1$ переходит в область пропускаемых частот $0 < \Omega < \Delta\Omega/2$ полосно-подавляющего фильтра. Кроме того, она зеркально отображается в логарифмическом масштабе относительно резонансной частоты. Для резонансной частоты $\Omega = 1$ значение передаточной функции равно нулю. Как и в случае полосовых фильтров, при преобразовании порядок фильтра удваивается.

Применив преобразование (2.42) к передаточной функции ФНЧ первого порядка, получим:

$$W(S) = \frac{k_p (1 + S^2)}{1 + \Delta\Omega S + S^2} = \frac{k_p (1 + S^2)}{1 + S/Q + S^2}. \quad (2.43)$$

Подставив вместо S в (2.43) $\omega/\omega_{\text{ср}}$, получим частотную характеристику полосно-подавляющего фильтра.

Для выборочного подавления составляющих определенных частот необходим фильтр, коэффициент передачи которого на резонансной частоте равен нулю, а для нижних и верхних частот имеет постоянное значение. Такой фильтр называют *заграждающим* или *режекторным*. Оценка избирательности характеризуется добротностью подавления сигнала $Q = 1/\Delta\Omega$, где $\Delta\Omega$ — полоса частот, на краях которой коэффициент передачи падает на 3 дБ. Чем больше добротность фильтра, тем быстрее возрастает коэффициент передачи при удалении от резонансной частоты.

3. АНАЛОГОВАЯ ОБРАБОТКА СИГНАЛОВ

3.1. Операционные усилители. Основные свойства

Операционный усилитель (ОУ) — это высококачественный усилитель, выполненный в виде интегральной схемы, предназначенный для усиления как постоянных, так и переменных сигналов.

Условное графическое обозначение операционного усилителя приведено на рис. 3.1. Разумеется, есть еще выводы питания ($\pm E_{\text{п}}$) и выводы балансировки (коррекции нуля — NC) и частотной коррекции — FC , хотя последнее встречается все реже — у большинства современных ОУ она встроена. Два входа ОУ — инвертирующий ($-$) и неинвертирующий ($+$) названы так по присущим им свойствам. При подаче сигнала на инвертирующий вход ($U_{\text{вх.1}}$) на выходе получается инвертированный сигнал, то есть сдвинутый по фазе на 180° — зеркальный; при подаче же сигнал на неинвертирующий вход ($U_{\text{вх.2}}$) на выходе получается фазово не измененный сигнал. В области низких частот выходное напряжение $U_{\text{вых}}$ находится в той же фазе, что и разность входных напряжений, именуемая дифференциальным входным сигналом: $U_{\text{д}} = U_{\text{неинв}} - U_{\text{инв}}$.

Подключение ОУ к источникам питания и источникам входных сигналов показано на рис. 3.2. Как правило, стандартные ОУ работают с напряжениями питания ± 3 — ± 18 В.

Схема замещения ОУ приведена на рис. 3.3.

Для усилителя напряжения передаточная функция (коэффициент усиления) определяется выражением

$$K_U = U_{\text{вых}} / U_{\text{вх.}}$$

Выпускаемые операционные усилители можно разделить на несколько групп по совокупности их параметров.

1. Универсальные или общего применения ($K_U = 10^3$ — 10^5 , $f_{\text{пр}} = 1$ — 10 МГц, $U_{\text{см}} > 0,5$ мВ) используются для построения узлов аппаратуры, имеющих суммарную приведенную погрешность на уровне 1 %. Характеризуются относительно малой стоимостью и средним уровнем параметров.

2. Прецизионные или инструментальные ($K_U = 10^5$ — 10^6 , $U_{\text{см}} < 0,5$ мВ) применяются для усиления малых электрических сигналов, сопровождаемых высоким уровнем помех, и характеризуются малым значением напряжения смещения и его температурным дрейфом, большими коэффициентами усиления и подавления синфазного сигнала, большим входным сопротивлением и низким уровнем шумов. Как правило, имеют невысокое быстродействие.

3. Быстродействующие или широкополосные ($V_{U_{\text{вых. макс}}} > 20$ В/мкс, $f_{\text{пр}} > 16$ МГц) используются для преобразования быстроизменяющихся сигналов. Они характеризуются высокой скоростью нарастания выходного сигнала, малым временем установления, высокой предельной частотой, а по остальным параметрам уступают ОУ общего назначения.

4. Микромощные ОУ ($I_{\text{потр}} < 1$ мА) необходимы в случаях, когда потребляемая мощность жестко лимитирована, например, в приборах с автономным питанием.

5. ОУ с малым входным током ($I_{\text{вх}} < 100$ пА) используют входной каскад на полевых транзисторах.

6. Многоканальные ОУ отличаются тем, что в одном корпусе размещены два или четыре ОУ, и служат для улучшения массогабаритных параметров и снижения энергопотребления аппаратуры.

7. Мощные и высоковольтные ОУ ($I_{\text{вых}} > 100$ мА, $U_{\text{вых}} > 15$ В) — усилители с выходными каскадами, построенными на мощных высоковольтных элементах.

8. ОУ с гальванической развязкой.

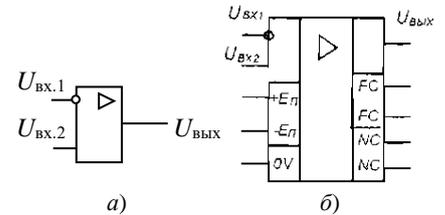


Рис. 3.1. Условное графическое обозначение операционного усилителя без дополнительного поля (а) и с дополнительными полями (б)

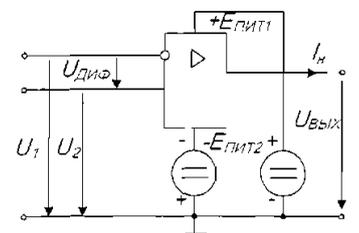


Рис. 3.2. Подключение ОУ к внешним цепям

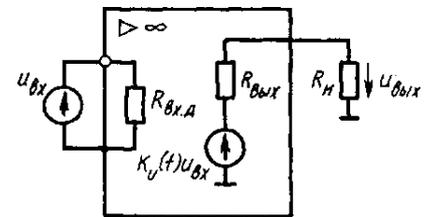


Рис. 3.3. Схема замещения ОУ

3.2. Параметры и характеристики ОУ

Передаточные характеристики ОУ. Передаточные (амплитудные) характеристики ОУ представляют собой две кривые, соответствующие инвертирующему (а) и неинвертирующему (б) входам (рис. 3.4).

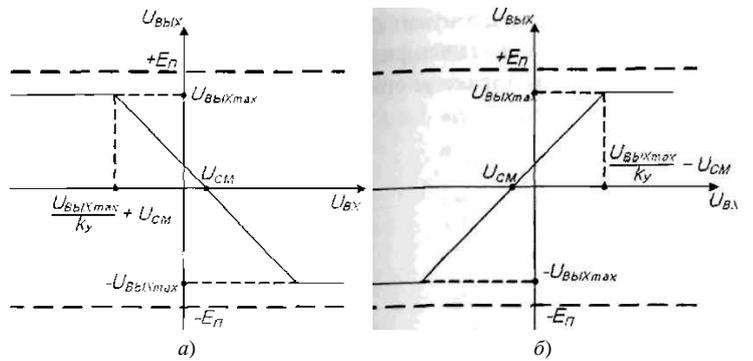


Рис. 3.4. Передаточные характеристики ОУ

Режимам насыщения выходного каскада ОУ соответствуют горизонтальные участки характеристик $U_{\text{вых}}^+$ макс и $U_{\text{вых}}^-$ макс, близкие к напряжению источников питания. Наклонный участок кривых соответствует зависимости $U_{\text{вых}} = K_U U_{\text{вх}}$, угол наклона соответствует коэффициенту усиления по напряжению K_U . Этот участок называют областью усиления. Обычно величина K_U лежит в пределах 10^4 — 10^6 . К примеру, для ОУ типа К140УД7 (аналог LM741) она не менее 45000.

В идеальном ОУ при нулевом входном сигнале сигнал на выходе отсутствует (баланс ОУ). В реальных усилителях наблюдается разбаланс ОУ. Значение напряжения $U_{\text{д}}$, при котором выполняется условие $U_{\text{вых}} = 0$, называют напряжением смещения $U_{\text{см}}$. Для операционного усилителя К140УД7 напряжение смещения лежит в диапазоне от $\pm 4,5$ мВ. Для усилителей с большим коэффициентом усиления это может быть серьезной проблемой: если результирующий коэффициент усиления равен 1000, то один милливольт входного смещения проявится как один вольт напряжения на выходе.

Когда усилитель предназначен для работы только с переменными сигналами, на выходе используется разделительный конденсатор, который отсекает любое смещение по постоянному току, и все будет в порядке до тех пор, пока смещение не уведет точку покоя так далеко, что выходные колебания будут ограничиваться.

Чтобы при нулевом усиливаемом сигнале напряжение на выходе было равным нулю, т. е. для того, чтобы передаточная характеристика проходила через начало координат, предусматривают меры по компенсации напряжения смещения (балансу нуля).

Частотные характеристики ОУ. Из-за наличия паразитных емкостей и многокаскадной структуры ОУ по своим свойствам аналогичен фильтру нижних частот высокого порядка. Типичные частотные характеристики ОУ без частотной коррекции приведены на рис. 3.5 в виде штриховых линий.

Выше частоты f_1 частотная характеристика определяется инерционным звеном с минимальной граничной частотой. Коэффициент усиления в этой области падает (наклон -20 дБ/дек), а фазовый сдвиг выходного напряжения относительно входного достигает $\varphi = -90^\circ$. Это означает, что выходное напряжение отстает от входного на 90° . Выше частоты f_2 начинает действовать второй фильтр нижних частот, коэффициент усиления уменьшается сильнее (наклон -40 дБ/дек), а фазовый сдвиг достигает $\varphi = -180^\circ$. Это означает, что инвертирующий и неинвертирующий выходы фактически поменялись ролями, и отрицательная обратная связь, которая обычно используется в усилителях в этой частотной области, становится положительной. В этом случае могут возникнуть условия баланса амплитуд и баланса фаз, и в схеме возникнут автоколебания.

Для устранения этого явления используют частотную коррекцию. Она осуществляется подключением внешних цепей к входам FC или выполняется конструктивно встроенной в схему

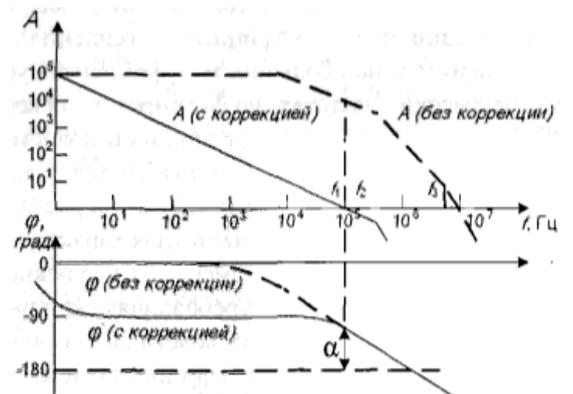


Рис. 3.5. АЧХ и ФЧХ ОУ с полной частотной коррекцией и без нее

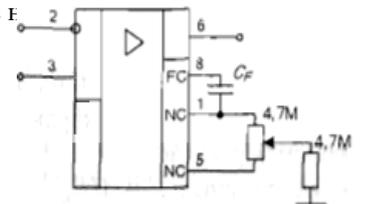


Рис. 3.6. Подключение конденсатора коррекции и резистора балансировки к ОУ LM748

ОУ. АЧХ и ФЧХ ОУ, скорректированного по частоте, представлены на рис. 3.5 сплошными линиями. Очевидно, что для самого неблагоприятного случая не возникает условий возникновения автоколебаний. Схема подключения внешней коррекции для усилителя LM748 приведена рис. 3.6.

Можно отметить, что из-за наличия частотной коррекции полоса пропускания разомкнутого ОУ сужается. Однако так как ОУ используют в усилительных схемах с отрицательной обратной связью (ООС), то введение ООС расширяет частотный диапазон (рис. 3.7).

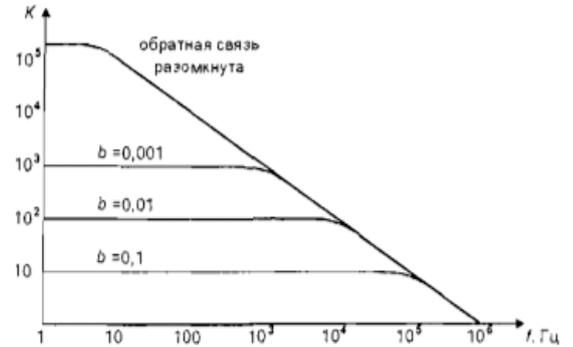


Рис. 3.7. Частотные характеристики ОУ К140УД7 при различных значениях коэффициента усиления с обратной связью

Основные параметры ОУ можно разделить на две группы: статические и динамические. К *статическим* относят параметры, характеризующие работу ОУ в установившемся режиме:

коэффициент усиления по напряжению $K'_U = \Delta U_{\text{вых}} / \Delta U_{\text{вх}}$;

напряжение смещения $U_{\text{см}}$ — напряжение, которое нужно приложить к входу ОУ, чтобы сделать $U_{\text{вых}} = 0$;

входные токи $I_{\text{вх}}^+$ и $I_{\text{вх}}^-$ — токи, протекающие через входные цепи ОУ;

разность входных токов $\Delta I_{\text{вх}} = I_{\text{вх}}^+ - I_{\text{вх}}^-$;

температурный коэффициент напряжения смещения $\Delta U_{\text{см}} / \Delta T$;

температурный коэффициент разности входных токов $\Delta I_{\text{вх}} / \Delta T$;

коэффициент ослабления синфазного сигнала $K_{\text{ОСС}}$ — отношение коэффициента усиления дифференциального сигнала к коэффициенту усиления синфазного сигнала $K_{\text{ОСС}} = K_{\text{д}} / K_{\text{сф}}$;

максимальный выходной ток $I_{\text{вых. макс}}$.

Часто в числе основных параметров ОУ используют входное и выходное сопротивления $R_{\text{вх}}$ и $R_{\text{вых}}$.

Динамические свойства ОУ описывают двумя параметрами: предельной частотой $f_{\text{пр}}$ (частотой единичного усиления f_1) и максимальной скоростью нарастания выходного напряжения $V_{U_{\text{вых. макс}}}$. Эти параметры взаимосвязаны и во многом зависят от цепей частотной коррекции.

У большинства современных ОУ общего назначения скорость нарастания сигнала от 10 В/мкс и выше. У быстродействующих ОУ этот параметр может достигать значения 1000 В/мкс.

Идеальный операционный усилитель характеризуется следующими параметрами, не зависящими от температуры и изменений напряжения питания:

коэффициент усиления по напряжению при разомкнутой петле обратной связи K'_U равен бесконечности;

коэффициент усиления синфазного входного сигнала равен нулю;

входное сопротивление (для дифференциального и синфазного входных сигналов) равно бесконечности, а входные токи — нулю;

выходное сопротивление (при разомкнутой ОС) равно нулю;

выходное напряжение может изменяться мгновенно (бесконечная скорость нарастания и бесконечная частота единичного усиления);

выходное напряжение равно нулю, когда напряжение на обоих входах одинаково (напряжение смещения равно нулю).

Последняя характеристика очень важна. Так как $U_{\text{вых}} / K'_U = U_{\text{вх}}$, то, если $U_{\text{вых}}$ имеет конечное значение, а коэффициент K'_U бесконечно велик, будем иметь $U_{\text{д}} = 0$ и $U_{\text{вх.1}} = U_{\text{вх.2}}$.

Поскольку входное сопротивление для дифференциального сигнала также очень велико, то можно пренебречь током через $R_{\text{вх.д}}$.

Эти два допущения существенно упрощают разработку схем на ОУ, поскольку допускают пользоваться следующими правилами.

Правило 1. При работе ОУ в линейной области на двух его входах действуют одинаковые напряжения.

Правило 2. Входные токи для обоих входов ОУ равны нулю.

В большинстве схем ОУ используется в конфигурации с замкнутой петлей ОС.

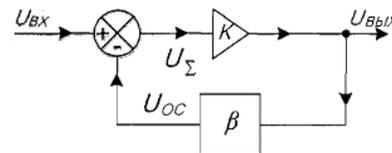


Рис. 3.8. Усилитель, охваченный обратной связью

3.3. Обратная связь в усилителях

Обратной связью в усилителях называют явление передачи сигнала из выходной цепи во входную. Электрические цепи, обеспечивающие эту передачу, носят название цепей обратной связи. Структурная схема усилителя, охваченного цепью отрицательной обратной связи (ООС), приведена на рис. 3.8. В нем выходной сигнал усилителя (в виде напряжения $U_{\text{вых}}$) через цепь обратной связи частично или полностью подается к схеме сравнения (суммирования). В ней происходит вычитание сигнала ОС $U_{\text{ос}}$ из входного сигнала $U_{\text{вх}}$. В результате этого на вход усилителя поступает сигнал, равный разности входного сигнала и сигнала обратной связи U_{Σ} .

Петлей обратной связи называют замкнутый контур, включающий в себя цепь ОС и часть усилителя между точками ее подключения. В качестве цепей ОС используют пассивные цепи, коэффициенты преобразования и частотные свойства которых существенно влияют на свойства усилителей.

Местной принято называть ОС, охватывающую отдельные каскады или части усилителя, а общей — такую ОС, которая охватывает весь усилитель.

Обратную связь называют отрицательной, если ее сигнал вычитается из входного сигнала, и положительной, если сигнал ОС суммируется с входным. При отрицательной ОС (ООС) коэффициент усиления усилителя уменьшается, а при положительной (ПОС) — увеличивается.

Из-за схемных особенностей усилителя и цепи ОС возможны варианты, когда ОС существует только для медленно изменяющейся составляющей выходного сигнала, либо только для его переменной составляющей, либо для всего выходного сигнала. В таких случаях говорят, что ОС реализована по постоянному, по переменному, а также по постоянному и переменному токам.

В зависимости от способа получения сигнала различают ОС по напряжению (рис. 3.9, а), когда снимаемый сигнал ОС пропорционален напряжению выходной цепи; ОС по току (рис. 3.9, б), когда снимаемый сигнал пропорционален току выходной цепи.

По способу введения сигнала обратной связи различают: последовательную схему введения ОС (рис. 3.10, а), когда напряжение сигнала ОС суммируется с входным напряжением; параллельную схему введения ОС (рис. 3.10, б), когда ток цепи ОС суммируется с током входного сигнала.

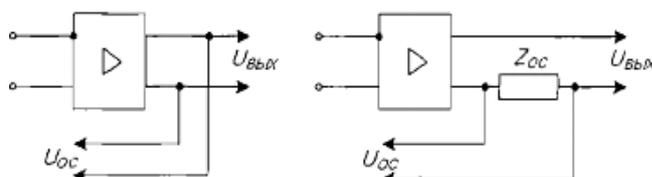


Рис. 3.9. Обратная связь по напряжению (а) и по току (б)

Для количественной оценки степени влияния обратной связи используют коэффициент обратной связи β , показывающий, какая часть выходного сигнала поступает на вход усилителя:

$$\beta_U = U_{\text{ос}} / U_{\text{вых}}, \quad \beta_I = I_{\text{ос}} / I_{\text{вых}},$$

а также коэффициент петлевого усиления $K'\beta$ и $(1 - K'\beta)$ — глубину обратной связи.

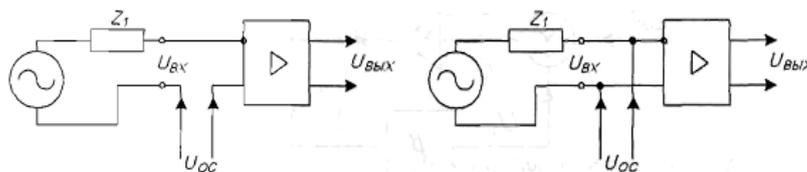


Рис. 3.10. Обратная связь последовательная (а) и параллельная (б)

3.4. Влияние ОС на параметры усилителей

Рассмотрим, как изменяются основные параметры усилителя, охваченного ООС.

Рассмотрим неинвертирующий усилитель, обладающий конечным коэффициентом усиления и охваченный петлей ООС (см. рис. 3.8).

Коэффициент усиления усилителя при разомкнутой цепи обратной связи равен K'_U , а благодаря обратной связи из входного напряжения вычитается часть выходного ($\beta U_{\text{вых}}$). На вход усилителя поступает напряжение, равное $U_{\text{вх}} - \beta U_{\text{вых}}$. Выходное напряжение больше входного в K'_U раз:

$$U_{\text{вых}} = K'_U (U_{\text{вх}} - \beta U_{\text{вых}}) \quad (3.1)$$

и коэффициент усиления по напряжению при замкнутой цепи ООС равен:

$$K_U = K'_U / (1 + \beta K'_U). \quad (3.2)$$

Обратная связь оказывает влияние практически на все основные характеристики усилителя. Введение ООС повышает стабильность основных характеристик усилителя. Если $\delta_K = \Delta K'_U / K'_U$ относительная нестабильность коэффициента усиления усилителя, где $\Delta K'_U$ — абсолютная нестабильность, то относительная нестабильность коэффициента усиления усилителя, охваченного ООС,

$$\delta_K = \Delta K_U / K_U = \delta_{K'} / (1 + \beta K'_U). \quad (3.3)$$

Следовательно, в результате воздействия ООС нестабильность коэффициента усиления уменьшается в $(1 + \beta K'_U)$ раз.

При $\beta K'_U \gg 1$ коэффициент усиления усилителя, охваченного глубокой ООС, равен

$$K_U \approx 1/\beta. \quad (3.4)$$

Таким образом, коэффициент усиления усилителя, охваченного ООС, определяется только обратной связью и не зависит от параметров самого усилителя.

Применение ООС обеспечивает повышение стабильности коэффициента усиления при изменении параметров элементов, при смене активных элементов, изменении напряжения питания и т. д., снижение нелинейности, которая определяется изменениями коэффициента усиления в зависимости от уровня сигнала и собственных помех, возникающих в той части усилителя, которая охвачена ООС.

Отрицательная обратная связь позволяет уменьшить все воздействия на усилитель, охваченный ООС, но не компенсирует воздействий на цепь обратной связи. Поэтому в качестве элементов цепи ООС рекомендуется использовать резистивные делители, выполненные на высокостабильных резисторах.

ООС оказывает влияние на входное и выходное сопротивление усилителя. Последовательная ООС увеличивает входное сопротивление, что является положительным фактором:

$$Z_{\text{вх. ООС}} = Z_{\text{вх}} (1 + \beta K'_U), \quad (3.5)$$

где $Z_{\text{вх. ООС}}$, $Z_{\text{вх}}$ — входное сопротивление усилителя соответственно с ООС и без ООС.

Параллельная ООС уменьшает входное сопротивление усилителя $Z_{\text{вх. ООС}}$ в $(1 + \beta K'_U)$ раз.

Введение ООС по напряжению уменьшает выходное сопротивление усилителя

$$Z_{\text{вых. ООС}} = Z_{\text{вых}} / (1 + \beta K'_U), \quad (3.6)$$

а ООС по току увеличивает $Z_{\text{вых}}$ на то же значение. Упомянутые схемы инвертирующего и неинвертирующего усилителя содержат ООС по напряжению.

3.5. Применение операционных усилителей

Все разработанные к настоящему времени аналоговые ИС можно разделить на два типа — базовые (операционные усилители, компараторы, стабилизаторы напряжения) и специализированные, предназначение для решения одной задачи.

На ранних этапах развития электроники «кирпичиками», из которых собирались схемы, являлись транзисторы, диоды, резисторы и другие дискретные элементы. Сейчас «кирпичиками» являются разнообразные ИС. По цене стоимость дискретных элементов и ИС практически сравнялись. Современный этап развития электроники характеризуется тем, что при проектировании электронных средств различного назначения используют не дискретные элементы, а законченные функциональные элементы, выполненные на интегральных схемах. Такой подход позволяет значительно повысить статические, динамические, эксплуатацион-

ные и надежностные показатели аппаратуры, существенно удешевить и сократить сроки ее проектирования. Разработка схем фактически сводится к разработке структуры, удовлетворяющей поставленным требованиям, выбору необходимых ИС и согласованию их входных и выходных характеристик.

Применительно к цифровым устройствам выбор ИС достаточно формализован и практически не представляет труда. В то же время выбор и применение аналоговых ИС достаточно специфичны и оставляют большой простор для творчества разработчика. Он должен знать схемотехнику и конструкцию ИС, свойства типовых схем и условия их применения, а также методы быстрой оценки основных характеристик разрабатываемого устройства.

Несмотря на различие элементной базы, функционального назначения и технологии изготовления, основой большинства аналоговых ИС является схемотехника дифференциального усилителя постоянного тока, на базе которой выполнены операционные усилители. Именно по этой причине операционные усилители являются наиболее массовым типом аналоговых ИС.

Рассмотрим несколько наиболее распространенных схем на ОУ.

3.5.1. Инвертирующий усилитель

Усилители на ОУ используют отрицательную обратную связь, поэтому есть несколько простых правил, которые определяют поведение такого усилителя. Следует воспользоваться тремя упрощающими предположениями о свойствах ОУ: коэффициент усиления ОУ без обратной связи и входное сопротивление бесконечно велики, выходное сопротивление равно нулю.

При анализе следует помнить, что большой коэффициент усиления по напряжению ОУ приводит к тому, что изменение напряжения между входами на несколько долей милливольт вызывает изменение выходного напряжения в пределах его полного диапазона. Из этого следует первое правило: ОУ усиливает разность напряжения между входами и за счет внешней схемы ООС передает напряжение с выхода на вход таким образом, что *разность напряжений между входами практически равна нулю*.

Входное сопротивление различных типов ОУ находится в пределах от мегаом до тысяч мегаом, входные токи — от долей наноампер до пикоампер. Это дает основание сформулировать второе правило: *входы операционного усилителя токов не потребляют*. Эти правила дают достаточную основу для анализа схем на ОУ.

Схема инвертирующего усилителя на ОУ приведена на рис. 3.11.

Анализируя эту схему с учетом сформулированных выше правил, можно показать, что при заземленном неинвертирующем входе ОУ напряжение на инвертирующем входе также равно нулю. Это означает, что падение напряжения на резисторе R_{OC} равно $U_{ВЫХ}$, а падение напряжения на резисторе R_1 равно $U_{ВХ}$. Если входные токи ОУ равны нулю, то $U_{ВЫХ}/R_{OC} = -U_{ВХ}/R_1$, коэффициент усиления по напряжению

$$K_U = U_{ВЫХ} / U_{ВХ} = -R_{OC} / R_1. \quad (3.7)$$

Знак «минус» показывает, что выходной сигнал инвертирован относительно входного (сдвинут на 180°).

Данная схема является усилителем постоянного тока, её АЧХ представлена на рис. 3.7.

В этой схеме реализована параллельная ООС по напряжению, поскольку сигнал ООС оказывается включенным не последовательно с входным сигналом, а подается параллельно с ним на один и тот же вход.

Как известно, параллельная ООС уменьшает входное сопротивление усилителя. В схеме потенциал точки соединения R_1 и R_{OC} всегда равен нулю и эту точку называют «виртуальный ноль» (мнимая земля). Следовательно, входное сопротивление схемы

$$R_{ВХ} = R_1. \quad (3.8)$$

Выходное сопротивление схемы мало и равно долям ома.

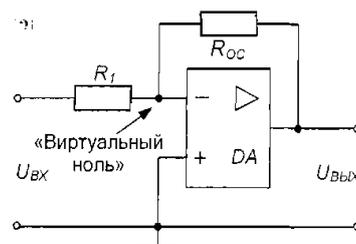


Рис. 3.11. Инвертирующий усилитель на ОУ

Таким образом, недостатком схемы является малое входное сопротивление, особенно для усилителей с большим коэффициентом усиления по напряжению, в которых резистор R_1 как правило, бывает небольшим.

Достоинством схемы является малое значение синфазного напряжения, практически равное нулю. Тот факт, что коэффициент усиления определяется всего лишь соотношением двух сопротивлений, делает применение инвертирующего усилителя очень гибким.

Практическое использование усилителей на ОУ имеет ряд особенностей. ОУ должен находиться в активном режиме, его входы и выходы не должны быть перегружены. Например, если подать на вход усилителя чересчур большой сигнал, то это приведет к тому, что выходной сигнал станет равным напряжению насыщения (обычно его величина меньше напряжения питания на 2 В).

В схеме ОУ обязательно должны быть предусмотрена цепь обратной связи по постоянному току, в противном случае ОУ обязательно попадет в режим насыщения.

Многие ОУ имеют довольно малое предельно допустимое дифференциальное входное напряжение. Максимальная разность напряжений между инвертирующим и неинвертирующим входами может быть ограничена величиной 5 В для любой полярности напряжения. Если пренебречь этим условием, то возникнут большие входные токи.

Из-за наличия входного напряжения смещения, при нулевом напряжении на входе напряжение на выходе $U_{\text{вых}} = K U_{\text{см}}$. Для усилителя, имеющего коэффициент усиления, равный 100 и входное напряжение смещения 2 мВ, выходное напряжение смещения может достигать значения $\pm 0,2$ В. Для решения этой проблемы нужно использовать цепи внешней коррекции нуля (используя ОУ с такими возможностями), выбирать ОУ с малым значением смещения. Если усиление постоянного тока не нужно, то можно использовать разделительные конденсаторы в последовательной цепи передачи входного и выходного сигналов.

Если в инвертирующем усилителе один из входов заземлен, то даже при условии идеальной настройки ($U_{\text{см}}=0$), на выходе усилителя будет присутствовать отличное от нуля выходное напряжение. Это связано с тем, что входной ток смещения $I_{\text{вх}}$ создает падение напряжения на резисторах, которое затем усиливается схемой усилителя. В этой схеме сопротивление со стороны инвертирующего входа определяется резисторами $R_1 \parallel R_{\text{ОС}}$, но ток смещения воспринимается как входной сигнал, подобный току, текущему через R_1 , а поэтому он порождает смещение выхода $U_{\text{см}} = I_{\text{см}} R_{\text{ОС}}$.

Для уменьшения ошибок, вызванных входным током смещения, используют включение дополнительного резистора между неинвертирующим входом и общим проводом (рис. 3.12). Величина этого резистора должна быть равна $R_2 = R_1 \parallel R_{\text{ОС}}$. Для приведенного примера $R_1 = 10$ кОм, $R_{\text{ОС}} = 100$ кОм, $R_2 = 9,1$ кОм.

С целью уменьшения токов смещения и их температурных дрейфов в практических схемах входные сопротивления имеют типичное значение от 1 до 100 кОм.

Резисторы обратной связи должны быть достаточно большими, чтобы существенно не нагружать выход, и вместе с тем не слишком большими, чтобы входной ток смещения не порождал ощутимые сдвиги напряжения. Кроме того, высокое сопротивление в цепи обратной связи повышает восприимчивость схемы к влиянию внешних наводок и увеличивает влияние паразитной емкости. Для ОУ общего назначения обычно выбирают резисторы цепей ООС с сопротивлением от 2 до 100 кОм. Из этого следует, что практическое значение максимального коэффициента усиления инвертирующего усилителя равно 100.

Инвертирующий усилитель с повышенным входным сопротивлением. Предыдущая схема имеет один недостаток — соотношение входного сопротивления и коэффициента усиления может не подойти для реализации какого-либо специфического проекта. Ведь что получается. Допустим, нам нужен усилитель с $K_U = 100$. Тогда, исходя из того, что значения резисторов должны быть в разумных пределах берем $R_2 = 1$ МОм, а $R_1 = 10$ кОм. То есть, входное сопротивление усилителя будет равным 10 кОм, что в некоторых случаях недостаточно.

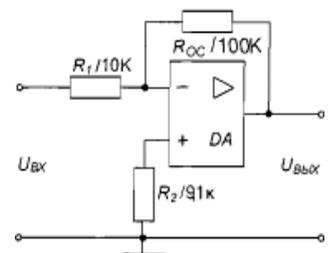


Рис. 3.12. Усилитель на ОУ с компенсационным резистором

В таких случаях можно применить схему рис. 3.13, для которой коэффициент усиления считается по формуле

$$K_U = -\frac{R_2}{R_1} \left(1 + \frac{R_3}{R_4} \right). \quad (3.9)$$

То есть, при том же коэффициенте усиления сопротивление R_1 можно увеличить, а значит, и повысить входное сопротивление усилителя.

Усилитель с изменяемым коэффициентом усиления (рис. 3.14). Введем некую переменную α , которая может принимать значения от 0 до 1 в зависимости от поворота движка переменного резистора R_2 . Тогда коэффициент усиления можно определить так:

$$K_U = \alpha - (1 - \alpha) \frac{R_{OC}}{R_1}. \quad (3.10)$$

Входное сопротивление практически не зависит от положения движка переменного резистора.

3.5.2. Неинвертирующий усилитель

Рассмотрим схему неинвертирующего усилителя (рис. 3.15).

Для анализа схемы воспользуемся тем, что разность напряжений между входами для ОУ, охваченного ООС, равно нулю. Тогда напряжение в точке A $U_A = U_{вх}$. Напряжение U_A снимается с делителя напряжения:

$$U_A = \frac{R_1}{R_1 + R_{OC}} U_{вых}.$$

Если $U_A = U_{вх}$, то

$$K_U = U_{вых} / U_{вх} = 1 + R_{OC} / R_1. \quad (3.11)$$

В схеме реализована последовательная ООС по напряжению, вследствие чего входное сопротивление схемы велико (для ОУ с биполярными транзисторами на входе оно превышает 100 МОм), а выходное — доли ом.

Главное достоинство схемы — высокое входное сопротивление, недостаток — на входе ОУ имеется синфазное напряжение, равное входному сигналу.

На рис. 3.16 представлен повторитель на основе ОУ. Он представляет собой неинвертирующий усилитель, в котором сопротивление резистора R_1 равно бесконечности (разрыв), а сопротивление резистора R_{OC} — нулю (замыкание), при этом коэффициент передачи схемы равен нулю.

Усилитель с единичным коэффициентом повторения называют иногда буфером, так как он обладает отличными свойствами для согласования схем с высокими выходными и низкими входными сопротивлениями.

Существуют специальные операционные усилители, предназначенные для использования только в качестве повторителей. Они обладают улучшенными характеристиками, в основном более высоким быстродействием.

Во многих случаях требуется, чтобы в усилителе происходило усиление только переменных сигналов, причем возможно наличие постоянной составляющей входного сигнала. Для этой цели применяют включение во входной цепи разделительного конденсатора (рис. 3.17).

Резистор $R_{вх}$ включен для того, чтобы не происходила зарядка конденсатора входным током ОУ и не появлялось дополнительное напряжение смещения на входе. Основной недостаток схемы состоит в том, что резистор $R_{вх}$ шунтирует собой вход схемы, а входное сопротивление схемы равно сопротивлению резистора $R_{вх}$, что гораздо меньше входного сопротивления ОУ. Величина $R_{вх}$ определяет напряжение смещения на выходе. Для устранения на выходе схемы постоянного напряжения необходимо по-

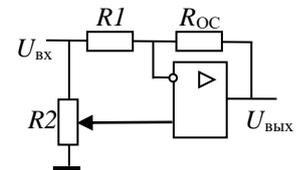


Рис. 3.14. Инвертирующий усилитель с изменяемым коэффициентом усиления

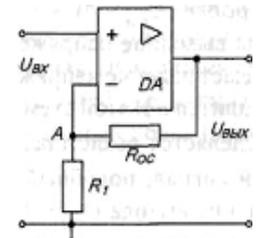


Рис. 3.15. Неинвертирующий усилитель на ОУ

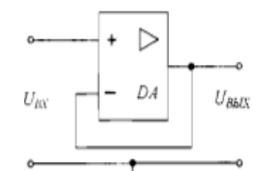


Рис. 3.16. Повторитель на ОУ

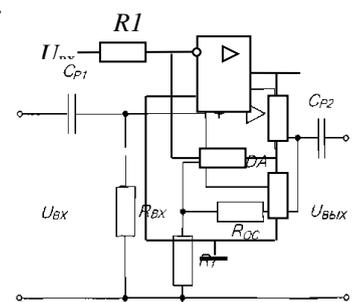


Рис. 3.17. Усилитель переменного тока на ОУ

ставить последовательно с выходом разделительный конденсатор.

3.5.3. Суммирующий усилитель

Сумматор на основе ОУ — инвертирующий усилитель с дополнительными входами (рис. 3.18). В этой схеме также используются свойства мнимой земли.

Составляя уравнение баланса токов и полагая, что входы ОУ ток не потребляют, имеем:

$$I_{OC} = I_1 + I_2.$$

Поскольку инвертирующий вход ОУ в этой схеме является мнимой землей, токи можно выразить через напряжения сигналов и сопротивления резисторов следующим образом:

$$-U_{\text{ВЫХ}} / R_{OC} = U_1 / R_1 + U_2 / R_2.$$

$$U_{\text{ВЫХ}} = - \left(\frac{R_{OC}}{R_1} U_1 + \frac{R_{OC}}{R_2} U_2 \right). \quad (3.12)$$

Сопротивления резисторов обычно лежат в пределах от 10 до 100 кОм, удобно их выбрать так, чтобы выполнялись равенства $R_1 = R_2 = R_{OC}$, в этом случае

$$U_{\text{ВЫХ}} = -(U_1 + U_2). \quad (3.13)$$

Заметим, что хотя выходной сигнал и равен по величине сумме входных сигналов, все же знак его обратный, это свойство схем с мнимой землей.

Характерная особенность схемы в том, что входные сигналы не влияют друг на друга.

3.5.4. Дифференциальный усилитель

В схеме дифференциального усилителя (рис. 3.19) входная цепь выполнена так, что подача сигнала обратной связи совмещена с наличием дифференциального входа, фактически эта схема представляет собой комбинацию схем инвертирующего и неинвертирующего усилителей.

Если неинвертирующий вход заземлить ($U_{\text{ВХ. 2}} = 0$), а на инвертирующий вход подать сигнал $U_{\text{ВХ. 1}}$, то получившаяся схема будет эквивалентна инвертирующему усилителю с коэффициентом усиления по напряжению $-R_{OC}/R_1$. Если входы поменять местами, то получится неинвертирующий усилитель с коэффициентом усиления по напряжению R_{OC}/R_1 . Относительное ослабление синфазного сигнала, в принципе, может быть таким же большим, каким оно является у самого ОУ, но на практике оно ограничено допусками на сопротивления резисторов.

В общем случае имеем:

$$U_{\text{ВХ. 1}} = I_1 R_1 + I_1 R_{OC} + U_{\text{ВЫХ}}; \quad (3.14)$$

$$U_{\text{ВХ. 2}} = I_2 R_2 + I_2 R_3; \quad (3.15)$$

$$U_{\text{ВХ. 1}} = I_1 R_1 + U_{\text{СМ}} + I_2 R_3 \approx I_1 R_1 + I_2 R_3. \quad (3.16)$$

Из уравнений (3.14) и (3.15)

$$I_1 = \frac{U_{\text{ВХ. 1}} - U_{\text{ВЫХ}}}{R_1 + R_{OC}}, \quad I_2 = \frac{U_{\text{ВХ. 2}}}{R_2 + R_3}.$$

Подставляя значения токов в уравнение (3.16), получаем:

$$U_{\text{ВХ. 1}} = I_1 R_1 + I_2 R_3 = \frac{U_{\text{ВХ. 1}} - U_{\text{ВЫХ}}}{R_1 + R_{OC}} R_1 + \frac{U_{\text{ВХ. 2}}}{R_2 + R_3} R_3;$$

$$U_{\text{ВЫХ}} = - \frac{R_{OC}}{R_1} U_{\text{ВХ. 1}} + \frac{1 + R_{OC} / R_1}{1 + R_2 / R_3} U_{\text{ВХ. 2}} = - \frac{R_{OC}}{R_1} (U_{\text{ВХ. 2}} - U_{\text{ВХ. 1}}) + \frac{R_3 / R_2 - R_{OC} / R_1}{1 + R_3 / R_2} U_{\text{ВХ. 2}}. \quad (3.17)$$

Коэффициент усиления дифференциального сигнала (при $U_{\text{ВХ. 2}} = 0$)

$$K_{\text{д}} = \frac{-U_{\text{ВЫХ}}}{U_{\text{ВХ. 1}} - U_{\text{ВХ. 2}}} = - \frac{R_{OC}}{R_1}. \quad (3.18)$$

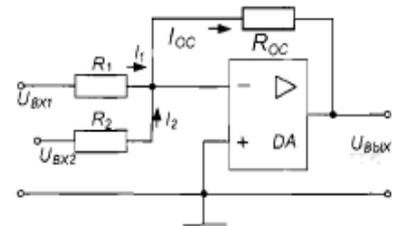


Рис. 3.18. Суммирующий усилитель

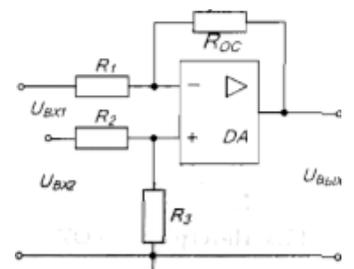


Рис. 3.19. Дифференциальный усилитель

При синфазном сигнале на входе $U_{\text{вх.1}}=U_{\text{вх.2}}=U_{\text{сф}}$, поэтому

$$K_{\text{сф}} = \frac{-U_{\text{вых}}}{U_{\text{сф}}} = -\frac{R_1/R_{\text{OC}} - R_3/R_2}{1 + R_3/R_2}. \quad (3.19)$$

При $R_3/R_2=R_{\text{OC}}/R_1$ $K_{\text{сф}}=0$. Небольшие изменения в величинах резисторов схемы могут повлиять на коэффициент усиления синфазного сигнала.

Отношение коэффициента усиления дифференциального сигнала к коэффициенту усиления синфазного сигнала, выраженное в децибелах, называют коэффициентом ослабления синфазного сигнала ($K_{\text{ОСС}}$):

$$K_{\text{ОСС}} = 20\lg \frac{K_{\text{д}}}{K_{\text{сф}}} = 20\lg \frac{1 + R_2/R_3}{R_2/R_3 - R_1/R_{\text{OC}}}. \quad (3.20)$$

Типичные значения $K_{\text{ОСС}}$ 80—100 дБ.

В случае, если сопротивления всех резисторов в схеме одинаковы $R_1=R_2=R_3=R_{\text{OC}}$,

$$U_{\text{вых}}=U_{\text{вх.2}}-U_{\text{вх.1}}. \quad (3.21)$$

Входное сопротивление схемы по инвертирующему входу при заземленном входе $U_{\text{вх.2}}$ равно R_1 , а по неинвертирующему при заземленном входе $U_{\text{вх.1}}$ — R_2+R_3 , при этом они могут различаться весьма существенно. Но ведь одним из важных применений дифференциального усилителя является подавление с его помощью фона и помех, которые наводятся на подводящих проводах. Если сопротивление источника сигнала не мало, то значительное различие входных сопротивлений становится существенным недостатком.

Обычно бывает можно пожертвовать оптимальными условиями согласования по постоянному току, беря сопротивления такими, чтобы выполнялись равенства: $R_2+R_3=R_1$; $R_3/R_2=R_{\text{OC}}/R_1$; при этом входные сопротивления выравниваются, а коэффициент подавления синфазной помехи остается большим. Для получения больших значений этого коэффициента используют дифференциальные усилители на нескольких ОУ (с повторителями напряжения на входах).

Теперь рассмотрим схему рис. 3.20, в которую включены напряжения источника и его выходные сопротивления (выделенная в рамку область):

$$U_{\text{с1}} = I_1(R_{\text{с}} + R_1);$$

$$U_1 = I_1 R_1 = \frac{R_1}{R_{\text{с}} + R_1} U_{\text{с1}};$$

$$U_{\text{с2}} = I_2(R_{\text{с}} + R_2 + R_3);$$

$$U_2 = I_2(R_2 + R_3) = \frac{R_2 + R_3}{R_{\text{с}} + R_2 + R_3} U_{\text{с2}} = \frac{R_1 + R_{\text{OC}}}{R_{\text{с}} + R_1 + R_{\text{OC}}} U_{\text{с2}}.$$

Теперь, даже если входные напряжения $U_{\text{с1}}=U_{\text{с2}}$ и резисторы $R_{\text{с}}$ абсолютно идентичны, то U_1 все равно отличается от U_2 из-за разницы входных сопротивлений, что проявляется в наличии некоторого синфазного сигнала. Разница напряжений U_1 и U_2 уменьшается при снижении сопротивления $R_{\text{с}}$. При $R_{\text{с}}=0$ напряжения $U_1=U_2=U_{\text{с}}$, усиление синфазного сигнала равно нулю. Для достижения наибольшего коэффициента ослабления синфазного сигнала источник сигнала должен иметь низкоомный выход — как, например, у повторителя напряжения.

Дифференциальный усилитель с входными повторителями напряжения (рис. 3.21). Входное сопротивление такого усилителя

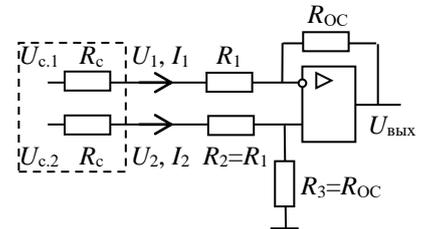


Рис. 3.20. Схема дифференциального усилителя с учетом выходных сопротивлений входных источников

$$R_{\text{вх. нов}} = R_{\text{вх. ст}}(1 + \beta K_U) \approx R_{\text{вх. ст}} K_U$$

(при $\beta K_U \sim 10^5 \gg 1$).

Для источника сигнала будет нагрузкой только высокий импеданс входного каскада — этим достигается максимальная передача полезного сигнала U_c и исключается неравномерность нагрузки источника сигнала.

На сам усилитель поступает сигнал источника (входного каскада) с малым выходным сопротивлением — выходное сопротивление операционного усилителя $R_{\text{вых}}$ очень низкое ($\sim 75 \text{ Ом}$). Увеличивается $K_{\text{осс}}$. Эффект от импеданса источника гораздо более значителен в $K_{\text{осс}}$, чем от несовпадения номиналов резисторов.

Дифференциальный усилитель с перекрестными обратными связями входных каскадов (рис. 3.22). Входной каскад не является дифференциальным усилителем. Разница выходных напряжений равна разнице входных напряжений, помноженной на усиление. Синфазный сигнал проходит через схему без усиления. Только дифференциальный усилитель в совокупности ослабляет синфазный сигнал.

Резисторы обратной связи R_1 и R_2 предназначены для поддержания равного потенциала на инвертирующем и неинвертирующем входах ОУ, поскольку на выводах R фактически присутствуют напряжения $U_{\text{вх. 1}}$ и $U_{\text{вх. 2}}$.

Теперь,

$$\begin{aligned} U_{\text{вх. 1}} - U_{\text{вх. 2}} &= IR, \quad U_{01} - U_{\text{вх. 1}} = IR_1, \quad U_{\text{вх. 2}} - U_{02} = IR_2, \\ U_{\text{вх. 1}} - U_{\text{вх. 2}} &= IR \therefore I = \frac{U_{\text{вх. 1}} - U_{\text{вх. 2}}}{R}; \\ U_{01} - U_{\text{вх. 1}} &= IR_1 = \frac{U_{\text{вх. 1}} - U_{\text{вх. 2}}}{R} R_1; \quad U_{\text{вх. 2}} - U_{02} = IR_2 = \frac{U_{\text{вх. 1}} - U_{\text{вх. 2}}}{R} R_2; \\ U_{01} - U_{\text{вх. 1}} + U_{\text{вх. 2}} - U_{02} &= \frac{U_{\text{вх. 1}} - U_{\text{вх. 2}}}{R} (R_1 + R_2); \\ U_{01} - U_{02} &= \left(1 + \frac{R_1 + R_2}{R}\right) (U_{\text{вх. 1}} - U_{\text{вх. 2}}). \end{aligned}$$

Отсюда усиление входного каскада

$$K_{\text{вх}} = \frac{U_{01} - U_{02}}{U_{\text{вх. 1}} - U_{\text{вх. 2}}} = 1 + \frac{R_1 + R_2}{R}.$$

Таким образом, усиление входного каскада может быть изменено путем подстройки всего одного резистора. Усиление каскада увеличивается с уменьшением R . При очень больших значениях R коэффициент усиления приближается к 1.

Если входной сигнал содержит синфазную составляющую напряжения $U_{\text{сф}}$, то:

$$\begin{aligned} U_{\text{вх. 1}} &= U_{\text{сф}} + \frac{U_{\text{вх. 1}} - U_{\text{вх. 2}}}{2}; \quad U_{\text{вх. 2}} = U_{\text{сф}} - \frac{U_{\text{вх. 1}} - U_{\text{вх. 2}}}{2}; \quad U_{\text{вх. 1}} + U_{\text{вх. 2}} = 2U_{\text{сф}}; \\ U_{\text{сф}} &= \frac{U_{\text{вх. 1}} + U_{\text{вх. 2}}}{2}. \end{aligned}$$

Поскольку синфазный сигнал не усиливается, то

$$U_{0\text{сф}} = \frac{U_{01} + U_{02}}{2}.$$

Тогда коэффициент ослабления синфазного сигнала усилителя с перекрестными обратными связями

$$K_{\text{сф}} = \frac{(U_{01} + U_{02})/2}{(U_{\text{вх. 1}} + U_{\text{вх. 2}})/2} = \frac{U_{01} + U_{02}}{U_{\text{вх. 1}} + U_{\text{вх. 2}}}.$$

Но

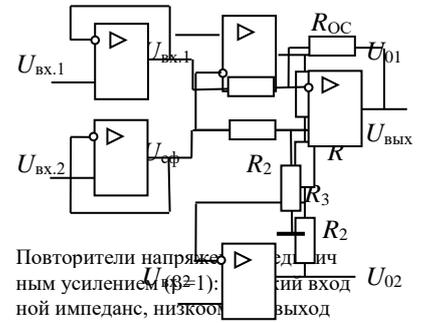


Рис. 3.21. Схема дифференциального усилителя с перекрестными обратными связями

$$U_{\text{вх.1}} - U_{\text{вх.2}} = IR;$$

$$U_{01} = U_{\text{вх.1}} + IR_1 = U_{\text{вх.1}} + \frac{U_{\text{вх.1}} - U_{\text{вх.2}}}{R} R_1;$$

$$U_{02} = U_{\text{вх.2}} - IR_2 = U_{\text{вх.2}} - \frac{U_{\text{вх.1}} - U_{\text{вх.2}}}{R} R_2.$$

Если $R_1=R_2$, то

$$U_{01} + U_{02} = U_{\text{вх.1}} + \frac{U_{\text{вх.1}} - U_{\text{вх.2}}}{R} R_1 + U_{\text{вх.2}} - \frac{U_{\text{вх.1}} - U_{\text{вх.2}}}{R} R_2 = U_{\text{вх.1}} + U_{\text{вх.2}}$$

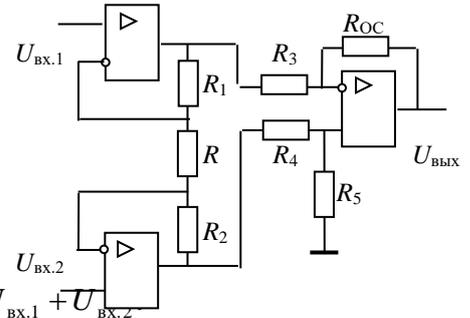


Рис. 3.23. Схема измерительного усилителя с дифференциальным входом

Следовательно, $K_{\text{сф}}=1$.

Коэффициент ослабления синфазного сигнала $K_{\text{ОСС}}=K_{\text{вх}}/K_{\text{сф}}$, но $K_{\text{сф}}=1$, поэтому $K_{\text{ОСС}}=K_{\text{вх}}$. Но $K_{\text{вх}}$ является коэффициентом усиления входного каскада, который изменяется посредством R . Это означает, что КОСС можно изменять. Для наибольшего значения КОСС требуется большое значение усиления $K_{\text{вх}}$, следовательно, малая величина сопротивления R .

3.5.5. Измерительный усилитель

Измерительный усилитель (рис. 3.23) характеризуется высоким усилением и высоким значением КОСС. При этом:

- оба входа имеют высокий входной импеданс;
- коэффициент усиления легко изменяется с помощью сопротивления R ;
- для устранения какого-либо усиления синфазного сигнала подгоняется сопротивление резистора R на входе оконечного дифференциального усилителя.

Коэффициент усиления входного каскада:

$$K_{\text{вх}} = \frac{U_{01} - U_{02}}{U_{\text{вх.1}} - U_{\text{вх.2}}} = 1 + \frac{R_1 + R_2}{R}.$$

Коэффициент усиления дифференциального усилителя:

$$K_{\text{д}} = -R_{\text{OC}} / R_3.$$

Общее усиление дифференциального сигнала всей схемой будет равно произведению двух составляющих:

$$K_{\text{д}} = -\left(1 + \frac{R_1 + R_2}{R}\right) \frac{R_{\text{OC}}}{R_3}.$$

Полагая $R_1=R_2$, получаем

$$K_{\text{д}} = -\left(1 + \frac{2R_1}{R}\right) \frac{R_{\text{OC}}}{R_3}. \quad (3.22)$$

Обычно необходимый коэффициент усиления достигается за счет входного каскада, а дифференциальный усилитель делается с коэффициентом усиления $K_{\text{д}}=1$, и его назначение состоит в исключении синфазной составляющей сигнала.

3.5.6. Интеграторы

Если ООС, охватывающая ОУ, образуется конденсатором, то схема выполняет математическую операцию интегрирования по времени (рис. 3.24).

Входной ток $U_{\text{вх}}/R$ протекает через конденсатор C . Поскольку инвертирующий вход имеет потенциальное заземление, напряжение на конденсаторе одновременно является выходным и определяется следующим образом:

$$U_{\text{вх}} / R = -C(dU_{\text{вых}} / dt),$$

$$U_{\text{вых}} = -\frac{1}{RC} \int U_{\text{вх}} dt + U_{\text{C0}}.$$

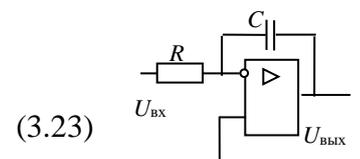


Рис. 3.24. Схема интегратора на ОУ

Напряжение U_{C0} — это напряжение на конденсаторе в начальный момент времени ($t=0$).

Представленной здесь схеме присущ один недостаток, связанный с тем, что выходное напряжение имеет тенденцию к дрейфу, обусловленному сдвигами ОУ и током смещения (в схеме отсутствует ООС по постоянному току). Это нежелательное явление можно ослабить, если использовать ОУ на полевых транзисторах, отрегулировать входное напряжение сдвига ОУ и выбрать большие величины R и C . Кроме того, на практике часто прибегают к периодическому сбросу в нуль интегратора с помощью подключенного к конденсатору переключателя (обычно на полевом транзисторе) (рис. 3.25, а).

Если остаточный дрейф по-прежнему слишком велик для конкретного случая использования интегратора, то к конденсатору C следует подключить резистор с очень большим сопротивлением R_2 , который обеспечит стабильное смещение за счет обратной связи по постоянному току (рис. 3.25, б). Такое подключение приведет к ослаблению интегрирующих свойств на очень низкой частоте: $f < 1/(R_2C)$.

Интегратор может служить источником линейно-изменяющегося напряжения, необходимого, например, в осциллографах в качестве генератора развертки, используемого также при реализации некоторых методов цифро-аналогового преобразования. Если на вход интегратора подать постоянное напряжение, на выходе получим линейно-возрастающее напряжение, которое будет увеличиваться вплоть до напряжения насыщения. Когда на входе действует симметричные относительно земли периодические колебания, это приводит к возникновению на выходе треугольных колебаний.

Схему 3.25, а можно использовать как генератор пилообразных колебаний. Для этого на вход необходимо подать постоянное напряжение, а на вход полевого транзистора — периодические прямоугольные импульсы (рис. 3.26).

При отрицательном напряжении на затворе полевой транзистор запирается, интегратор вырабатывает на выходе линейно-возрастающее напряжение, по приходу положительного импульса полевой транзистор открывается, конденсатор быстро разряжается, выходное напряжение сбрасывается до нуля. Периодические импульсы сброса формируют на выходе пилообразное напряжение.

3.5.7. Дифференциаторы

Дифференциаторы подобны интеграторам, в них только меняют местами резистор R и конденсатор C (рис. 3.27). Инвертирующий вход ОУ заземлен, поэтому изменение входного напряжение с некоторой скоростью вызывают изменения тока $I=C(dU_{ВХ}/dt)$, а следовательно, и выходного напряжения

$$U_{ВЫХ} = -RC \frac{dU_{ВХ}}{dt}. \quad (3.24)$$

Этот метод дифференцирования сигнала кажется простым, но при его практической реализации возникают проблемы с обеспечением устойчивости схемы на высоких частотах. Не всякий ОУ пригоден для использования в дифференциаторе. Критерием выбора является быстродействие ОУ: нужно выбирать ОУ с высокой максимальной скоростью нарастания выходного напряжения и высоким значением произведения коэффициента усиления на ширину полосы. Хорошо работают в дифференциаторах быстродействующие ОУ на полевых транзисторах.

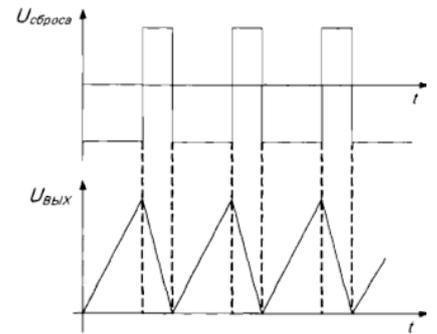


Рис. 3.26. Временные диаграммы работы интегратора со сбросом в качестве генератора пилообразных импульсов

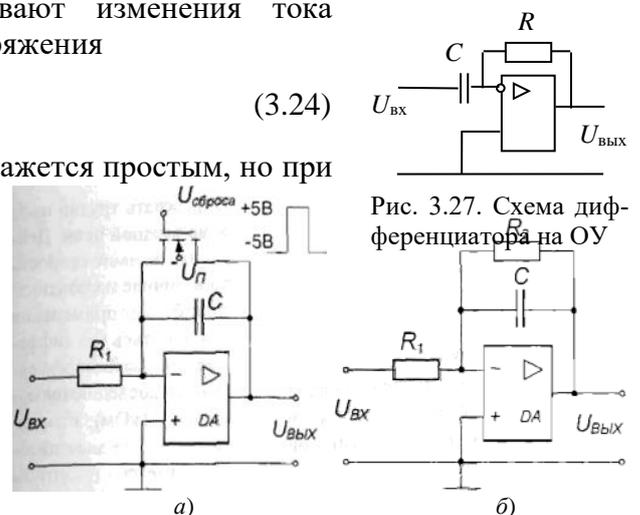


Рис. 3.27. Схема дифференциатора на ОУ

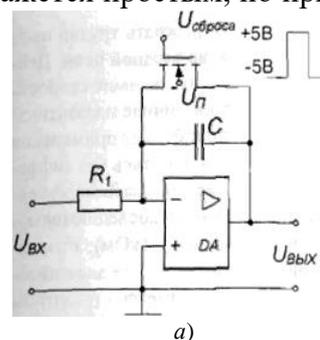


Рис. 3.25. Интеграторы с уменьшенным дрейфом: а — с периодическим сбросом; б — с резистором в цепи ООС

На практике с дифференциаторами на основе ОУ работать трудно из-за их большой чувствительности к всевозможным шумам во входной цепи. Действующее напряжение шума может быть совсем небольшим, но часто скорость его изменения весьма велика и приводит к большим по величине паразитным сигналам на выходе дифференциатора. По этой причине избегают применения дифференциаторов везде, где это возможно. Если нельзя обойтись без дифференциатора, то можно понизить чувствительность к помехам, ослабляя эффективное усиление в усилителе на высоких частотах. Для этого последовательно с конденсатором C включают резистор (типичное значение 1 кОм), а параллельно резистору R — конденсатор небольшой емкости (типичное значение 100 пФ), и экспериментально подбирают значения этих параметров так, чтобы достичь приемлемого компромисса между чувствительностью к помехам и точностью дифференцирования.

Компараторы. Компаратор сравнивает два входных напряжения и вырабатывает выходной сигнал, зависящий от состояния входов. Базовая принципиальная схема компаратора приведена на рис. 3.28.

Как видим, здесь ОУ работает без обратной связи. На один из его входов подается опорное напряжение, на другой — неизвестное (сравниваемое) напряжение. Выходной сигнал компаратора указывает: выше или ниже уровня опорного напряжения находится уровень неизвестного входного сигнала. В схеме на рис. 3.28 опорное напряжение $U_{оп}$ подается на неинвертирующий вход, а на инвертирующий вход поступает неизвестный сигнал $U_{вх}$. При $U_{вх} > U_{оп}$, на выходе компаратора устанавливается напряжение $U_{вых} = -U_{вых.нас}$ (отрицательное напряжение насыщения), рис.3.29. В противоположном случае получаем $U_{вых} = +U_{вых.нас}$. Можно поменять местами входы — это приведет к инверсии выходного сигнала.

Для возможности фиксирования входного напряжения между двумя уровнями опорного напряжения или вне этого диапазона выходные сигналы двух компараторов, как показано на рис. 3.30, необходимо подвергнуть операции логического умножения. На выходе логического элемента единичный уровень сигнала будет иметь место тогда, когда выполняется условие $U_{оп.1} < U_{вх} < U_{оп.2}$, так как в этом случае на выходах обоих компараторов будут единичные логические уровни.

3.5.8. Нелинейные преобразователи на ОУ

В ряде случаев необходимо, чтобы зависимость входного и выходного напряжений была нелинейной. Для этого используют совместное включение ОУ и нелинейных элементов, таких как диоды, стабилитроны, транзисторы. Наилучшие результаты получаются, если нелинейные элементы включают в цепь ООС. Рассмотрим в качестве примера логарифмирующий усилитель на ОУ.

В логарифмирующем усилителе в цепь обратной связи включают диод или транзистор, который при включении как диод имеет характеристику, более приближенную к экспоненте (рис. 3.31). Экспоненциальная характеристика прямо смещенного диода дает снижение по логарифмическому закону коэффициента усиления схемы при возрастании входного сигнала.

Потенциал катода диода цепи обратной связи 0 В (виртуальная земля), а потенциал анода равен $U_{вых}$, так что на диоде ($p-n$ -переходе) падает напряжение $U_{вых}$. Таким образом,

$$U_{вх} = IR; I = I_d = I_0 \exp(eU_{вых} / kT); \frac{U_{вх}}{RI_0} = \exp(eU_{вых} / kT),$$

где I_0 — ток утечки обратно смещенного $p-n$ -перехода. Данная аппроксимация ВАХ $p-n$ -перехода справедлива для прямых напряжений, при которых протекающий ток $I \gg I_0$. Поэтому для данной схемы требуются положительные значения $U_{вх}$ — так, чтобы $p-n$ -переход был прямо смещенным.

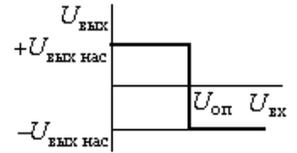


Рис. 3.29. Передаточная характеристика компаратора

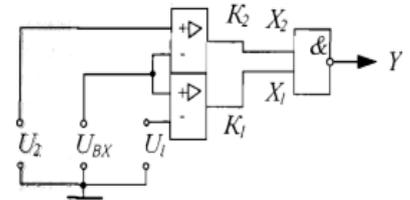


Рис. 3.30. Схема двухпорогового компаратора

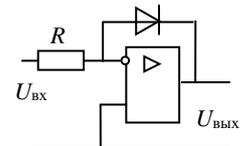


Рис. 3.31. Схема логарифмирующего усилителя на ОУ

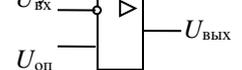


Рис. 3.28. Схема компаратора

Передаточная функция

$$U_{\text{вых}} = \frac{kT}{e} \ln \frac{U_{\text{вх}}}{RI_0}. \quad (3.25)$$

Этот усилитель обладает высоким усилением слабых сигналов (при низком входном напряжении $U_{\text{вх}}$) и логарифмически убывающим усилением для сигналов с возрастающей амплитудой.

3.6. Активные фильтры

Пассивные RC -звенья имеют большие потери и характеризуются низкими избирательными свойствами. Часто возникает необходимость в фильтрах с высокими фильтрующими способностями, например, для выделения сигнала на фоне помехи. Наиболее простое решение — каскадное включение одинаковых фильтров низких частот, дающих в сумме необходимую характеристику. Однако простое каскадное соединение не дает результата без ухудшения общей характеристики, так как входное сопротивление каждого звена будет служить существенной нагрузкой для предыдущего звена. Соединенные каскадно RC -фильтры действительно дадут суммарную характеристику с крутым наклоном, но «излом» этой амплитудно-частотной характеристики не будет резким. Если поставить буферные усилители между всеми звеньями (или сделать входное сопротивление каждого звена намного выше, чем выходное сопротивление предыдущего), то можно добиться желаемого эффекта. Поэтому такие цепи применяют с компенсирующими потери активными элементами, чаще всего с операционными усилителями. Такие избирательные усилители называют активными фильтрами.

К преимуществам активных фильтров следует отнести:

способность усиливать сигнал, лежащий в полосе их пропускания;

отсутствие индуктивностей, имеющих большие габариты;

легкость настройки;

малые масса и объем;

простота каскадного включения при построении фильтров высокого порядка.

Недостатки активных фильтров:

невозможность использования в силовых цепях, например в качестве фильтров выпрямителей;

ограниченный частотный диапазон, определяемый собственными частотными свойствами используемых ОУ;

необходимость наличия источника питания ОУ.

Как и фильтры на пассивных элементах, активные фильтры классифицируют как фильтры нижних частот (ФНЧ), пропускающие сигналы с частотой от $f=0$ до некоторой $f_{\text{ср}}$; фильтры верхних частот (ФВЧ), пропускающие сигналы с частотой от $f=f_{\text{ср}}$, до $f \rightarrow \infty$; полосно-пропускающие (полосовые, ППФ), пропускающие сигналы в диапазоне частот от $f_{\text{ср.1}}$ до $f_{\text{ср.2}}$ и полосно-заграждающие фильтры (режекторные, ПЗФ), не пропускающие сигналы в узком диапазоне частот от $f_{\text{ср.1}}$ до $f_{\text{ср.2}}$.

Построение фильтров на ОУ отличается включением его в режиме повторителя (фильтр на источнике напряжения, управляемом напряжением, — ИНУН) или инвертора (фильтр с многопетлевой обратной связью — МОС). ОУ обеспечивает необходимое усиление в полосе пропускания и развязку источника сигнала с нагрузкой, делая возможным регулировку и настройку. Схемы активных ФНЧ первого порядка на усилителе-повторителе и усилителе-инверторе показаны на рис. 3.32.

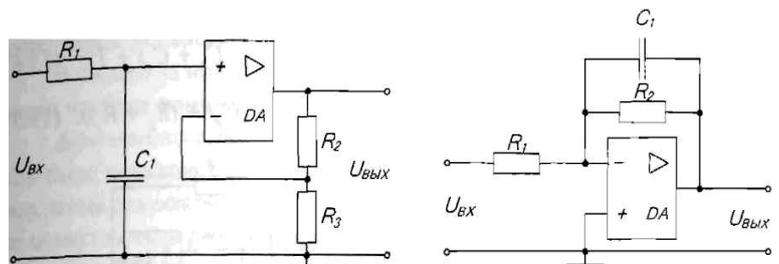


Рис. 3.32. Активные ФНЧ первого порядка на усилителе-повторителе (а) и усилителе-инверторе (б)

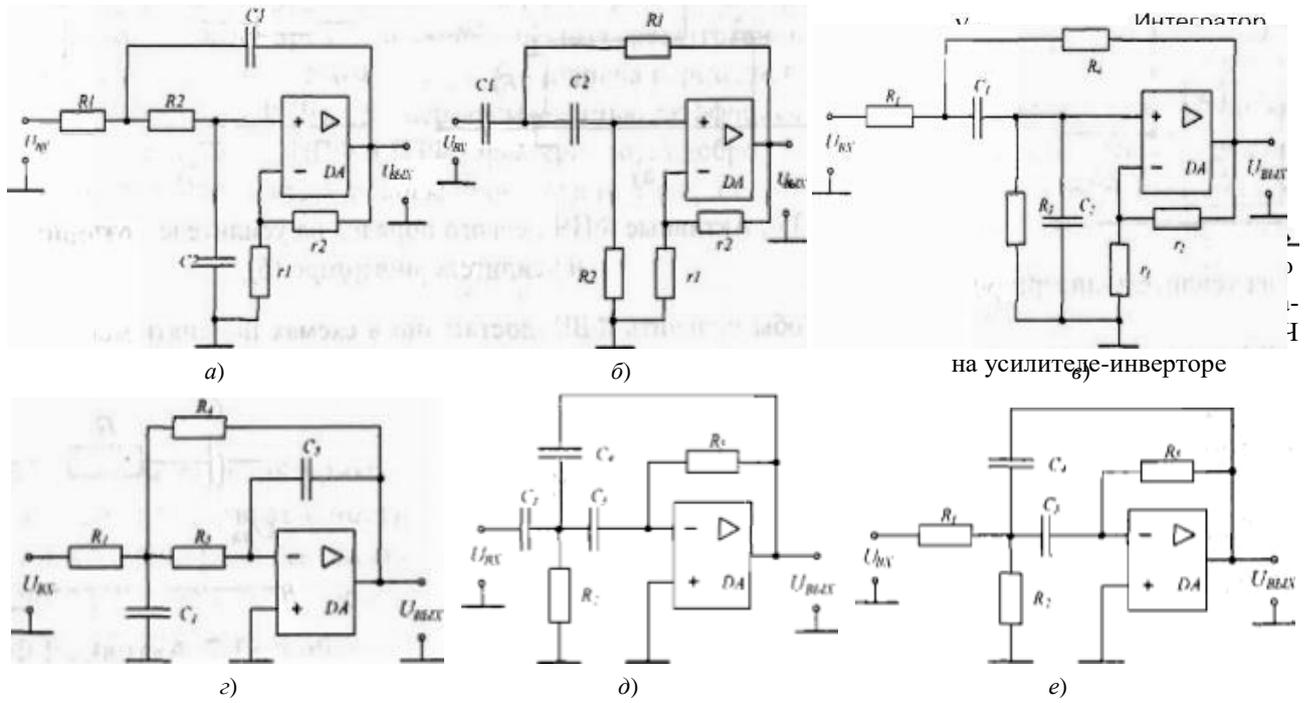


Рис. 3.35. Фильтры второго порядка на усилителе-повторителе: а — ФНЧ; б — ФВЧ; в — ППФ и на усилителе-инверторе: з — ФНЧ; д — ФВЧ; е — ППФ

На рис. 3.33 показана передаточная характеристика активного ФНЧ на усилителе-инверторе.

Чтобы получить ФВЧ, достаточно в схемах поменять местами R_1 и C_1 (рис. 3.34).

Фильтры второго порядка содержат по две RC -цепи, образуя на основе повторителя или инвертора ФНЧ (рис. 3.35, а, з), ФВЧ (рис. 3.35, б, д), ППФ (рис. 3.35, в, е). В ФНЧ и ФВЧ на основе усилителя-повторителя (рис. 3.35, а, б) резисторы r_1 и r_2 определяют коэффициент усиления $K=(r_1+r_2)/r_1$.

Частотно-нормированные передаточные функции для ФНЧ, ФВЧ и ППФ (рис. 3.35, а—в) соответственно равны:

$$\frac{U_{\text{ВЫХ}}}{U_{\text{ВХ}}} = \frac{K}{1 + s[(R_1 + R_2)C_2 + (1 - K)R_1C_1] + s^2R_1C_1R_2C_2};$$

$$\frac{U_{\text{ВЫХ}}}{U_{\text{ВХ}}} = K \frac{s^2R_1R_2C_1C_2}{1 + s[R_1(C_1 + C_2) + (1 - K)R_2C_2] + s^2R_1C_1R_2C_2};$$

$$\frac{U_{\text{ВЫХ}}}{U_{\text{ВХ}}} = \frac{KsR_2C_1}{(1 + R_1/R_3) + s[(1 + R_1/R_3)R_2C_1 + (R_1 + R_2)C_2 + (1 - K)R_1C_1] + s^2R_1R_2C_1C_2}.$$

Фильтры второго порядка, построенные на основе инвертирующего усилителя с многопетлевой обратной связью, представляют ФНЧ, ФВЧ и ПФ (рис. 3.35, з—е) с передаточными функциями соответственно

$$\frac{U_{\text{ВЫХ}}}{U_{\text{ВХ}}} = -\frac{K}{R_1/R_4 + s(R_1 + R_3 + R_1R_3/R_4)C_5 + s^2R_1R_3C_2C_5};$$

$$\frac{U_{\text{ВЫХ}}}{U_{\text{ВХ}}} = -K \frac{s^2R_2R_5C_1C_3}{1 + sR_2(C_1 + C_3 + C_4) + s^2R_2R_5C_3C_4};$$

$$\frac{U_{\text{ВЫХ}}}{U_{\text{ВХ}}} = -K \frac{sR_5C_3}{(1 + R_1/R_2) + sR_1(C_3 + C_4) + s^2R_1R_5C_3C_4}.$$

Построение фильтров с усилителями-повторителями

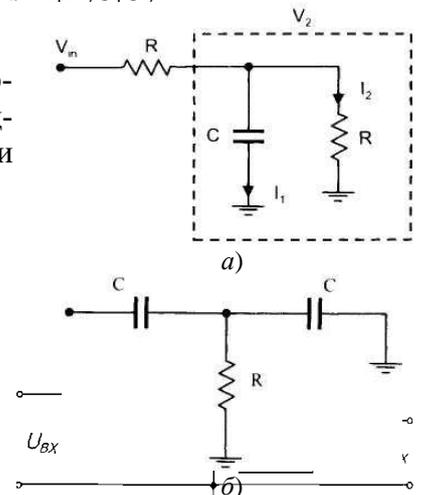


Рис. 3.4. Активные ФНЧ на усилителе-повторителе и на усилителе-инверторе

обеспечивает возможность суммирования входных напряжений, поэтому такая схема используется для реализации фильтров с высокой добротностью. Недостатком схемы является сложная настройка и высокая чувствительность к изменениям параметров элементов.

В схемах на инверторах характеристики фильтров мало зависят от точности подбора номиналов элементов.

Схемы мостовых легко анализировать, используя понятие о передаточном полном сопротивлении (передаточном импедансе) Z_T .

Передаточное полное сопротивление звена определяется, как отношение приложенного к входу звена напряжения к протекающему по цепи току при заземленном выходе.

Для фильтра нижних частот с учетом видоизмененной схемы на рис. 3.36, а

$$\dot{U}_2 = \dot{I}Z = \dot{I} \frac{1}{1/R + j\omega C} = \dot{I} \frac{R}{1 + j\omega RC} = I_2 R.$$

Отсюда

$$\dot{I} = I_2(1 + j\omega RC);$$

$$\dot{U}_{\text{вх}} = \dot{I}(R + Z) = I_2(1 + j\omega RC) \left(R + \frac{R}{1 + j\omega RC} \right) = 2I_2 R(1 + j\omega RC/2).$$

Передаточный импеданс

$$Z_T = \frac{\dot{U}_{\text{вх}}}{I_2} = 2R(1 + j\omega RC/2)$$

при возрастании ω увеличивается.

Аналогичный анализ для фильтра верхних частот (рис. 3.36, б) дает

$$Z_T = \frac{\dot{U}_{\text{вх}}}{I_2} = \frac{1}{j\omega C} \frac{1 + 2j\omega RC}{j\omega RC}.$$

При возрастании ω Z_T уменьшается.

Для Т-образных фильтров обычно приводят таблицы с передаточными импедансами звеньев со стандартными номиналами элементов, которые можно легко комбинировать (в s -области) для решения конкретной задачи.

На рис. 3.37, а приведена схема настроенного режекторного двойного Т-образного фильтра. Передаточный импеданс находится при заземленном выходе с использованием эквивалентной схемы рис. 3.37, б:

$$1/Z_T = 1/Z_1 + 1/Z_2;$$

$$Z_1 = 2R_1(1 + j\omega R_1 C_1/2); \quad Z_2 = \frac{1}{j\omega C_2} \frac{1 + 2j\omega R_2 C_2}{j\omega R_2 C_2};$$

$$\frac{1}{Z_T} = \frac{1}{2R_1(1 + j\omega R_1 C_1/2)} + j\omega C_2 \frac{j\omega R_2 C_2}{1 + 2j\omega R_2 C_2};$$

$$Z_T = \left[\frac{1}{2R_1(2 + j\omega R_1 C_1)} - \frac{R_2 C_2^2 \omega^2}{1 + 2j\omega R_2 C_2} \right]^{-1}.$$

Пусть $C_1 = 2C_2 = C$, $R_1 = 2R_2 = R$. Тогда

$$Z_T = \left[\frac{1}{2R(1 + j\omega RC)} - \frac{RC\omega^2/8}{1 + j\omega RC/2} \right]^{-1} = \frac{8R(1 + j\omega RC/2)}{4 - R^2 C^2 \omega^2} = 2R \frac{1 + j\omega RC/2}{1 - R^2 C^2 \omega^2/4}.$$

На рис. 3.38 показана передаточная характеристика режекторного фильтра с центральной частотой $\omega_0 = 2/(RC)$. Добротность Q составляет 0,25. Её можно

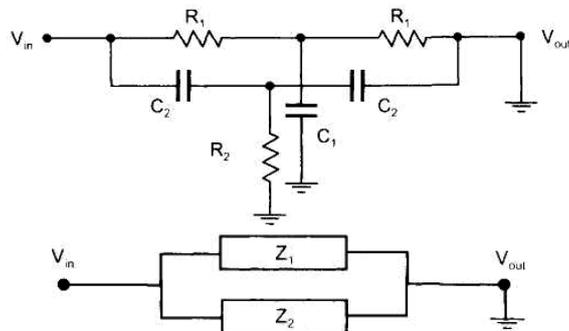


Рис. 3.37. Двойной Т-образный режекторный фильтр (а) и его эквивалентная схема (б)

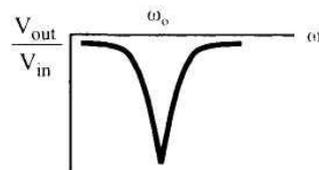


Рис. 3.38. Передаточная характеристика режекторного фильтра

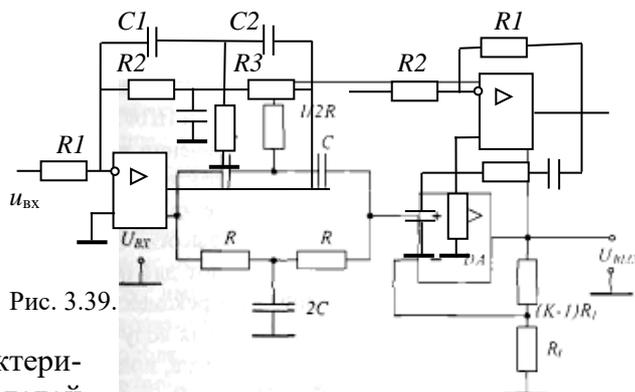


Рис. 3.39.

Рис. 3.40. Активный ПЗФ с двойным Т-образным мостом

повысить, если двойной Т-образный мост включить в контур обратной связи усилителя. Возможная схема такого фильтра показана на рис. 3.39, а. Другой вариант включения Т-образного моста приведен на рис. 3.40.

Сигналы низких и высоких частот проходят через двойной Т-образный фильтр без изменения. Для них выходное напряжение определяется коэффициентом передачи, задаваемым сопротивлениями в цепи ООС. На резонансной частоте выходное напряжение равно нулю. В этом случае двойной Т-образный мост эквивалентен заземленному резистору $R/2$. При этом резонансная частота $f_p=1/(2\pi RC)$ не изменяется. Задав коэффициент усиления повторителя напряжения равным 1, получим $Q=0,5$. При увеличении коэффициента усиления добротность $Q \rightarrow \infty$ при $K \rightarrow 2$.

Условием правильной работы схемы является оптимальная установка резонансной частоты и коэффициента передачи двойного Т-образного моста. Настройка схемы, особенно при больших значениях добротности, достаточно сложна, поскольку изменение сопротивления резистора одновременно влияет на оба параметра.

Другой достаточно часто используемый полосовой фильтр второго порядка реализуют с помощью мосты Вина, имеющего максимальный коэффициент передачи на резонансной частоте, рис. 3.39, б.

Резонансную частоту двойного Т-образного моста при $R_2=R_3=R_4/2=R$ и $C_1=C_2=2C_3=C$ и моста Вина при $R_3=R_4=R$ и $C_1=C_2=C$ выбирают исходя из условия устойчивости $(R_1+R_2)/R_1 < 3$, так как их коэффициенты передачи на частоте резонанса равны $1/4$.

Выше для каждого из рассмотренных фильтров приводилась специальная, как можно более простая, принципиальная схема. Иногда, однако, возникает необходимость построения такой единой схемы фильтра, с помощью которой была бы возможна реализация всех ранее описанных фильтров. Для этой цели используют универсальные фильтры. Одна из возможных схем реализации такого фильтра показана на рис. 3.41.

Универсальный фильтр второго порядка более сложен по сравнению со специализированными фильтрами, но он широко применяется благодаря повышенной устойчивости и легкости регулировки. Поскольку он является готовым модулем, то все элементы у него встроенные, кроме резисторов R_G , R_Q , двух R_F . Среди прочих достоинств этой схемы существенна возможность путем коммутации выходов получить от одной схемы ФНЧ, ФВЧ и ППФ. Кроме этого, частоту фильтра можно регулировать при неизменном значении добротности Q (или неизменной полосе пропускания — по выбору) характеристики в полосе пропускания. Как и при работе с простыми фильтрами, несколько секций могут быть соединены каскадно для создания фильтров более высоких порядков.

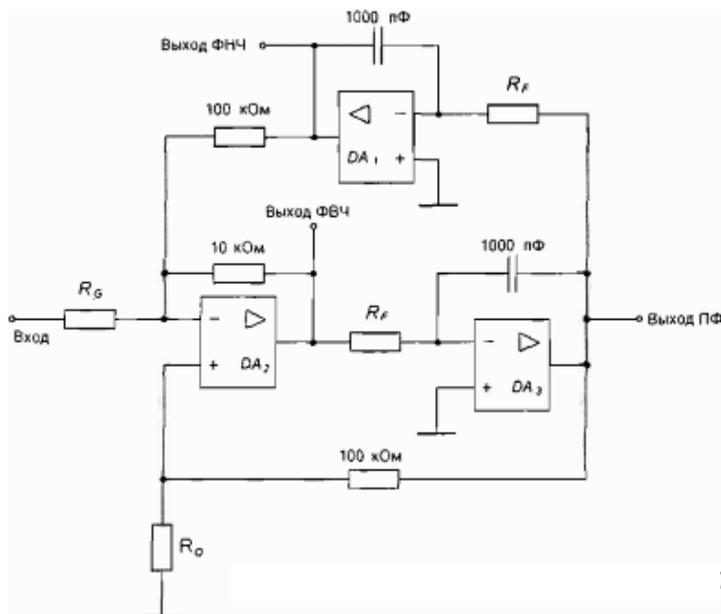


Рис. 3.41. Схема универсального фильтра второго порядка

4. ЦИФРО-АНАЛОГОВЫЕ И АНАЛОГО-ЦИФРОВЫЕ ПРЕОБРАЗОВАТЕЛИ

4.1. Электронные ключи и коммутаторы

В информационно-измерительной технике при реализации аналоговых измерительных преобразований часто приходится осуществлять электрические соединения между двумя и более точками измерительной схемы, чтобы соединить или отключить источник входного, содержащего информацию, аналогового сигнала и приемник сигнала. Такие устройства принято называть аналоговыми ключами или аналоговыми коммутаторами.

Аналоговым (измерительным) коммутатором называют устройство, которое преобразует пространственно разнесенные аналоговые сигналы в сигналы, разделенные во времени, и наоборот. Если коммутатор находится в состоянии «включено», его выходное напряжение должно по возможности точно равняться входному; если же коммутатор находится в состоянии «выключено», оно должно стать равным нулю.

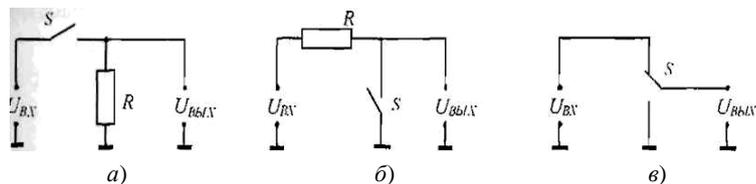


Рис. 4.1. Ключи: а) последовательный; б) параллельный; в) последовательно-параллельный

Существуют различные схемные решения ключей, удовлетворяющие указанным условиям. Их принцип действия показан на рис. 4.1 на примере механических переключателей.

На рис. 4.1, а представлен *последовательный ключ*. Пока контакт замкнут, $U_{\text{ВЫХ}}=U_{\text{ВХ}}$. Когда контакт размыкается, выходное напряжение становится равным нулю. Все это справедливо, вообще говоря, для ненагруженной схемы. При наличии емкостной нагрузки выходное напряжение вследствие конечной величины выходного сопротивления схемы $R_{\text{ВЫХ}}=R$ падает до нулевого значения не мгновенно.

Этот недостаток отсутствует у схемы *параллельного ключа* (рис. 4.1, б).

Последовательно-параллельный ключ, рис. 4.1 в, обладает преимуществами обеих предыдущих схем. В любом рабочем состоянии он имеет выходное сопротивление, близкое к нулю.

Аналоговые ключи могут быть реализованы электронными методами путем замены механического контакта элементом с управляемым сопротивлением, имеющим малое минимальное и достаточно большое максимальное значения. Для этих целей могут использоваться диоды, биполярные и полевые транзисторы, другие управляемые электронные приборы.

Измерительные коммутаторы аналоговых сигналов характеризуются следующими параметрами:

- динамическим диапазоном коммутируемых величин;
- погрешностью коэффициента передачи;
- быстродействием (частотой переключения или временем, необходимым для выполнения одной коммутационной операции);
- числом коммутируемых сигналов;
- предельным числом переключений (для коммутаторов с контактными измерительными ключами).

Электронный ключ представляет собой двухполюсник с явно выраженной нелинейностью вольт-амперной характеристики. Переход ключа из одного состояния (закрытого) в другое (открытое) выполняется с помощью управляющего элемента.

Распространены электронные ключи, в выходных цепях которых используются источники постоянного напряжения (источники питания). Назначение таких ключей состоит в том, чтобы создать на выходе напряжение, близкое к нулю при открытом состоянии ключа, или напряжение, близкое к напряжению питания при закрытом ключе. Такая работа характерна для ключей цифровой электроники (их называют цифровыми ключами).

В отличие от рассмотренного ранее режима, где транзистор работал в режиме малого сигнала и являлся линейным элементом, в импульсном режиме, являющемся характерным для цифровых устройств, транзистор работает в режиме большого сигнала. В отличие от режима малого сигнала, где отклонение от рабочей точки по постоянному току порядка 20—30 %, в режиме большого сигнала транзистор переходит из зоны отсечки (транзистор заперт) через активную область в режим насыщения (транзистор открыт и насыщен) и наоборот. Как правило, в цифровой технике транзистор работает в двух противоположных состояниях: в режиме отсечки (транзистор заперт) и в режиме насыщения (транзистор открыт и насыщен). Коэффициент передачи транзистора в этих режимах меньше единицы, т. е. он не обладает усилительными свойствами. В переходном (активном) режиме коэффициент передачи транзистора намного больше единицы. Время переключения составляет единицы микросекунд.

В качестве электронных ключей большее применение находят ключи на полевых транзисторах. Это, в первую очередь, определяется возможностью уменьшения рассеиваемой мощности, что согласуется с требованием комплексной миниатюризации электронных устройств. В то же время применение биполярных транзисторов в качестве электронных ключей позволяет реализовать большее быстродействие схем коммутации, чем и объясняется их широкое использование в устройствах цифровой электроники наряду с полевыми транзисторами.

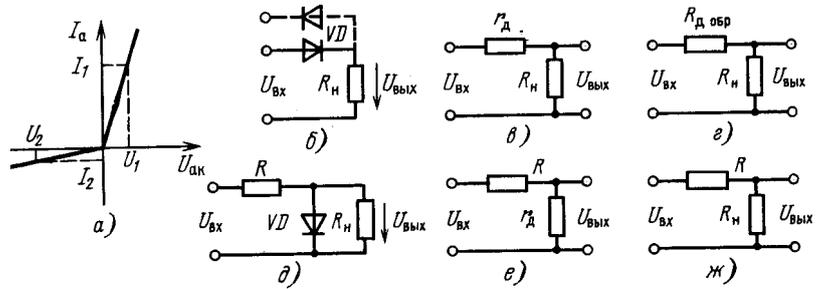


Рис. 4.2. ВАХ диода (а), принципиальные и эквивалентные схемы последовательного (б—г) и параллельного (д—ж) диодных ключей

Диодные ключи. Применение диодов в ключевых схемах связано с их способностью проводить ток только в одном направлении. Из идеализированной вольт-амперной характеристики диода, приведенной на рис. 4.2, а, следует, что диод можно рассматривать как сопротивление, величина которого зависит от полярности приложенного к нему напряжения. Когда к диоду приложено прямое напряжение («плюс» на аноде относительно катода), сопротивление диода r_d оказывается малым (для полупроводникового диода $r_d = U_1/I_1$ имеет величину 10—100 Ом). Когда к диоду приложено обратное напряжение («минус» на аноде относительно катода), сопротивление диода $R_{d\text{ обр}}$ будет большим (для полупроводникового диода $R_{d\text{ обр}} = U_2/I_2$ лежит в пределах от десятков килоом до десятков мегом).

В зависимости от схем соединения диода и нагрузки различают последовательный и параллельный диодные ключи.

Простейшая схема последовательного диодного ключа приведена на рис. 4.2, б. В этой схеме сопротивление нагрузки R_n включено с диодом последовательно. Эквивалентные схемы последовательного диодного ключа при положительном и отрицательном напряжениях на его входе даны на рис. 4.2, в, г, где r_d — прямое, а $R_{d\text{ обр}}$ — обратное сопротивление диода.

Если выполняются условия $r_d \ll R_n \ll R_{d\text{ обр}}$, то при положительном напряжении на входе

$$U_{\text{вых}} = U_{\text{вх}} \frac{R_n}{r_d + R_n} = U_{\text{вх}} \frac{1}{1 + r_d / R_n} \approx U_{\text{вх}},$$

а при отрицательном

$$U_{\text{вых}} = U_{\text{вх}} \frac{R_n}{R_{d\text{ обр}} + R_n} = U_{\text{вх}} \frac{1}{1 + R_{d\text{ обр}} / R_n} \approx 0,$$

т. е. положительное напряжение «проходит» через рассматриваемый диодный ключ, а отрицательное — нет. Если же изменить полярность включения диода, как это показано на рис. 4.2, б штриховой линией, то эквивалентная схема на рис. 4.2, в будет соответствовать отрицательному напряжению, а схема на рис. 4.2, г — положительному. Следовательно, через такой диодный ключ будет «проходить» отрицательное напряжение и не будет «проходить» положительное.

Простейшая схема параллельного диодного ключа показана на рис. 4.2, д. В этой схеме сопротивление нагрузки включено с диодом параллельно. Эквивалентные схемы параллельного диодного ключа при положительном и отрицательном напряжениях на его входе даны на рис. 4.2, е и ж, где снова r_d — прямое, $R_{d\text{ обр}}$ — обратное сопротивление диода.

Если выполняются условия $r_d \ll R_n \ll R_{d\text{ обр}}$, $R \gg r_d$, то при положительном входном напряжении

$$U_{\text{вых}} = U_{\text{вх}} \frac{r_d}{R + r_d} = U_{\text{вх}} \frac{1}{1 + R / r_d} \approx 0,$$

а при отрицательном

$$U_{\text{вых}} = U_{\text{вх}} \frac{R_n}{R + R_n} = U_{\text{вх}} \frac{1}{1 + R / R_n} > 0,$$

т. е. при полярности диода, показанной на схеме 4.2, δ , через параллельный диодный ключ «проходит» отрицательное напряжение и не «проходит» положительное. Если снова изменить полярность диода, то будет «проходить» положительное и не «проходить» отрицательное напряжение.

Основным достоинством диодных ключей является простота. Если оценивать основные параметры диодных ключей, то для уменьшения падения напряжения на ключе в замкнутом состоянии необходимо уменьшать r_d , а для уменьшения тока в разомкнутом состоянии — увеличивать $R_{добр}$, т.е. в ключевых схемах желательно использовать такие диоды, у которых r_d минимально, $R_{добр}$ максимально. Третий основной параметр — скорость перехода ключа из одного состояния в другое — зависит как от диода, так и от остальной схемы. Реальные полупроводниковые диоды обладают определенной инерционностью. Для включения диода нужно некоторое время $t_{вкл}$, в течение которого его база насыщается носителями, а для выключения диода — время $t_{выкл}$, в течение которого происходит рассасывание заряда в базе. Наиболее существенными параметрами схемы, влияющими на ее быстродействие, являются паразитные емкости, в том числе и емкость запятого диода. Как известно, напряжение на емкости не может возрасти скачком, что приводит к «затягиванию» фронта и спада импульсов напряжения. Поэтому для получения высокого быстродействия диодных ключей необходимо применять специальные импульсные диоды, которые имеют малые времена включения и выключения, малые паразитные емкости, а также позаботиться об уменьшении паразитных емкостей схемы.

Транзисторные ключи. В отличие от диодных в транзисторных ключах входная и выходная цепи разделены. Состояние транзистора (закрытое или открытое) зависит от значения входного напряжения (тока). В закрытом состоянии транзистор находится в режиме отсечки, а в открытом состоянии он может находиться в активном режиме и в режиме насыщения. Соответственно различают ненасыщенные и насыщенные ключи. Остановимся только на работе насыщенного транзисторного ключа, собранного по схеме с ОЭ на биполярном транзисторе (рис. 4.3, а). С помощью такого ключа осуществляется коммутация его коллекторной цепи электрическими сигналами, действующими в цепи базы.

Начальное состояние рассматриваемого ключа определяется сопротивлением резистора $R_б$ и напряжением $E_б$, которые подбирают таким, чтобы транзистор находился в режиме отсечки, т.е. начальное состояние схемы соответствует разомкнутому положению ключа. Когда на вход поступает положительный импульс тока достаточно большой величины, транзистор переходит в режим насыщения. Ключ замыкается.

В режиме отсечки оба $p-n$ -перехода смещены в обратном направлении, через нагрузку проходит минимальный ток, равный обратному току коллекторного перехода. Так как этот ток очень мал, сопротивление транзистора в этом случае можно считать бесконечно большим. В режиме насыщения через нагрузку проходит максимальный ток коллектора $I_K = I_{Кн}$, так как сопротивление транзистора, складывающееся из сопротивлений двух $p-n$ -переходов, смещенных в прямом направлении, оказывается очень малым.

Для анализа работы транзисторного ключа воспользуемся семейством выходных статических ВАХ транзистора $I_K = f(U_{КЭ})$ (рис. 4.3, б), на котором построим нагрузочную прямую. В режиме отсечки коллекторный и эмиттерный переходы смещены в обратном направлении ($U_{КБ} < 0$, $U_{БЭ} < 0$). Такому режиму соответствует рабочая точка A_1 — точка пересечения нагрузочной прямой и статической характеристики $I_{Б1} = -I_{К0}$.

При увеличении тока $I_б$ рабочая точка перемещается вверх по нагрузочной прямой, ток I_K возрастает, а напряжение $U_{КЭ}$ уменьшается, транзистор сначала переходит в активный режим, а затем, когда оба $p-n$ -перехода транзистора оказываются открытыми, в режим насы-

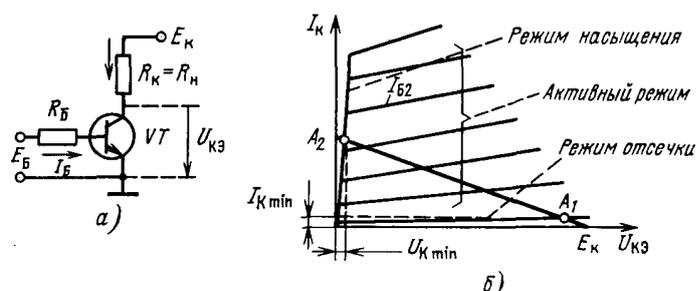


Рис. 4.3. Схема транзисторного ключа (а) и ВАХ транзистора (б)

нения, которому соответствует рабочая точка A_3 . При дальнейшем увеличении тока базы положение рабочей точки A_1 не изменится, возрастет лишь число неосновных носителей зарядов (электронов), вводимых через эмиттерный переход в базу, т. е. коэффициент насыщения транзистора. В режиме насыщения ток через транзистор ограничивается только сопротивлением нагрузки R_k :

$$I_{Кн} \approx E_k / R_k.$$

Следовательно, в разомкнутом состоянии ток через транзистор близок к нулю, а в замкнутом состоянии падение напряжения в насыщенном ключе близко к нулю, т. е. по первым двум параметрам насыщенные транзисторные ключи близки к идеальным. Третий параметр — скорость перехода ключа из одного состояния в другое — так же, как и в диодном ключе, связан и с транзистором, и со схемой. Инерционность реального транзистора зависит от времени переноса носителей в его базе и от емкостей $p-n$ -переходов. Инерционность схемы определяется ее паразитными емкостями. Для увеличения быстродействия транзисторных ключей необходимо использовать специальные импульсные транзисторы и заботиться о минимальных паразитных емкостях схемы.

Ключи на полевых транзисторах. Достоинствами ключей на полевых транзисторах являются:

- малое остаточное напряжение на ключе, находящемся в открытом состоянии;
- высокое сопротивление в непроводящем состоянии и, как следствие, малый ток, протекающий через транзистор, канал которого перекрыт;
- малая мощность, потребляемая от источника управляющего напряжения;
- хорошая электрическая развязка между цепью управления и цепью коммутируемого сигнала;
- возможность коммутации электрических сигналов очень малого уровня (порядка микровольта).

По быстродействию ключи на полевых транзисторах обычно уступают ключам на биполярных транзисторах. Кроме того, у них наблюдается проникновение в коммутируемую цепь дополнительных импульсов, параметры которых зависят от управляющего сигнала. Причиной их появления является наличие емкостей затвор—сток и затвор—исток.

При увеличении частоты коммутации значительно возрастает входной ток полевого транзистора, что обусловлено необходимостью перезаряда его входной емкости. Таким образом, коэффициент усиления по мощности с ростом частоты падает.

Различие полярностей управляющего и входного напряжений существенно усложняет схемотехнику электронных ключей, по этой причине полевые транзисторы с управляющим $p-n$ -переходом и МОП-транзисторы со встроенным каналом в схемах коммутации практически не используются.

Рассмотрим аналоговый ключ на n -канальном МОП-транзисторе с индуцированным каналом, не проводящим ток при нулевом или отрицательном напряжении на затворе (рис. 4.4).

В этом состоянии сопротивление сток—исток, как правило, больше 10 ГОм, и сигнал не проходит через ключ. Подача на затвор напряжения +15 В приводит канал сток—исток в проводящее состояние с типичным сопротивлением $R_{вкл}$ 25—100 Ом для МОП-транзисторов, предназначенных для использования в качестве аналоговых ключей. Схема не критична к значению уровня сигнала на затворе, поскольку он существенно более положителен, чем это необходимо для поддержания малого $R_{вкл}$, а потому его можно задавать от логических схем (лучше всего подходят логические уровни КМОП; можно использовать выход ТТЛ для получения уровней, соответствующих полному диапазону питания, с помощью внешнего транзистора) или даже ОУ: вполне годится +13 В с выхода усилителя, так как напряжение пробоя затвора для МОП-транзистора обычно равно 20 В или более. Обратное смещение затвора при отрицательных значениях выхода ОУ будет давать дополнительное преимущество — возможность переключать сигналы

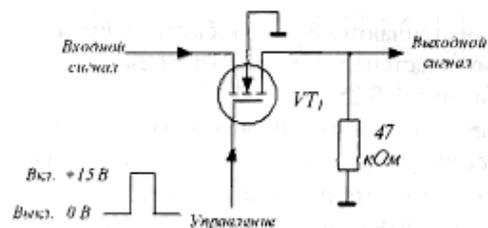


Рис. 4.4. Ключ на n -канальном МОП-транзисторе с индуцированным каналом

любой полярности. Следует заметить, что ключ на МОП-транзисторе — двунаправленное устройство, т. е. он может пропускать сигнал в обе стороны, как и электромеханический переключатель.

Чтобы охватить наибольший диапазон входных напряжений, как в положительной, так и в отрицательной области, вместо одного МОП-транзистора лучше использовать КМОП-схему, состоящую из двух комплементарных МОП-транзисторов, включенных параллельно.

Для того чтобы перевести ключ в состояние «включено», нужно приложить к затвору нормально открытого транзистора $VT1$ в схеме на рис. 4.5 положительное управляющее напряжение, равное, по меньшей мере, $2U_{отс}$, а к затвору транзистора $VT2$ — такое же напряжение, но противоположное по знаку. При малых величинах входного напряжения $U_{вх}$ оба транзистора будут открыты.

Если входное напряжение вырастет до значительного положительного уровня, величина $U_{зи1}$ уменьшится, а внутреннее сопротивление транзистора $VT1$ увеличится. Это обстоятельство, однако, несущественно, так как одновременно увеличится величина $U_{зи2}$ и внутреннее сопротивление транзистора $VT2$ уменьшится. При отрицательных значениях входного напряжения транзисторы $VT1$ и $VT2$ меняются ролями. Для перевода ключа в состояние «выключено» необходимо изменить полярность управляющего напряжения.

При смене полярности управляющего напряжения через проходную емкость затвор—канал на выход схемы ключа передается короткий импульс напряжения; этот импульс представляет собой помеху, особенно при малых уровнях коммутируемого напряжения. Чтобы амплитуда импульса помехи была незначительной, управляющее напряжение не должно быть слишком большим. Кроме того, желательно ограничить скорость изменения управляющего напряжения. Полезно также использовать низкоомные источники входного сигнала. Частоты переключения рассматриваемых ключей невелики.

На рис. 4.6 изображена схема цифрового ключа на МОП-транзисторе с индуцированным каналом, стоковым резистором R_c и временные диаграммы его работы.

Напряжение на выходе $U_{си}$ зависит от сопротивления в цепи стока R_c , величины входного сигнала и особенностей стоковых характеристик транзистора. Скорость изменения напряжения на выходе определяется сопротивлением R_c , емкостью C_n и частотными свойствами транзистора. Таким образом, быстродействие ключа на МОП-транзисторе во многом определяется не параметрами транзистора, а параметрами внешней цепи.

Повышение быстродействия такого ключа при заданных параметрах нагрузки (C_n) может быть достигнуто увеличением управляющего напряжения $U_{зи}$ или уменьшением балластного сопротивления R_c в цепи стока, что часто бывает неприемлемым.

Частично устранить отмеченные недостатки ключа с активной нагрузкой R_c удастся при замене этого резистора дополнительным МОП-транзистором, выполняющим для основного ключевого элемента роль нелинейного балластного сопротивления (рис. 4.7).

У транзистора $VT2$ соединены затвор и сток, поэтому он всегда находится в насыщенном режиме, являясь генератором тока. Ток стока $VT2$ определяется напряжением сток—исток, причем зависимость имеет нелинейный характер. Чем выше напряжение сток—исток $VT2$, тем меньше эквивалентное сопротивление транзистора $VT2$ выполняющего роль балластного элемента в цепи стока транзистора $VT1$. Это позволяет ускорить процесс перезаряда нагрузочной емкости и время изменения выходного напряжения в режимах, когда напряжение сток—исток $VT1$ близко к напряжению питания.

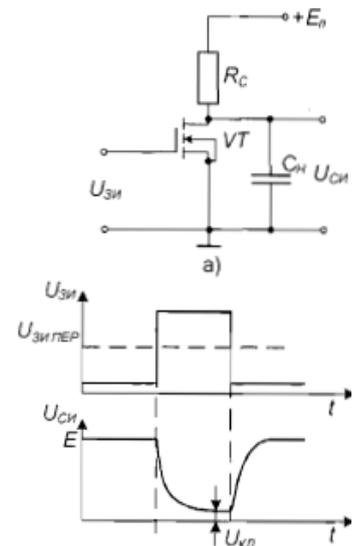


Рис. 4.6. Ключ на МОП-транзисторе с индуцированным каналом и временные диаграммы его работы

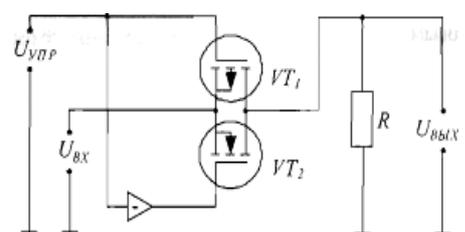


Рис. 4.5. Последовательный ключ на КМОП-транзисторах

Таким образом, применение вместо балластного резистора нагрузочного МОП-транзистора позволяет значительно повысить быстродействие ключа на МОП-транзисторе.

Недостатком рассмотренных ключей на МОП-транзисторах является то, что во включенном состоянии транзистора через ключ протекает постоянный ток, который пропорционален сопротивлению нагрузки в цепи стока транзистора и приводит к перегреву транзисторного ключа.

От указанного недостатка свободен ключ, выполненный на комплементарных (с каналами противоположной проводимости) МОП-транзисторах (рис. 4.8). В нем затворы обоих транзисторов соединены между собой и образуют входной вывод. Соединенные вместе стоки образуют выходной вывод, а истоки совместно с подложкой подключены соответственно к источнику питания и общей шине.

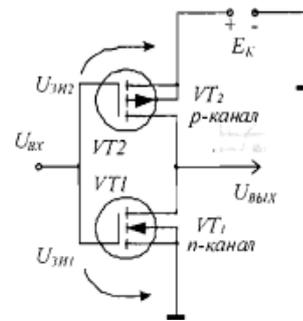


Рис. 4.8. КМОП-ключ

Когда входное напряжение близко к нулю, открыт VT2, на входе напряжение, близкое к напряжению источника питания. При увеличении входного напряжения до пороговой величины, большей значения отпирания VT1, соответственно VT1 насыщается, а VT2 запирается. В этом случае выходное напряжение будет близко к нулю.

Уровень входного напряжения должен быть или достаточно высоким или низким, чтобы одновременно был открыт только один транзистор. Но если данное условие не выполняется, тогда оба транзистора приоткрыты, т. е. находятся в промежуточном состоянии между отсечкой и насыщением и через них протекает так называемый сквозной ток. Если длительность переднего и заднего фронта входного импульса мала, то сквозной ток протекает короткое время, но и в этом случае он оказывает негативное влияние на работу схемы.

К достоинствам КМОП-ключа можно отнести то, что в каждом из двух установившихся режимов, т. е. в открытом и закрытом состоянии, ключ практически не потребляет ток от источника питания. Вторым важным достоинством ключа является резкое отличие выходного напряжения в открытом состоянии ключа (единицы микровольт) и выходного напряжения в закрытом состоянии (отличается от напряжения питания на микровольты). Это обеспечивает высокую помехоустойчивость цифровых схем на КМОП-ключах.

Важным достоинством КМОП-ключа является его быстродействие. Оно объясняется тем, что разряд и заряд емкости нагрузки C_H происходит через соответствующий открытый транзистор (емкость разряжается через транзистор VT1 и заряжается через VT2). При этом в начале заряда или разряда протекает большой ток, который быстро изменяет напряжение на емкости нагрузки.

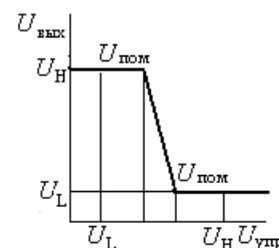


Рис. 4.9. Передаточная характеристика ключа

В случае если входной сигнал поступает от такого же ключа, то с увеличением уровня входного напряжения увеличивается уровень отпирания сигнала на соответствующем транзисторе и тем больше его отпирание ток. Следовательно, чем больше напряжение питания, тем выше быстродействие КМОП-ключа.

Описанные достоинства — максимально высокое быстродействие при минимальной рассеиваемой мощности выгодно отличают КМОП-ключи от других ключей на полевых транзисторах. Совмещение в одном устройстве двух противоречивых требований является причиной широкого использования КМОП-ключей в цифровых устройствах.

Таким образом, электронные ключи работают только в двух характерных рабочих состояниях, рис. 4.9. Эти состояния характеризуются тем, что выходное напряжение может быть равно либо некоторому заданному напряжению U_H (high — высокий), либо некоторому заданному напряжению U_L (low — низкий), причем $U_L < U_H$. Величины уровней U_H и U_L зависят только от используемой схемотехники. Чтобы можно было однозначно интерпретировать выходной сигнал, уровни, лежащие между значениями U_L и U_H , считаются запрещенными.

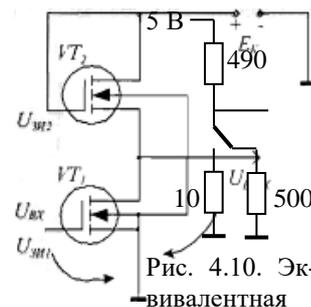


Рис. 4.7. Электронный ключ с нагрузочным МОП-транзистором

На рис. 4.10 сопротивление 490 Ом имитирует внутреннее сопротивление нагрузки ключа (аналог коллекторного сопротивления в транзисторном ключе), сопротивление 10 Ом — сопротивление замкнутого электронного ключа, сопротивление 500 Ом — сопротивление разомкнутого ключа с учетом внешней нагрузки. Как следует из рис. 4.10, замкнутому состоянию ключа (логическому нулю на выходе) соответствует напряжение 0,1 В (в практических схемах может быть и больше), а разомкнутому (логической единице) — напряжение 2,55 В (нормируется на уровне 2,4 В). Электронные ключи проектируют так, чтобы при наихудших сочетаниях входных и выходных параметров ключи могли различать сигналы логических единицы и нуля.

4.2. Цифро-аналоговые преобразователи

4.2.1. Общие положения

При измерении физических величин первичная информация, получаемая от различных датчиков, как правило, поступает в аналоговой форме. Эту информацию в дальнейшем необходимо обрабатывать в соответствии с заданным алгоритмом. Обработка аналоговых сигналов, хранение, передача, отображение представляет определенные трудности и осуществляется с определенной погрешностью. Обработку этой информации удобнее вести в цифровой форме.

Процессы, происходящие в обычных аналоговых электронных схемах, можно рассматривать как результат математических вычислений. Например, усиление можно считать умножением на константу, смешивание сигналов — сложением, а ослабление в делителе напряжения — делением на константу, модуляцию — умножением двух чисел. Для фильтрации сигналов можно использовать цифровые фильтры.

Достоинствами цифровой обработки сигналов являются абсолютная повторяемость, свободная от влияния случайных изменений параметров, их разброса, легкость цифрового управления и запоминание всех функций. Возможность свободно манипулировать сигналами во времени обеспечивает реализацию такой обработки, которая слишком дорога или невозможна в аналоговом исполнении.

Представление результатов цифровой обработки сигналов в большинстве случаев требует представления в аналоговой форме. Примером может служить воспроизведение музыки с компакт-дисков.

Любая система, использующая цифровую обработку сигналов, предполагает преобразование сигналов из аналогового вида в цифровой и затем, после обработки, из цифрового в аналоговый вид. Для этих целей применяют аналого-цифровые (АЦП) и цифро-аналоговые преобразователи (ЦАП).

Аналого-цифровые преобразователи представляют собой устройства, предназначенные для преобразования электрических величин (напряжения или тока) в цифровой код. Наиболее часто входной величиной является напряжение.

Цифро-аналоговые преобразователи предназначены для преобразования числа, представленного, как правило, в виде двоичного кода, в напряжение или ток, пропорциональные этому числу.

Функциональная схема типичной аналого-цифровой системы, содержащей цифровой сигнальный процессор (ЦСП), представлена на рис. 4.11. Обычно, прежде чем подвергнуться аналого-цифровому преобразованию, аналоговый сигнал проходит через цепи нормализации, которые выполняют такие функции, как усиление или ослабление и фильтрация. Для подавления нежелательных сигналов вне полосы пропускания и предотвращения наложения спектров необходимы фильтр нижних частот или полосовой фильтр.

Схема работает в реальном масштабе времени. В ней АЦП непрерывно дискретизирует сигнал с частотой f_d и выдает новый отсчет процессору ЦСП с той же частотой. Для обеспечения работы в реальном масштабе времени ЦСП должен закончить все вычисления в пределах интервала дискретизации $1/f_d$ и передать выходной отсчет на ЦАП до поступления следующего отсчета с АЦП.

ЦАП требуется только в том случае, когда данные необходимо преобразовать обратно в аналоговый сигнал (например, в случае голосового или звукового приложения). Во многих приложениях после первоначального аналого-цифрового преобразования сигнал остается в цифровой форме. Кроме того, существуют устройства подобные CD-проигрывателю, в которых ЦСП отвечает исключительно за формирование сигнала на ЦАП. В случае использования ЦАП на его выходе для подавления нежелательных верхних гармоник необходимо применять фильтр, как правило, нижних частот.

В процессах аналого-цифрового и цифро-аналогового преобразования используются три независимых операции: *дискретизация* сигнала по времени — выборка значений исходной аналоговой величины в некоторые наперед заданные моменты времени, *квантование* — округление до некоторых известных величин полученной в дискретные моменты времени последовательности значений исходной аналоговой величины по уровню и *кодирование* — замена найденных квантованных значений числовыми кодами. Понимание этих процессов является основополагающим фактором в оценке применения АЦП и ЦАП.

Процесс цифро-аналогового преобразования предполагает выполнение следующих операций: формирование дискретных значений выходного сигнала, отличающихся на некоторое значение, постановку каждому сформированному уровню в соответствии некоторого кода и последовательное, с заданным временным интервалом, присвоение выходному сигналу значений выделенных уровней, соответствующих входному коду.

Результатом цифро-аналогового преобразования будет ступенчатая функция. Эта функция, хоть и непрерывна во времени, но остается дискретной по уровню, что является результатом квантования. Сам процесс цифро-аналогового преобразования не вносит собственных принципиальных погрешностей, а лишь повторяет погрешности, полученные в АЦП. Возникающие в ЦАП погрешности носят чисто инструментальный характер. Следует отметить, что погрешности, связанные с самим алгоритмом работы, возникают только на этапе аналого-цифрового преобразования и для их уменьшения необходимо уменьшать период дискретизации и шаг квантования.

Наиболее важным моментом, характеризующим и ЦАП, и АЦП, является тот факт, что их входы или выходы являются цифровыми, поэтому сигнал подвергается квантованию. Обычно N -разрядное слово представляется одним из 2^N возможных состояний, поэтому у N -разрядного АЦП (с

фиксированным источником опорного напряжения) может быть только 2^N значений аналогового выхода, и он может выдавать 2^N различных комбинаций, соответствующих значениям аналогового входа.

Разрешающая способность преобразователей может быть выражена несколькими различными способами: весом младшего разряда, числом

Дискретность ЦАП

Разрешающая способность N	2^N	Напряжение 10 В полной шкалы (FS)	ppm FS	% FS	dB FS
2-бит	4	2,5 В	250,000	25	-12
4-бит	16	625 мВ	62,500	6,25	-24
6-бит	64	156 мВ	15,625	1,56	-36
8-бит	256	39,1 мВ	3,906	0,39	-48
10-бит	1024	9,77 мВ	977	0,098	-60
12-бит	4096	2,44 мВ	244	0,024	-72
14-бит	16384	610 мкВ	61	0,0061	-84
16-бит	65536	153 мкВ	15	0,0015	-96
18-бит	262144	38 мкВ	4	0,0004	-108
20-бит	1048576	9,54 мкВ	1	0,0001	-120
22-бит	4194304	2,38 мкВ	0,24	0,000024	-132
24-бит	16777216	596 нВ*	0,06	0,000006	-144

* 600 нВ — это шум Джонсона при ширине полосы 10 кГц, $R=2,2$ кОм; при 25 °С. Легко запомнить: 10-разрядное квантование при значении полной шкалы FS=10 В соответствует МЗР (LSB)=10 мВ, точность 1000 ppm или 0,1%. Все остальные значения можно вычислить, умножив значение на коэффициент дискретизации и квантования аналогового сигнала.

миллионных долей от полной шкалы (ppm FS), милливольтами (mV) и т. д. Различные устройства (даже от одного производителя) специфицируются по разному, так что для успешного сравнения устройств пользователи АЦП и ЦАП должны уметь преобразовывать характеристики из различных спецификаций. Величина младшего разряда для приборов с различной разрешающей способностью приведена в таблице.



Рис. 4.12. Структурная схема ЦАП

Схемотехника ЦАП весьма разнообразна. Практически все используемые ЦАП выполнены в микроэлектронном исполнении, которое отличается согласованностью динамических и температурных параметров элементов, дешевизной, малыми размерами и низкой потребляемой мощностью. Их в общем случае можно разделить на преобразователи с прямым и промежуточным преобразованием.

Различают последовательные, параллельные и последовательно-параллельные преобразователи с прямым преобразованием. Большинство ЦАП — параллельного типа. В основу их работы положено суммирование токов, соответствующих весам разрядов преобразователя. В состав простейшего параллельного ЦАП (рис. 4.12) обычно входят регистр, дешифратор, источник опорного напряжения (ИОН), резистивные или активные делители, аналоговые ключи. В качестве делителей чаще всего применяют матрицы $R-2R$ и матрицы взвешенных резисторов. Суммирование токов, образованных подключением соответствующих источников, производится ОУ. Вместо резистивных делителей в параллельных ЦАП могут быть использованы активные делители тока.

Существуют ЦАП, в которых цифровой код вначале преобразуется в промежуточную величину, представленную длительностью или частотой следования импульсов, а затем преобразуется в соответствующий выходной сигнал. При этом преобразуемый код управляет подключением источника эталонного напряжения на вход низкочастотного фильтра. Фильтр выделяет из серии промежуточных сигналов среднее значение или постоянную составляющую напряжения, пропорциональную входному коду.

Преобразователи могут быть одно- и многоканальными. Многоканальная работа обеспечивается либо объединением в одной БИС нескольких идентичных ЦАП, работающих независимо друг от друга, либо использованием на выходе микросхемы аналогового коммутатора.

По типу цифрового интерфейса микросхемы ЦАП изготавливают с последовательным или с параллельным вводом. Кроме этого, можно выделить ЦАП низкого, среднего и высокого быстродействия. Разрядность интегральных ЦАП лежит в пределах от 8 до 24.

4.2.2. ЦАП с суммированием токов

ЦАП с суммированием весовых токов. Существует несколько схем, являющихся базой для построения многих разновидностей ЦАП соответствующего класса. Для формирования соответствующих уровней выходного напряжения (или тока) к выходу ЦАП подключается необходимое количество опорных сигналов тока или напряжения, либо устанавливают соответствующее дискретное значение коэффициента деления. Большинство схем параллельных АЦП основано на суммировании токов, сила каждого из которых пропорциональна весу цифрового двоичного разряда, причем должны суммироваться токи только тех разрядов, значения которых равны 1. Простейшая схема, реализующая этот принцип, представлена на рис. 4.13, а. Ключи, как правило, выполняются на МОП-транзисторах.

Данная четырехразрядная схема содержит источник опорного напряжения $U_{оп}$, четыре резистора с сопротивлениями $R, R/2, R/4, R/8$ и четыре ключа, управляемых разрядами входного кода. Если в соответствующем разряде входного кода присутствует логическая 1, соответствующий ключ S замкнут.

В схеме все токи формируются с помощью резисторов в соответствии с законом Ома. Сопротивления выбраны так, чтобы при замыкании ключа через резистор протекал ток, соответствующий весу разряда. Легко показать, что суммарный ток $I_{вых}$ определяется входным кодом и положением ключей.

Для схемы 4.13, б, получившей название ЦАП с матрицей взвешенных резисторов или взвешенная схема, выходное напряжение определяется сопротивлением в цепи обратной связи R_{OC} и суммарным входным сопротивлением R_{Σ} , определяемым положением ключей $S_0—S_3$:

$$U_{вых} = -U_{оп} R_{OC} / R_{\Sigma}. \quad (4.1)$$

Токи ключей суммируются на инвертирующем входе ОУ, причем токи различных ключей имеет разный «вес».

$$\begin{aligned} U_{вых} &= -U_{оп} S_0 \frac{R_{OC}}{R} - U_{оп} S_1 \frac{R_{OC}}{R/2} - U_{оп} S_2 \frac{R_{OC}}{R/4} - U_{оп} S_3 \frac{R_{OC}}{R/8} = \\ &= -U_{оп} \frac{R_{OC}}{R} (8S_3 + 4S_2 + 2S_1 + S_0), \end{aligned} \quad (4.2)$$

где S_i ($i=0, 1, 2, 3$) принимает значение 1, если соответствующий ключ замкнут, и 0, если ключ разомкнут.

При высокой разрядности ЦАП токозадающие резисторы должны быть согласованы с высокой точностью, наиболее жесткие требования предъявляются к резисторам старших разрядов. Это требование делает фактически нереализуемыми по указанному принципу ЦАП с разрядностью выше 12. Кроме этого, схема имеет еще недостатки: при различных кодах ток, потребляемый от ИОН, различный, что может повлиять на величину напряжения ИОН; в схеме к разомкнутым ключам прикладывается значительное напряжение, что усложняет их построение.

ЦАП на резистивной матрице $R-2R$. Указанные недостатки отсутствуют в схеме на матрице $R-2R$, представленной на рис. 4.14, а. Здесь используются так называемые перекидные ключи, подсоединяющие нижние выводы сопротивлений $2R$ к общему проводу в любом положении.

В схеме весовые коэффициенты преобразователя задают с помощью последовательного деления опорного напряжения с помощью резистивной матрицы постоянного импеданса (так называемой матрицы $R-2R$). Каждый последующий каскад делит входное напряжение на два. В этом легко можно убедиться, проанализировав принцип построения ступени резистивной матрицы. Каждый последующий каскад нагружен на сопротивление $2R$, которое соединено параллельно с выходным сопротивлением каскада, равным также $2R$. Параллельное соединение сопротивлений $2R$ равно R . Таким образом, получается, что последовательно включены два сопротивления величиной R , которые дают уменьшение сигнала в два раза.

Из-за близкого к нулю сопротивления ключей нижние выводы резисторов при любом положении ключей находятся под потенциалом общей шины схемы. Благодаря этому ИОН нагружен всегда на постоянное сопротивление схемы, что гарантирует неизменность опорного напряжения при любом входном коде.

Поскольку нижние выводы резисторов

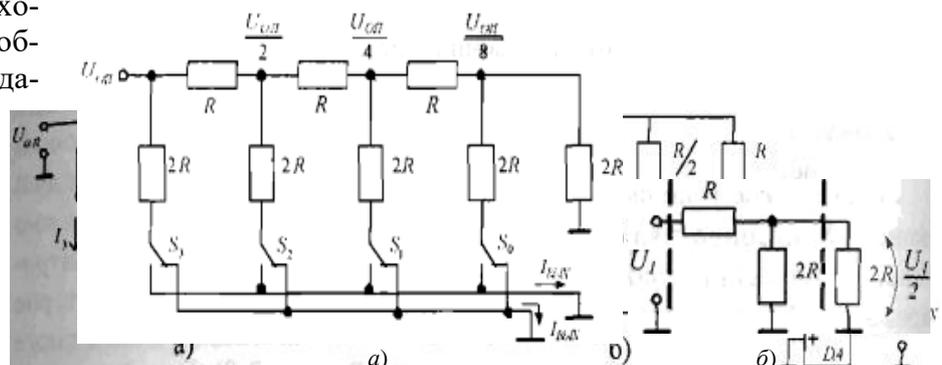


Рис. 4.14. Упрощенная схема ЦАП с матрицей взвешенных резисторов (а) и принцип деления напряжения (б)

$2R$ матрицы при любом состоянии ключей соединены с общей шиной через низкое сопротивление замкнутых ключей, напряжения на ключах остаются небольшими. Это упрощает построение ключей и схем управления ими и позволяет использовать широкий диапазон опорных напряжений, в том числе и различной полярности. Преобразователи такого типа можно использовать для умножения аналогового сигнала, подаваемого на вход опорного напряжения, на цифровой код. Такие ЦАП получили название перемножающих.

ЦАП на основе матрицы $R-2R$ представлен на рис. 4.15. Преобразователь тока в напряжение выполнен на базе ОУ. Так как ОУ включен по схеме с ООС, а резистивная матрица подключена к инвертирующему входу ОУ, то в точке подключения будет виртуальный ноль. Следовательно, при любом положении ключей нижние выводы резисторов $2R$ будут подключены практически к общему проводу,

Модуль выходного напряжения пропорционален числу, двоичный код которого определяется состоянием ключей:

$$\begin{aligned}
 U_{\text{вых}} &= -\left(U_{\text{оп}} S_3 \frac{R_{\text{OC}}}{2R}\right) - \left(\frac{U_{\text{оп}}}{2} S_2 \frac{R_{\text{OC}}}{2R}\right) - \\
 &\quad - \left(\frac{U_{\text{оп}}}{4} S_1 \frac{R_{\text{OC}}}{2R}\right) - \left(\frac{U_{\text{оп}}}{8} S_0 \frac{R_{\text{OC}}}{2R}\right) = \\
 &= -U_{\text{оп}} \frac{R_{\text{OC}}}{16R} (8S_3 + 4S_2 + 2S_1 + S_0), \quad (4.3)
 \end{aligned}$$

Поданной схеме построен интегральный ЦАП 572ПА1 (зарубежный аналог — АО7520), являющийся по существу схемой, на основе которой построены многие современные серийные модели ЦАП.

К недостаткам схемы можно отнести то, что весовые токи формируются резисторами небольшого сопротивления и зависят от сопротивлений ключей и нагрузки.

4.2.3. ЦАП с внутренними источниками тока

Для повышения точности и быстродействия применяют схемы с использованием источников тока на биполярных транзисторах. Принцип построения ЦАП на внутренних источниках тока иллюстрируется схемой на рис. 4.16, а. Структура ЦАП содержит резистивный делитель типа $R-2R$, разрядные ключи $S_0—S_{N-1}$ и управляемые ОУ источники равных токов на транзисторах $V_{T0}—V_{TN}$.

При данном методе преобразования входной двоичный код управляет включением источников, генерирующих токи, в соответствии с их весовыми коэффициентами. Эти токи суммируются, и суммарный ток либо непосредственно используется в качестве выходного, либо преобразуется в напряжение посредством операционного усилителя. Масштабные токи формируются при помощи транзисторов и набора масштабных резисторов соответствующих номиналов.

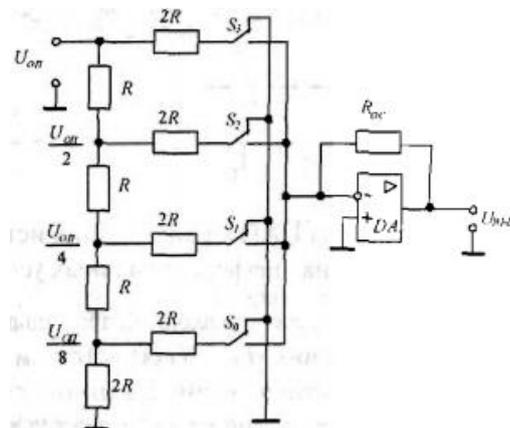


Рис. 4.15. ЦАП на резистивной матрице $R-2R$ с использованием ОУ

В большинстве преобразователей этого типа источники тока фактически все время включены, а их выходные токи коммутируются в зависимости от значения входного кода на общий провод или на выходную шину. Это обеспечивает повышенную точность, а ключи легко реализуются на биполярных или полевых транзисторах (рис. 4.16, б). В схеме ЦАП источники тока промасштабированы с помощью резисторной цепной схемы $R-2R$.

При одинаковой плотности эмиттерных токов сами токи соотносятся как площади эмиттерных переходов транзисторов, в соответствии с цифрами на рисунке. Операционный усилитель с транзистором $VT_{оп}$ формируют напряжение $U_{оп}$ для смещения источников токов, задавая соответствующее значение $U_{БЭ}$. Стабильное положительное напряжение $U_{оп}$ можно получить от внутреннего либо от внешнего источника. Это напряжение определяет коллекторный ток $I_K = U_{оп}/R_{оп}$ транзистора $VT_{оп}$ и, следовательно, стабильное напряжение на эмиттере относительно $-U_{п}$. Транзисторы $VT_0—VT_{N-1}$, обеспечивающие необходимые двоичнозвешенные токи, получают требуемое напряжение смещения за счет того, что потенциал базы выше потенциала эмиттера на величину $U_{БЭ}$.

Поскольку нагрузка на источники тока, состоящая из сопротивлений открытых ключей $S_0—S_{N-1}$ сопротивлений резистивного делителя $R-2R$ со стороны узловых цепей, не влияет на значение тока, то погрешность в формировании выходного тока $I_{вых}$ как суммы разрядных значений зависит только от точности изготовления делителя $R-2R$.

Применение такого ЦАП в режиме преобразования однополярного напряжения (рис. 4.17) сопровождается подключением потенциометра $R1$, обеспечивающего регулировку масштаба. Вывод ЦАП по току подключается к инвертирующему входу ОУ с обратной связью, работающего в режиме преобразования тока в напряжение.

Для нормальной работы ЦАП необходимо, чтобы транзисторы в ключах работали либо в режиме глубокого насыщения, либо в режиме глубокой отсечки. Временная задержка, связанная с выводом транзисторов из режима насыщения, определяет верхний предел быстродействия ЦАП.

В качестве переключателей тока часто используют биполярные дифференциальные каскады, в которых транзисторы работают не в ключевом, а в активном режиме (ненасыщенные ключи). Это позволяет сократить время установления выходного сигнала до единиц наносекунд.

4.2.4. Сегментированные ЦАП

В идеале изменения на выходе ЦАП от одной величины до другой должны проходить монотонно. На практике на выходе наблюдаются выбросы, амплитуда которых зависит от номера переключаемого разряда (рис. 4.18). Эти выбросы обусловлены неодновременностью переключения источников тока, особенно когда источник тока старшего разряда подключается раньше, чем отключаются источники тока младших разрядов.

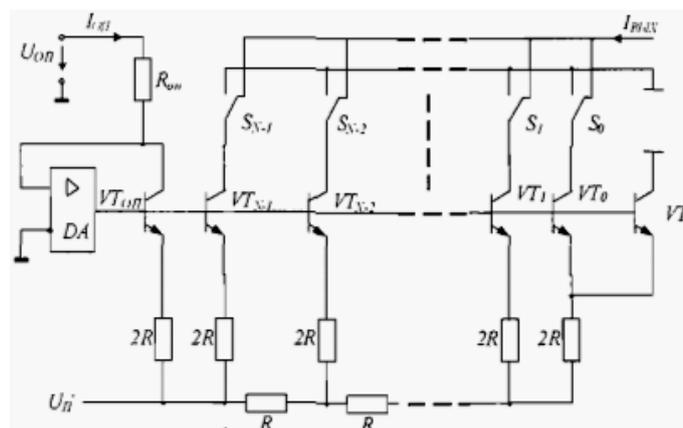


Рис. 4.16. Упрощенная схема ЦАП на внутренних источниках тока (а) и переключатели тока на дифференциальных усилителях (б)

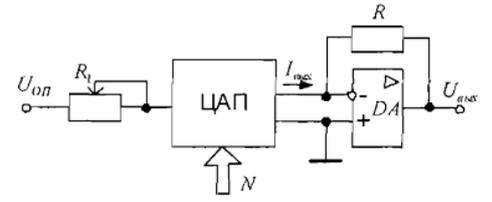


Рис. 4.17. Включение ЦАП в режиме преобразования однополярного напряжения

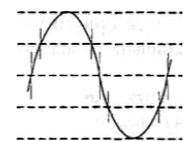
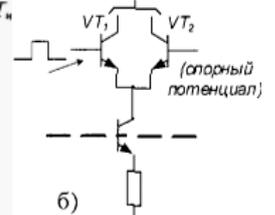


Рис. 4.18. Кодозависимые выбросы на выходе ЦАП



б)

Для устранения этих недостатков применяют сегментированные ЦАП, в которых используются два вида преобразователей: ЦАП с суммированием токов (суммированием весовых токов, матрицей $R-2R$, с внутренними источниками тока) и простейшие строковые ЦАП с выходом по току или по напряжению (рис. 4.19).

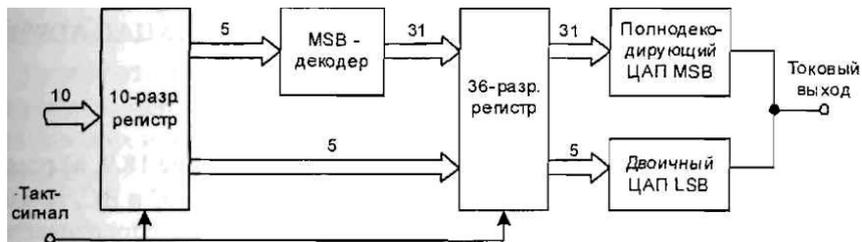
N -разрядная версия строкового ЦАП содержит 2^N равных по величине последовательно соединенных резисторов. Выходной сигнал снимается с соответствующего отвода замыканием одного из 2^N коммутаторов после декодирования N -разрядных данных. Строковые ЦАП с выходом по току имеют параллельно соединенные резисторы равных номиналов, требуемый ток задается одновременным замыканием ключей.

Эти схемы изначально обеспечивают монотонный сигнал и обладают малыми кодозависимыми импульсными помехами. Главный недостаток строковых ЦАП — большое количество резисторов и ключей, требуемых для реализации высокой разрешающей способности, поэтому они используются только в качестве компонента ЦАП более сложной структуры.

Принцип построения сегментированных ЦАП заключается в том, чтобы старшие разряды, дающие наибольшие погрешности, отделить от младших и преобразовать их в аналог с помощью строкового ЦАП, дающего малые кодозависимые помехи, младшие разряды преобразовать в аналог с помощью обычной двоичной схемы ЦАП, а на выходе произвести суммирование двух выходных сигналов, соответствующих младшим и старшим разрядам.

ЦАП с сегментированием представлен на рис. 4.20. Пять старших разрядов декодируются из двоичного в позиционный код, который управляет строковым ЦАП.

Входной 10-разрядный регистр предназначен для ввода и хранения входного двоичного параллельного кода. Дешифратор преобразует пять старших разрядов входного параллельного кода в позиционный 31-разрядный код.



Таким образом, второй 36-разрядный регистр хранит 31-разрядный позиционный код старших разрядов и пятиразрядный параллельный двоичный код пяти младших разрядов. Этот регистр необходим из-за задержки прохождения сигналов через дешифратор. Позиционный код поступает на строковый ЦАП, младшие пять разрядов — на двоичный ЦАП с параллельным входным кодом, как правило, с суммированием токов и с матрицей $R-2R$. На выходе токи этих двух ЦАП суммируются.

Максимальный уровень кодозависимой помехи, вызванной неодновременностью коммутации ключей, не превышает 3,1 % от полной шкалы. Эти выбросы легко могут быть сглажены выходными фильтрами.

4.4.5. Цифровые потенциометры

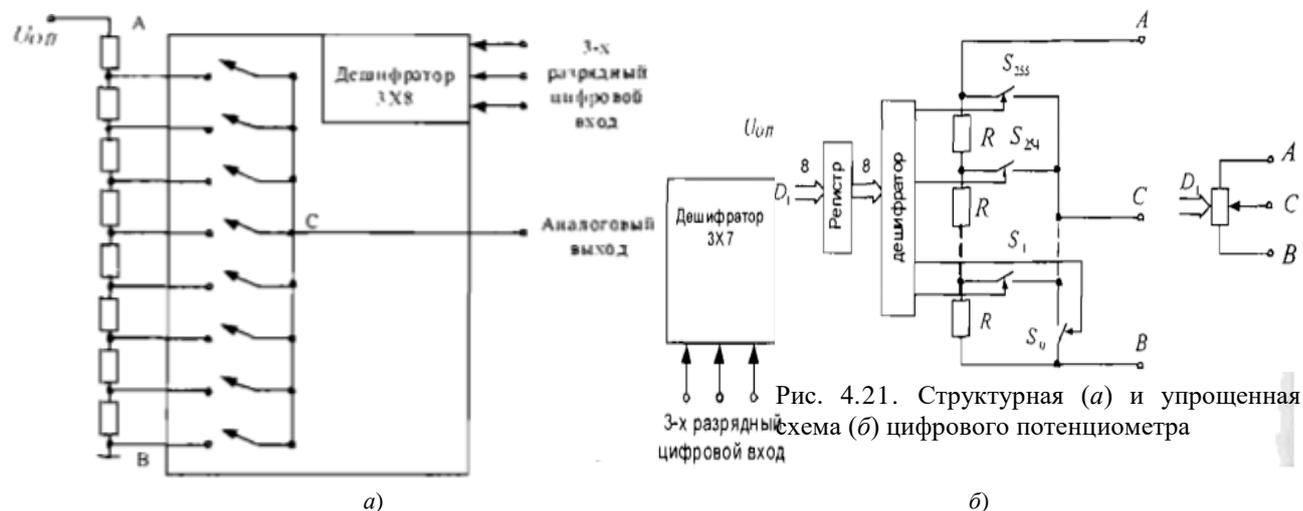


Рис. 4.19. Строковые ЦАП с выходом по напряжению (а) и по току (б)

Если строковый ЦАП с выходом по напряжению (рис. 4.19, *a*) рассматривать с точки зрения величины сопротивления между выводами *AC* и *BC*, то данная схема может исполнять роль потенциометра с переменным сопротивлением, управляемым кодом.

Основу цифровых потенциометров составляет резистивная матрица, как правило, из 256 резисторов равного сопротивления, соединенных последовательно (рис. 4.21). Вывод *C* через ключи $S_0—S_{255}$ может подключаться к любой точке резистивной цепи в зависимости от входного кода. Входной двоичный код преобразуется дешифратором 8×256 в позиционный код, управляемый ключами.

Достоинством данной схемы является высокая линейность (рис. 4.22) и монотонность переходной характеристики, недостатком — необходимость изготовления большого количества резисторов с одинаковым сопротивлением.

Существует большое количество моделей цифровых потенциометров — с энергозависимой памятью и без неё, с однократным программированием. Энергонезависимое ЗУ особенно удобно для построения схем с автоматической подстройкой.

4.2.6. ЦАП прямого цифрового синтеза

ЦАП часто используются для синтеза сигналов специальной формы — синусоидальной, пилообразной, прямоугольной. Кроме этого, в коммуникационных схемах необходимо синтезировать сигналы множества частот с высокой стабильностью и точностью на одном или большем количестве опорных частот. Ранее для этого применялось переключение и смешивание частотных сигналов от группы кварцевых генераторов. Другие методы предусматривали использование цепей фазовой автоподстройки частоты (ФАПЧ).

В связи с широким распространением цифровых методов в настоящее время получил метод прямого цифрового синтеза (ПЦС). Метод ПЦС можно рассмотреть на примере системы прямого цифрового синтеза (рис. 4.23).

В этой упрощенной схеме стабильный генератор тактового сигнала управляет с помощью адресного счетчика программируемым ПЗУ, который хранит один или более целое число циклов синусоидального сигнала (или другого сигнала произвольной формы). Для уменьшения необходимого объема ПЗУ зачастую в него записывается информация только о четверти периода синусоидального сигнала. По мере того, как адресный счетчик проходит через каждую ячейку памяти, соответствующая цифровая амплитуда сигнала из каждой ячейки подается на ЦАП, который, в свою очередь, воспроизводит аналоговый выходной сигнал.

В связи с дискретной природой ПЦС методу присущи погрешности, характерные для АЦП: шум квантования, наложение спектра, для такого ЦАП на выходе необходим фильтр низких частот. Основная проблема этой простой ПЦС-системы состоит в том, что выходная частота может быть изменена только путем изменения частоты задающего генератора или посредством перепрограммирования ПЗУ, что делает систему недостаточно гибкой.

На практике ПЦС-системы осуществляют эту функцию более гибким и эффективным способом, используя цифровую схему, называемую генератором с цифровым управлением. Функциональная схема такой системы представлена на рис. 4.24.

Содержимое сумматора фазы обновляется однократно за каждый тактовый цикл. Каждый раз при обновлении сумматора фазы цифровое

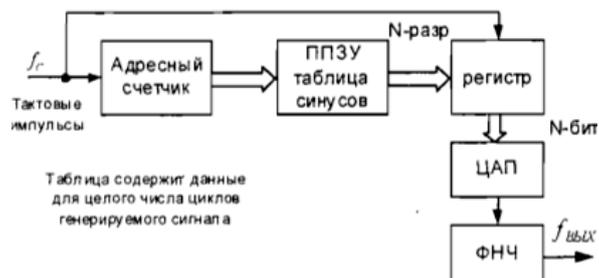


Рис. 4.23. Функциональная схема системы прямого цифрового синтеза

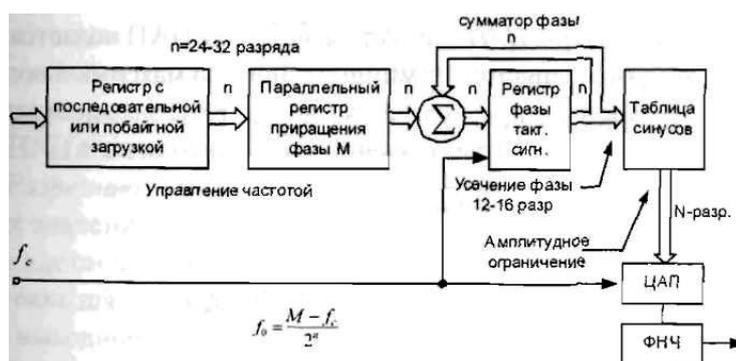


Рис. 4.24. ПЦС ЦАП, использующий генератор с цифровым управлением

Выводы R_{CA} и R_{CB} от входного кода

число M , сохраненное в регистре приращения фазы, добавляется к числу в сумматоре фазы. Если сумматор является 32-разрядным, для полного цикла обновления сумматора фазы требуется 2^{32} тактовых циклов, после чего цикл повторяется.

Усеченное значение выходного сигнала сумматора фазы служит адресом таблицы задания синуса (или косинуса). Таблица поиска содержит информацию, соответствующую амплитуде для одного полного цикла синусоидального сигнала.

Для n -разрядного сумматора фазы (в большинстве ПЦС-систем значение n лежит в диапазоне от 24 до 32) существует 2^n значений фазы. Число M в регистре приращения фазы представляет собой величину, на которую текущее значение фазы увеличивается в каждом тактовом цикле. Если f_c — частота синхронизации, то выходная частота синусоидального сигнала равна

$$f_0 = Mf_c / 2^n. \quad (4.4)$$

Разрешающая способность системы по частоте равна $f_c / 2^n$. При $n=32$ разрешающая способность больше, чем один к четырем миллиардам. В реальной ПЦС-системе не все разряды от сумматора фазы используются для выбора значений из таблицы, оставляются только первые 12—16 старших разрядов, тогда как младшие разряды игнорируются. Это уменьшает размер таблицы и не ухудшает разрешающую способность по частоте.

Описанная ПЦС-система представляет собой гибкое решение с высокой разрешающей способностью. Частота может быть мгновенно изменена без искажения фазы простым изменением содержимого M -регистра.

4.2.7. Параметры ЦАП

В настоящее время ассортимент выпускаемых ИС ЦАП довольно широк. Поскольку все они обладают различными характеристиками, необходимо понимать физический смысл параметров ЦАП, приводимых в технической документации и справочниках.

Статические параметры ЦАП. Допустим, на входы ЦАП подается двоичный код, значения которого меняются от минимального до максимального с шагом, равным 1. Этот входной код преобразуется в дискретные значения выходной аналоговой величины. Совокупностью значений выходного сигнала ЦАП $U_{\text{вых}}$ в зависимости от входного кода D называют статической характеристикой преобразования.

В отсутствие аппаратных погрешностей средние точки ступенек расположены на идеальной прямой 1 (рис. 4.25), которой соответствует идеальная характеристика преобразования. Реальная характеристика преобразования может существенно отличаться от идеальной размерами и формой ступенек, а также расположением на плоскости координат. Точность определяется отклонением действительной выходной аналоговой величины от ее теоретического значения. На точность ЦАП влияют значения основных параметров и температурные дрейфы: эталонного источника, суммирующего усилителя, резистивной схемы и аналоговых ключей. Для количественного описания этих различий существует целый ряд параметров.

1. *Разрядность* — число символов кода, необходимое для того, чтобы в выбранной системе счисления (как правило, в двоичной) выразить номинальное число квантов.

2. *Разрешающая способность* — приращение $U_{\text{вых}}$ при преобразовании смежных значений D_i , т. е. отличающихся на единицу МЗР. Это приращение является шагом квантования. Для двоичных кодов преобразования номинальное значение шага квантования $h = U_{\text{пш}} / 2^{N-1}$, где $U_{\text{пш}}$ — номинальное максимальное выходное напряжение ЦАП (напряжение полной шкалы), N — разрядность ЦАП. Чем больше разрядность преобразователя, тем выше его разрешающая способность.



Рис. 4.25. Статическая характеристика преобразования ЦАП

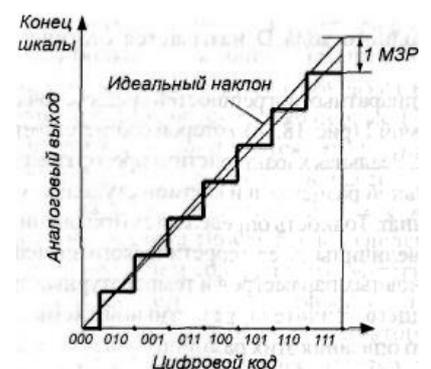


Рис. 4.26. Линейная погрешность шкалы на единицу МЗР

3. *Погрешность полной шкалы* — относительная разность между реальным и идеальным значениями предела шкалы преобразования при отсутствии смещения нуля (рис. 4.26). Обычно указывается в процентах:

$$\delta_{\text{пш}} = (\epsilon_{\text{пш}} / U_{\text{пш}}) 100 \% \quad (4.5)$$

Погрешность полной шкалы является мультипликативной составляющей полной погрешности. Иногда указывается соответствующим числом единиц МЗР.

4. *Погрешность смещения нуля* — значение $U_{\text{вых}}$, когда входной код ЦАП равен нулю (рис. 4.27). Является аддитивной составляющей полной погрешности. Обычно указывается в милливольтгах или в процентах от полной шкалы:

$$\delta_{\text{см}} = (\epsilon_{\text{см}} / U_{\text{пш}}) 100 \% \quad (4.6)$$

5. *Нелинейность* — максимальное отклонение реальной характеристики преобразования $U_{\text{вых}}(D)$ от оптимальной. Оптимальная характеристика находится эмпирически так, чтобы минимизировать значение погрешности нелинейности. Нелинейность обычно определяется в относительных единицах, но в справочных данных приводится также и в единицах МЗР. Для характеристики, приведенной на рис. 4.28,

$$\delta_{\text{н}} = (\epsilon_{\text{н}} / U_{\text{пш}}) 100 \%.$$

Дифференциальная нелинейность — максимальное изменение (с учетом знака) отклонения реальной характеристики преобразования $U_{\text{вых}}(D)$ от оптимальной при переходе от одного значения входного кода к другому смежному значению. Обычно определяется в относительных единицах или в ЕМР. Для характеристики, приведенной на рис. 4.28,

$$\delta_{\text{дн}} = (\epsilon_i + \epsilon_{i+1}) / U_{\text{пш}} \cdot 100 \% \quad (4.7)$$

6. *Монотонность характеристики преобразования* — возрастание (уменьшение) выходного напряжения ЦАП $U_{\text{вых}}(D)$ при возрастании (уменьшении) входного кода D (рис. 4.29). Если дифференциальная нелинейность больше относительного шага квантования $h/U_{\text{пш}}$, то характеристика преобразователя немонотонна.

7. *Температурная нестабильность* ЦАП характеризуется температурными коэффициентами погрешности полной шкалы и погрешности смещения нуля.

8. *Диапазон изменения напряжения или тока* — полная шкала изменения напряжения от 0 до $U_{\text{вых макс}}$ или тока от 0 до $I_{\text{вых макс}}$.

9. *Полное выходное сопротивление* ЦАП $Z_{\text{вых}}$ определяется со стороны выходных зажимов. Оно зависит в основном от выходного сопротивления суммирующего усилителя и имеет порядок сотен ом.

Погрешности полной шкалы и смещения нуля могут быть устранены калибровкой (подстройкой). Погрешности нелинейности простыми средствами устранить нельзя.

Динамические параметры ЦАП. Динамические параметры ЦАП определяют по изменению выходного сигнала при скачкообразном изменении входного кода, обычно от величины «все нули» до «все единицы» (рис. 4.30).

1. *Время установления* $t_{\text{уст}}$ — интервал времени от момента изменения входного кода (на рис. 4.29) до момента, когда в последний раз выполняется равенство $|U_{\text{вых}} - U_{\text{п}}| = d/2$.

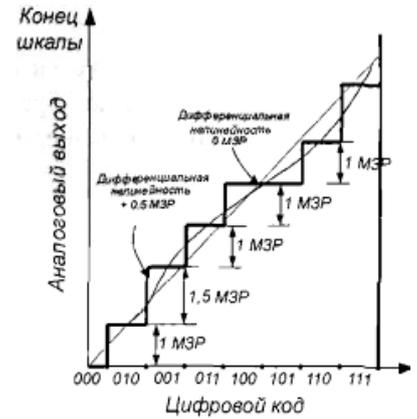


Рис. 4.28. Передаточная характеристика ЦАП с нелинейностью $\pm 0,5$ МЗР

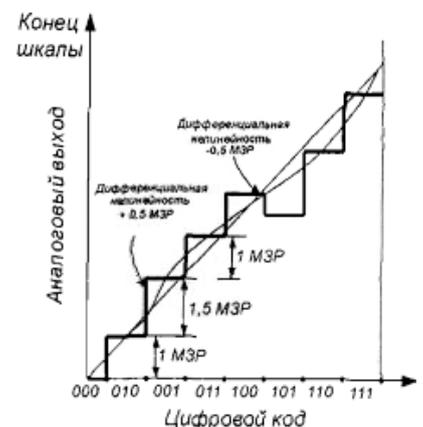


Рис. 4.29. Немонотонная передаточная характеристика ЦАП (нелинейность больше $\pm 0,5$ МЗР)

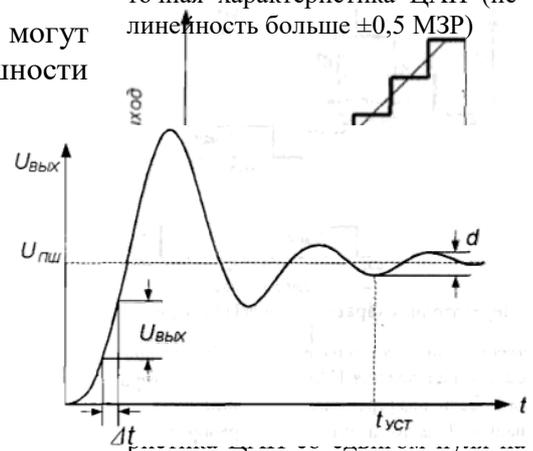


Рис. 4.30. Динамическая характеристика ЦАП

2. *Скорость нарастания* — максимальная скорость изменения $U_{\text{вых}}(t)$ во время переходного процесса. Определяется как отношение приращения $\Delta U_{\text{вых}}$ к времени Δt , за которое произошло это приращение. Обычно указывается в технических характеристиках ЦАП с выходным сигналом в виде напряжения. У ЦАП с токовым выходом этот параметр в большой степени зависит от типа выходного ОУ.

3. *Частота обновления* — максимальная частота, с которой может происходить смена содержимого входных регистров ЦАП.

Применение ЦАП в различной радиоэлектронной аппаратуре, прежде всего, непосредственно связано со скоростью преобразования, значение которой определяется временем установления. Требуемые значения скорости преобразования изменяются в диапазоне от нескольких герц до десятков мегагерц в зависимости от области применения ЦАП. В связи с этим применяют время установления как классификационный параметр для разделения ЦАП на группы среднего, высокого и сверхвысокого быстродействия, характеризующиеся соответственно значениями времени установления в пределах 20—1; 1—0,1; 0,1—0,01 мкс.

4.3. Аналого-цифровые преобразователи

4.3.1. Общие положения

Процедура аналого-цифрового преобразования непрерывного сигнала представляет собой преобразование непрерывной функции напряжения $U(t)$ в последовательность чисел $U\{t_n\}$, где $n=0, 1, 2, \dots$, отнесенных к некоторым фиксированным моментам времени.

При *дискретизации* непрерывная функция $U(t)$ преобразуется в последовательность ее отсчетов $U\{t_n\}$, как показано на рис. 4.31, а.

Вторая операция, называемая *квантованием*, состоит в том, что мгновенные значения функции $U(t)$ ограничиваются только определенными уровнями, которые называются уровнями квантования. В результате квантования непрерывная функция $U(t)$ принимает вид ступенчатой кривой $U_n(t)$, показанной на рис. 4.31, б.

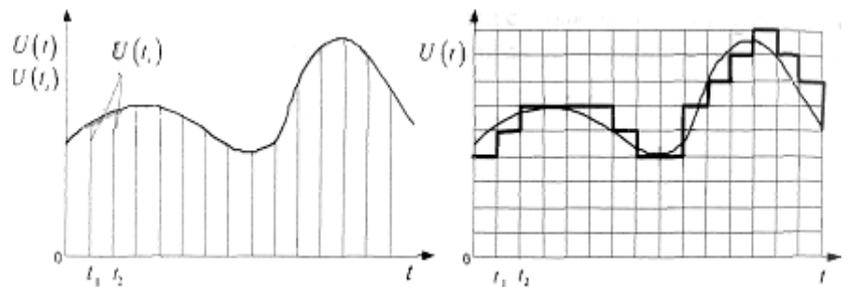


Рис. 4.31. Процесс дискретизации (а) и квантования (б) непрерывного сигнала

Третья операция — *кодирование* — представляет дискретные квантованные величины в виде цифрового кода. С помощью операции кодирования осуществляется условное представление численного значения величины. Переходы от исходной функции $U(t)$ к дискретной и далее к квантованной по уровню сопряжены с некоторой потерей информации. На этапе кодирования подобные потери отсутствуют.

Дискретизация сигнала заключается в регулярном взятии отсчетов его мгновенных значений, называемых выборками. Как часто требуется брать эти отсчеты, чтобы представить весь сигнал без потери информации? Чем меньше интервал дискретизации, тем точнее представляется сигнал. Однако при малом интервале дискретизации необходим большой объем памяти и высокое быстродействие АЦП. На рис. 4.32 показаны примеры различного соотношения частоты сигнала и интервала дискретизации. Первый рисунок показывает, что результат будет неудовлетворительным, если частота выборок сравнима с частотой сигнала. Увеличение частоты выборок дает значительно более достоверное представление о сигнале.

Частоту взятия выборок (частоту Найквиста, дискретизации) $f_{\text{в}}$ определяют из теоремы Котельникова:

$$f_{\text{в}} \geq 2f_{\text{макс}}, \quad (4.8)$$

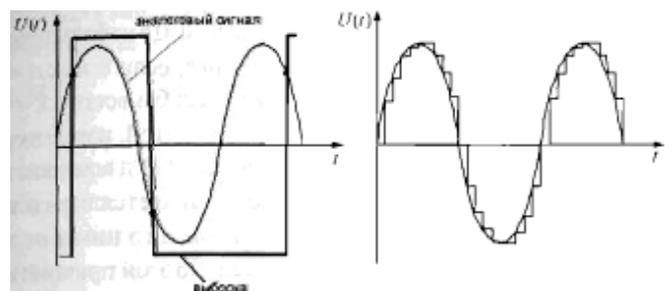


Рис. 4.32. Неправильный (а) и правильный (б) выбор интервала дискретизации

где $f_{\text{макс}}$ — наибольшая частота спектра дискретизируемого сигнала. Для синусоидального сигнала выборки могут осуществляться по одной на каждый полупериод сигнала. На первый взгляд, это условие не позволит восстановить первоначальный сигнал из выборок. Однако теорема справедливо предполагает, что сигнал, из которого взяты выборки, будет восстанавливаться путем пропускания через фильтр низких частот с крутым срезом и с шириной полосы, равной $f_{\text{макс}}$. При этом из колебания будут удалены изгибы, которые сформированы высокочастотными составляющими, лежащими в области спектра, лежащей выше требуемой полосы частот.

На рис. 4.33 показано, как можно представить теорему Котельникова, представив процесс взятия выборок как модуляцию.

Колебание с частотой выборок умножается на колебания всех частот в спектре входного сигнала. Результирующий спектр располагается по обе стороны частоты f_b . Если частотные составляющие этих компонентов попадают в полосу от 0 до $f_{\text{макс}}$, то они накладываются на спектральные составляющие исходного сигнала. В этом случае исходный сигнал не может быть восстановлен. Этот эффект носит название искажений вследствие наложения спектров. По этой причине частота выборок f_b должна, по крайней мере, вдвое превосходить частоту $f_{\text{макс}}$, чтобы избежать перекрытия.

Для примера, на компакт-дисках частота выборок взята равной 44,1 Гц, чтобы вдвое превышать полосу звукового диапазона 20 кГц с небольшим запасом.

Проблема наложения спектров становится яснее, если представить себе, например, что частота выборок на компакт-диске была бы всего 22 кГц. Тогда при поступлении на вход АЦП звукового сигнала с частотой, например, 17 кГц, в результате взаимной модуляции с колебанием частоты 22 кГц возникает паразитный сигнал с частотой 5 кГц. Этот сигнал наложения является паразитным сигналом, попавшим в полосу частот звукового диапазона. Его никак нельзя будет исключить в дальнейшем последующей фильтрацией. По этой причине необходимо еще до взятия выборок подвергать аналоговые сигналы фильтрации, предупреждающей наложение, чтобы гарантировать отсутствие в спектре сигнала компонентов с частотами больше $f_b/2$. Такой фильтр (см. рис. 4.10) получил название антиалайзинговый фильтр.

В общем случае выбор частоты дискретизации, которая определяет требуемое быстродействие АЦП, зависит от вида сигнала выборки и допустимого уровня погрешностей, возникающих при восстановлении исходного сигнала по его отсчетам. Все это требует принимать во внимание при выборе частоты дискретизации.

При дискретизации возникает погрешность, обусловленная конечным временем одного преобразования и неопределенностью момента времени его окончания. При равномерной дискретизации отсчеты берутся с периодом T_b , однако в эти моменты только начинается процесс преобразования. Окончание этого процесса зависит от времени преобразования АЦП и скорости изменения входной величины. В результате вместо равномерной дискретизации получается дискретизация с переменным периодом. Погрешность, обусловленную этим эффектом, называют апертурной. Апертурным временем t_a называют время, в течение которого сохраняется неопределенность между значением выборки и временем, к которому она относится (рис. 4.34). С некоторой долей погрешности можно считать апертурное время и временем преобразования АЦП.

Обычно для оценки апертурной погрешности используют синусоидальный сигнал, в котором относительная апертурная погрешность

$$\delta_a = \Delta U_a / U_{\text{макс}} = \omega t_a.$$

Сравнение периода дискретизации с апертурным временем дает

$$T/t_a = \pi / \delta_a.$$

Это означает, что для снижения апертурной погрешности приходится в π/δ_a увеличивать частоту преобразования АЦП.

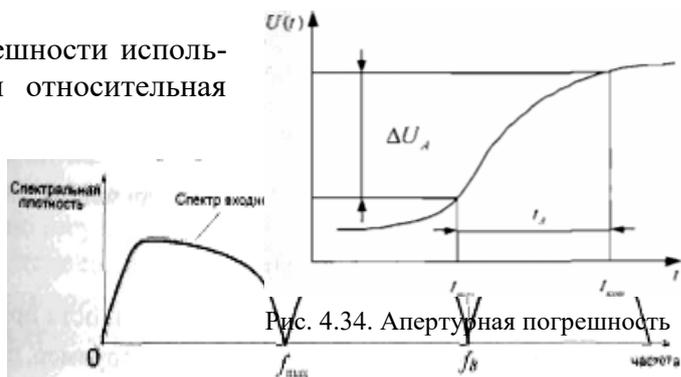


Рис. 4.33. Спектр дискретизованного сигнала

Так, например, при дискретизации гармонического сигнала с частотой 10 кГц по теореме Котельникова достаточно иметь максимальную частоту дискретизации АЦП, равную 20 кГц. При погрешности $\delta_a=1\%$ время преобразования АЦП должно быть равно 0,15 мкс ($f=6,3$ МГц).

Наличие апертурной погрешности приводит к тому, что дискретизация с помощью самого АЦП вызывает существенное расхождение требований между быстродействием АЦП и периодом дискретизации. В результате даже для сравнительно узкополосных сигналов требуется быстродействующий АЦП.

Частично эту проблему решают с помощью устройств выборки-хранения (УВХ), имеющих малое апертурное время. Большинство АЦП имеют встроенные УВХ, что значительно улучшает их характеристики.

Процесс квантования аналогового сигнала представляет собой необратимое преобразование и сопровождается появлением погрешностей. Цифровое представление сигнала всегда дискретно, число его возможных состояний определяется разрешающей способностью, т. е. разрядностью АЦП. Разность между двумя соседними значениями квантованной величины называют шагом квантования h . Характеристика преобразования аналоговой величины в квантованную показана на рис. 4.35, а. Максимальная погрешность, которую имеет АЦП при квантовании входного сигнала, равна $\pm 0,5h$ (рис. 4.35, б). Любой аналоговый сигнал, поступающий на вход идеального N -разрядного АЦП, производит шум квантования. Среднеквадратическое значение шума приблизительно равно весу $h/12^{1/2}$.

Отношение среднеквадратичного значения синусоидального сигнала, соответствующего полной шкале, к среднеквадратичному значению шума квантования, выраженное в децибелах, равно:

$$SNR=6,02N+1,76 \text{ дБ.} \quad (4.9)$$

Увеличение разрядности АЦП на единицу дает увеличение соотношения сигнал/шум примерно на 6 дБ. Для идеального 16-ти разрядного АЦП соотношение сигнал/шум составляет примерно 98 дБ. В реальных АЦП погрешности линейности характеристики, шумы элементов схемы и прочие инструментальные погрешности уменьшают эту величину.

Параметры АЦП характеризуют преобразователь в статическом, динамическом режимах, а также определяют погрешности квантования.

Погрешность квантования АЦП определяется, главным образом, соотношением сигнал/шум SNR .

Статические параметры АЦП в основном соответствуют статическим параметрам ЦАП.

Динамические параметры. Динамические погрешности связаны с дискретизацией сигналов, изменяющихся во времени.

1. *Максимальная частота дискретизации* — наибольшая частота, с которой осуществляются выборки входного сигнала при условии, что выбранный параметр (например, абсолютная погрешность) не выходит за заданные пределы.

2. *Время преобразования* — время, отсчитываемое от начала импульса дискретизации или начала преобразования до появления на выходе устойчивого кода, соответствующего данной выборке. Для одних АЦП, например последовательного счета, эта величина является переменной, зависящей от значения входного сигнала. Для других, например параллельных или последовательно-параллельных, а также АЦП последовательного приближения, время преобразования примерно постоянно. При работе без УВХ время преобразования является апертурным временем.

3. *Время выборки (стробирования)* — время, в течение которого происходит образование одного выборочного значения. При работе без УВХ равно времени преобразования АЦП.

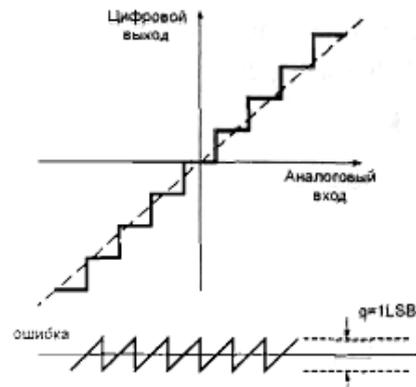


Рис. 4.35. Характеристика идеального квантователя (а) и погрешность квантования (б)

Существует несколько типов АЦП, хотя в пределах каждого типа существует множество вариаций. Принято различать параллельные, последовательные и последовательно-параллельные АЦП. К последовательным относятся АЦП последовательного приближения, последовательного счета и интегрирующие, включающие в себя двухтактные АЦП и сигма-дельта АЦП. Последовательно-параллельный тип представлен наиболее распространенным конвейерным АЦП.

Различные типы АЦП оборудования используют различные типы АЦП. Например, в цифровом осциллографе используется высокая частота дискретизации, но не требуется высокое разрешение. В цифровых мультиметрах нужно большое разрешение, но не требуется высокая скорость измерения. Системы сбора данных общего назначения по скорости дискретизации и разрешающей способности обычно занимают промежуточное положение. В оборудовании этого типа используются АЦП последовательного приближения или сигма-дельта АЦП. Существуют также параллельные АЦП для приложений, требующих скоростной обработки аналоговых сигналов, и интегрирующие АЦП с высоким разрешением и помехоподавлением. На рис. 4.36 показаны возможности основных архитектур в зависимости от разрешения и частоты дискретизации.

4.3.2. АЦП параллельного типа

Параллельные АЦП являются самым быстрым типом АЦП, использующим большое количество компараторов, работающих параллельно. N -разрядный параллельный АЦП состоит из 2^N резисторов и 2^N компараторов (рис. 4.37).

На каждый компаратор подается опорное напряжение, значение которого для соседних точек отличается на величину, соответствующую одному младшему значащему разряду (МЗР). При фиксированном входном напряжении все компараторы, размещенные на схеме ниже некоторой точки, имеют напряжение выше опорного напряжения. На их логическом выходе присутствует «1». У всех компараторов выше этой точки опорное напряжение больше входного, и их логический выход установлен в «0». Позиционный код с компараторов подается на шифратор, где он преобразуется в N -разрядный двоичный код.

Входной сигнал подается на все компараторы сразу, поэтому схема формирует выходной код, равный времени задержки только одного компаратора и шифратора. Это соответствует задержке нескольких логических элементов, поэтому процесс преобразования осуществляется очень быстро. Благодаря одновременной работе компараторов параллельные АЦП являются самыми быстрыми.

Такая структура предполагает наличие большого количества резисторов и компараторов, имеет ограничение по разрешающей способности. Для обеспечения высокого быстродействия каждый компаратор должен иметь высокий уровень потребления энергии. Таким образом, к недостаткам параллельных АЦП относится ограни-

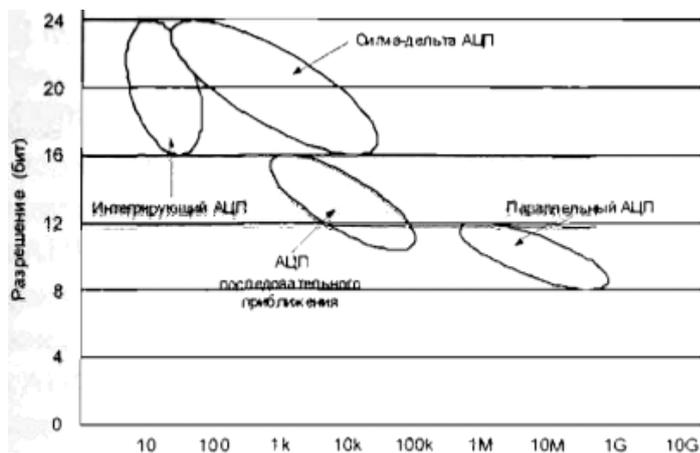


Рис. 4.36. Типы АЦП — разрешение в зависимости от частоты дискретизации

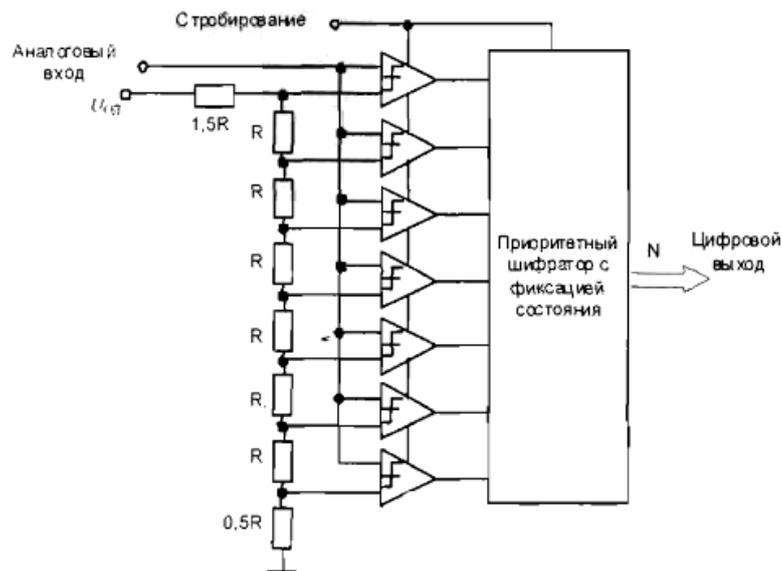


Рис. 4.37. Параллельный АЦП

ченная разрешающая способность и большая рассеиваемая мощность (единицы ватт), что обуславливает большие размеры кристалла и высокую стоимость (сотни долларов). Кроме того, для питания быстрых компараторов необходимым током смещения, цепочка опорных резисторов должны иметь низкое сопротивление, чтобы этот источник давал значительные токи. Еще одним недостатком схемы является высокая сложность, обусловленная большим количеством резисторов и компараторов.

Как правило, параллельные АЦП имеют разрешающую способность, соответствующую 8—10 разрядам при максимальной частоте дискретизации до 1 ГГц.

4.3.3. АЦП последовательного приближения

Среди АЦП последовательного действия, являющихся наиболее медленными преобразователями, АЦП последовательного приближения является наиболее распространенным преобразователем. Часто его называют также АЦП поразрядного уравнивания.

В основу работы этого класса АЦП лежит алгоритм, который позволяет последовательно сравнивать входной сигнал с $1/2^N$ его полной шкалы, где N — номер шага сравнения. Таким образом, на первом шаге входной сигнал сравнивается с половиной его максимального сигнала, результат сравнения поступает на выход, на втором шаге входной сигнал сравнивается с четвертью максимального сигнала. При этом количество шагов равно разрядности АЦП, что дает большой выигрыш в быстродействии.

Схема АЦП последовательного приближения и временные диаграммы, поясняющие его работу, приведены на рис. 4.38.

АЦП состоит из трех основных узлов: компаратора, ЦАП и регистра последовательного приближения. После подачи команды «Пуск» устройство выборки-хранения УВХ устанавливается в режим хранения и все разряды регистра последовательного приближения РПП сбрасываются в «0», кроме старшего значащего разряда, который устанавливается в «1». Выходной сигнал РПП подается на внутренний ЦАП. Если выходной сигнал ЦАП больше, чем аналоговый входной сигнал, старший разряд РПП сбрасывается, в противном случае он остается установленным. Затем следующий старший значащий разряд устанавливается в «1». Если сигнал на выходе ЦАП больше, чем аналоговый входной сигнал, старший разряд РПП сбрасывается, в противном случае бит остается установленным. Описанный процесс поочередно повторяется для каждого разряда. Когда все разряды, в соответствии с входным сигналом, будут установлены в «0» или в «1», содержимое РПП придет в соответствие со значением входного сигнала и преобразование завершится. Выходное число может быть считано с РПП в виде параллельного двоичного кода. Если рассматриваемый АЦП имеет выход в виде последовательного порта, то последовательно поступающие биты можно непосредственно передавать на выход.

Точность АЦП последовательного приближения определяется стабильностью источника опорного напряжения, точностью компаратора и, в наибольшей степени, точностью и линейностью внутреннего ЦАП. До недавнего времени большинство прецизионных АЦП поразрядного уравнивания для достижения желательной точности использовали тонко пленочные резисторы с лазерной подгонкой, которая

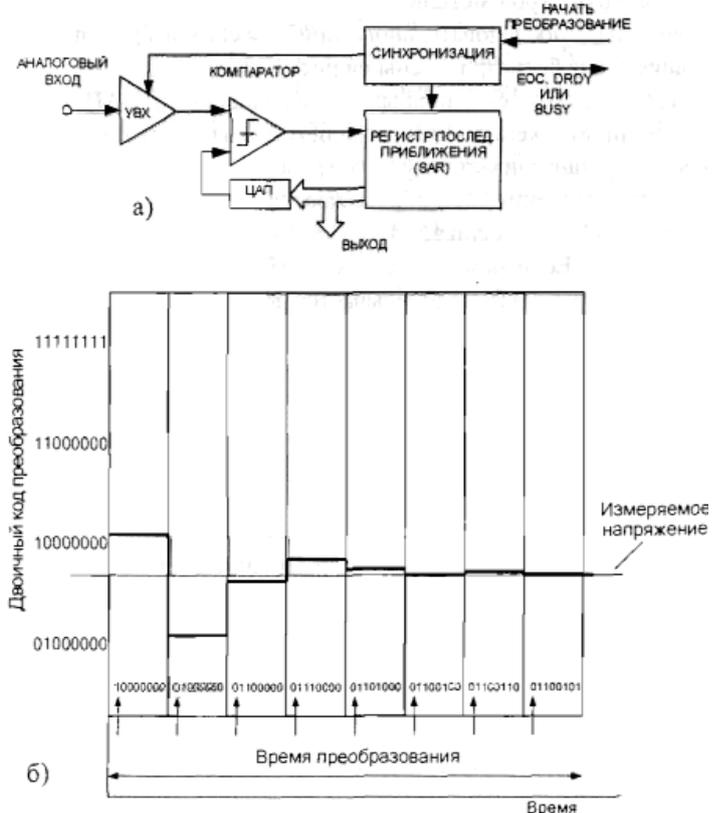


Рис. 4.38. АЦП последовательного приближения (а) и его временные диаграммы (б)

достаточно дорога. По этой причине в современных АЦП стали применять ЦАП с коммутируемыми конденсаторами. Преимущество таких ЦАП состоит в том, что их точность и линейность определяются, прежде всего, качеством фотолитографии, которое, в свою очередь, зависит от площади конденсаторных пластин.

Недостатком последовательных АЦП является низкая помехоустойчивость результатов преобразования. Она обусловлена тем, что мгновенная выборка входного сигнала, сохраняемого в УВХ, обычно включает слагаемое в виде мгновенного значения помехи.

Будучи весьма популярными, АЦП последовательного приближения поставляются с широкой гаммой разрешающих способностей (8—18 бит), частот дискретизации (до 1,5 МГц), опций ввода-вывода, конструктивного исполнения и стоимостных показателей. Многие устройства являются полными системами сбора данных с входными мультиплексорами, которые позволяют одному «ядру» АЦП обрабатывать много аналоговых сигналов.

4.3.4. Последовательно-параллельные АЦП конвейерного типа

Последовательно-параллельные АЦП занимают промежуточное положение между параллельными и последовательными АЦП по разрешающей способности и быстродействию. Показанный на рис. 4.39 АЦП является 12-разрядным двухступенчатым конвейерным, или субинтервальным, преобразователем. Первое преобразование выполняется 6-разрядным АЦП, который управляет 6-разрядным ЦАП. На выходе 6-разрядного ЦАП получается 6-разрядное приближение аналогового входного сигнала. УВХ 2 осуществляет временную задержку аналогового сигнала, пока первый АЦП производит преобразование и ЦАП устанавливает требуемый сигнал на выходе. Затем полученное с помощью ЦАП приближение вычитается из аналогового сигнала на выходе УВХ 2, результат усиливается и оцифровывается вторым 6-разрядным АЦП. Результаты этих двух преобразований объединяются и подаются на выход.

Введение элементов задержки аналогового и цифрового сигналов между ступенями преобразования реализует конвейерный принцип преобразования. Роль аналогового элемента задержки выполняет УВХ 2, цифрового — буферный регистр, который задерживает передачу старших разрядов на один такт.

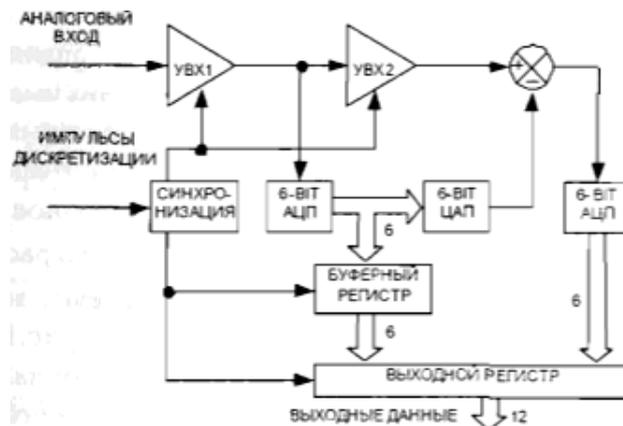


Рис. 4.39. Конвейерный АЦП

Конвейерная архитектура значительно увеличивает частоту выборок многоступенчатого АЦП. Это дает возможность без проигрыша в быстродействии увеличивать количество ступеней АЦП, понизив разрядность каждой ступени. Однако, выполнение преобразования за три, четыре или, возможно, даже большее количество конвейерных ступеней вызывает дополнительную задержку выходных данных. Поэтому, если АЦП используется в событийно-управляемом или однократном режиме, требующем однозначного соответствия времени между каждым отсчетом и соответствующими данными, то конвейерная задержка может привести к нежелательному результату. В этом случае предпочтительна архитектура последовательного или параллельного типа. Конвейерная задержка может создать проблемы в высокоскоростных системах управления с обратной связью или в приложениях с мультиплексированием данных. Кроме того, некоторые конвейерные преобразователи рассчитаны на определенную минимально допустимую скорость преобразования.

4.3.5. Сигма-дельта АЦП

При требуемом разрешении лучше 16 двоичных разрядов при высокой частоте выборок рассматривавшиеся методы преобразования становятся недостаточно эффективными, особенно при малых уровнях сигналов. Требование точно откалиброванного многоразрядного ЦАП в качестве элемента схемы преобразования становится чрезмерно жестким. Даже малые отклонения уровней на выходе ЦАП от их номинальных значений, обусловленные раз-

бросом параметров, и различное время срабатывания ключей могут привести к провалам в проходной характеристике и даже к пропуску отдельных двоичных комбинаций на выходе.

Сегодняшние скоростные цифровые схемы позволяют создавать преобразователи, действующие по принципу избыточной дискретизации и работающие с частотой выборок, значительно превосходящей теоретический минимум, определяемый шириной занимаемой сигналом полосы. Вы-

года от применения избыточной дискретизации заключается в том, что спектр шума квантования можно распределить по более широкому интервалу частот. Это дает возможность большую часть шума оставить вне зоны используемых частот при обратной фильтрации дискретизованного сигнала с сохранением компонентов только в полосе исходного сигнала.

Рассмотрим методику избыточной дискретизации с анализом в частотной области. Там, где преобразование постоянного напряжения имеет ошибку квантования до $1/2$ МЗР, дискретная система, работающая с переменным входным сигналом, обладает шумом квантования. Идеальный классический N -разрядный АЦП имеет среднеквадратичное значение шума квантования, равное $h/12^{1/2}$. Шум квантования равномерно распределен в пределах полосы Котельникова от 0 до $f_v/2$ (рис. 4.40, а). Поэтому, его отношение сигнал/шум для полнодиапазонного синусоидального входного сигнала будет $(6,02N+1,76)$ дБ. Если АЦП несовершенен и его реальный шум больше, чем его теоретический минимальный шум квантования, то эффективная разрешающая способность будет меньше, чем N -разрядная.

Если выбрать более высокую частоту дискретизации Kf_v (рис. 4.40, б), то среднеквадратичное значение шума квантования остается $h/12^{1/2}$, но шум теперь распределен по более широкой полосе от 0 до $f_v/2$. Если затем использовать на выходе цифровой низкочастотный фильтр, то значительно уменьшится шум квантования, но сохранится полезный сигнал и увеличится эффективное число разрядов. Так выполняется аналого-цифровое преобразование с высоким разрешением при использовании аналого-цифрового преобразователя с низкой разрешающей способностью. Коэффициент K здесь есть коэффициент избыточной дискретизации. При этом необходимо отметить, что избыточная дискретизация дополнительно выгодна еще и тем, что она понижает требования к аналоговому ФНЧ.

Так как ширина полосы пропускания уменьшена выходным цифровым фильтром, скорость выдачи выходных данных может быть ниже, чем первоначальная частота дискретизации (Kf_v), и при этом все же удовлетворять теореме Котельникова. Это достигается посредством передачи на выход каждого M -го результата и отбрасывания остальных результатов. Такой процесс называют децимацией с коэффициентом M . Несмотря на происхождение термина (desem по-латыни — десять), M может принимать любое целое значение, при условии, что частота выходных данных больше, чем удвоенная ширина полосы сигнала. Прореживание не вызывает никакой потери информации (рис. 4.40, в).

Если использовать избыточную дискретизацию только для улучшения разрешающей способности, необходимо применять коэффициент избыточности 2^{2N} , чтобы получить N -разрядное увеличение разрешающей способности. Сигма-дельта (Σ - Δ) преобразователь не нуждается в таком высоком коэффициенте избыточной дискретизации. Он не только ограничивает полосу пропускания сигнала, но также задает форму кривой распределения шума



Рис. 4.40. Спектры шумов квантования в простом АЦП (а), АЦП с избыточной дискретизацией, цифровым фильтром и децимацией (б) и Σ - Δ АЦП с избыточной дискретизацией, цифровым фильтром и децимацией (в)

квантования таким образом, что большая ее часть выходит за пределы этой полосы пропускания, как это показано на рис. 4.40, в.

В методе избыточной дискретизации типичное значение коэффициента избыточности составляет 256 и более. Применяя обработку, обеспечивающую оптимальное формирование спектра шума, можно достичь разрешения в 18 бит и более при 1-разрядном преобразователе (1-разрядный АЦП — обыкновенный аналоговый компаратор).

Отличительной чертой 1-разрядного АЦП по сравнению с многоразрядными преобразователями является то, что в нем одни и те же аналоговые компоненты используются многократно в течение интервала времени между появлением выборок на выходе. Аналоговое входное напряжение преобразуется в цифровые биты по принципу повторного использования компонентов снова и снова, а не посредством применения различных элементов, относящихся к различным значениям, как это делается в многоразрядном преобразователе. Большая тактовая частота, с которой осуществляются повторения, позволяет достичь высокой точности, несмотря на разброс элементов компонентов.

Если посмотреть на сигнал, прошедший 1-разрядное преобразование, на частоте, равной частоте взятия выборок при избыточной дискретизации, то можно увидеть повышенную концентрацию двоичных единиц, когда аналоговый сигнал имеет большое значение, и повышенную концентрацию нулей, когда величина напряжения на входе мала.

На рис. 4.41 представлена функциональная схема Σ - Δ АЦП. Дифференциальный усилитель на входе непрерывно сравнивает входной сигнал с напряжением на выходе 1-разрядного ЦАП, который в типичном случае работает на частоте в 256 раз большей, чем требуемая частота окончательных выборок на цифровом выходе. Например, при частоте окончательных выборок 44,1 кГц тактовая частота внутренней избыточной дискретизации должна равняться 11,2896 МГц. Сигнал с выхода дифференциального усилителя интегрируется и подается на компаратор, а выходной сигнал компаратора стробируется с частотой избыточной дискретизации. Если сигнал на выходе интегратора больше 0 В, то на выходе компаратора идет поток двоичных единиц, а если он меньше 0 В, то результатом будет последовательность нулей. Компаратор, по существу, является 1-разрядным АЦП, и он генерирует последовательность единиц и нулей в соответствии с результатом интегрирования выходного сигнала дифференциального усилителя.

Петля обратной связи замыкает путем подачи стробированного сигнала с выхода компаратора на вход 1-разрядного ЦАП. Это приводит к тому, что на выходе дифференциального усилителя возникает разность между мгновенным значением напряжения на аналоговом входе и средним значением аналоговых выборок, непосредственно предшествующих данному моменту времени. Петля ЦАП—дифференциальный усилитель—компаратор поддерживает нулевой заряд на конденсаторе интегратора. На стробированном выходе компаратора каждый раз появляется достаточное количество сигналов со значением «логическая 1», чтобы компенсировать заряд, поступивший в интегратор со стороны аналогового входа через дифференциальный усилитель. Другими словами, на выходе логического элемента И возникает поток битов, следующий с высокой частотой (в типичном случае — 11,2896 МГц), причем плотность логических единиц пропорциональна напряжению на аналоговом входе.

Чтобы выполнить преобразование потока битов в двоичное число, можно воспользоваться счетчиком и регистром-защелкой. На практике это выполняется с помощью цифрового фильтра нижних частот, на выходе которого вновь берутся

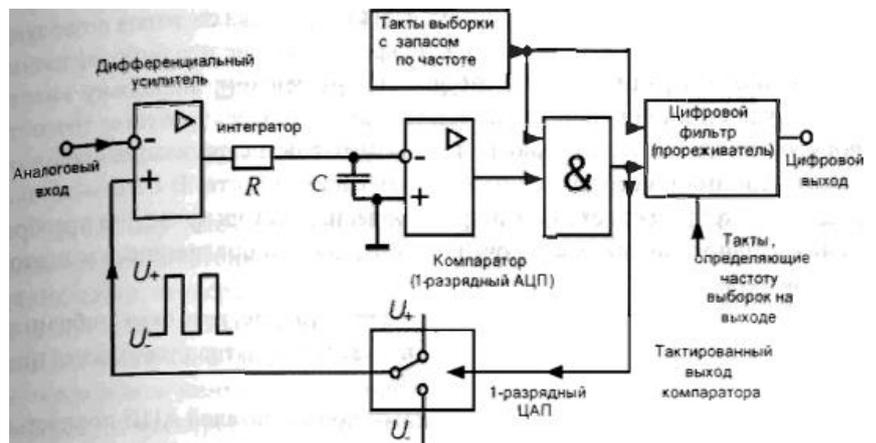


Рис. 4.41. Σ - Δ АЦП

выборки с частотой 44,1 кГц. ФНЧ сглаживает быстрые изменения в цифровом сигнале и, следовательно, осуществляет усреднение его по времени, подготавливая сигнал к тому, чтобы из него вновь могли быть взяты выборки с требуемой частотой. Эта процедура называется прореживанием или децимацией.

Дополнительный выигрыш, получаемый от применения избыточной дискретизации, состоит в том, что исключаются сложные аналоговые фильтры, необходимые для того, чтобы избежать перекрытия спектров.

Сегодняшние высокоскоростные средства обработки сигналов позволяют сделать преобразователи с избыточной дискретизацией не только более точными, чем многоразрядные схемы, но и более дешевыми, поскольку вместо трудно осуществимой точности значений параметров здесь требуется точность стробирования, а это значительно проще. Избыточная дискретизация в большой степени терпима к несовершенствам аппаратных средств. В общем случае, отпадает необходимость схемы выборки-хранения, поскольку частота преобразования входного сигнала исключительно велика по сравнению с частотой аналогового входного сигнала.

Недостатком сигма-дельта АЦП является то, что при скачкообразном изменении входного сигнала они начинают давать результат только через три—четыре отсчета.

Современные сигма-дельта АЦП имеют развитую цифровую часть, включающую микроконтроллер. Это позволяет реализовывать режимы автоматической установки нуля, самокалибровки полной шкалы, хранить калибровочные коэффициенты и передавать их по запросу внешнего процессора.

5. ЦИФРОВАЯ ОБРАБОТКА СИГНАЛОВ

5.1. Общая характеристика цифровых сигналов и цифровых микросхем

При разработке электронной системы приходится делать выбор между аналоговым и цифровым сигналами, рассматривая два вопроса: влияние помех и точность обработки сигнала. При прохождении любого сигнала через реальное устройство на него всегда накладываются помехи и на выходе имеют дело с сигналом, представляющим собой сумму полезного сигнала и помехи (рис. 5.1). При обработке *аналогового сигнала*, имеющего непрерывный характер и в заданном диапазоне уровней могущего принимать любые значения напряжений или токов, точность представления выходной величины ограничивается достижимой точностью изготовления элементов и узлов, входящих в соответствующее устройство.

Дискретные сигналы имеют прерывистый характер, в общем случае как по времени, так и по уровню. При переходе от аналогового сигнала к дискретному проводят дискретизацию первого как по времени, так и по уровню (последнюю называют квантованием). Дискретизация по времени состоит в том, что сигнал передается не непрерывно, а только в отдельные моменты времени, следующие, как правило, через одинаковые промежутки времени Δt . Квантование заключается в том, что вместо мгновенного значения аналогового сигнала передаются ближайшие разрешенные значения по заранее установленной шкале дискретных уровней (рис. 5.2). Если вместо разрешенных значений сигнала через интервалы времени Δt передаются номера соответствующих уровней (цифры), говорят о *цифровых сигналах*.

При обработке цифрового сигнала принципиально можно получить большую точность за счет увеличения количества разрядов в изображении чисел. При этом требования к точно-

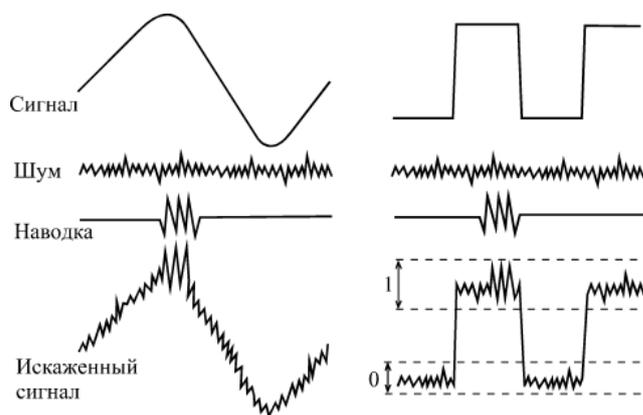


Рис. 5.1. Искажение шумами и наводками аналогового (слева) и цифрового (справа) сигналов

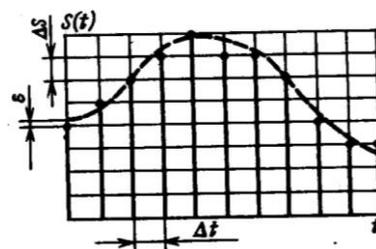


Рис. 5.2. Дискретизация сигнала

сти изготовления элементов, служащих для представления каждого разряда числа, будут значительно ниже, чем для элементов, используемых при обработке аналоговых сигналов. Поэтому часто оказывается более рациональным использовать дискретные сигналы. Заметим, однако, что при дискретизации по уровню всегда с самого начала в сигнал замешивается ошибка, называемая ошибкой квантования (δ на рис. 5.2), но зато потом, при передаче, приеме и особенно обработке сигналов, влияние помех оказывается значительно меньшим.

В современных электронных устройствах, производящих обработку дискретных сигналов, цифры представляют в двоичной системе. Сами устройства называют *цифровыми*, они имеют ряд преимуществ конструктивно-технологического порядка.

Во-первых, достоинством двоичной системы счисления является возможность использования элементов, имеющих только два резко различных устойчивых состояния — работающих по принципу «да», «нет» («истина», «ложь»). Например, транзистор может быть либо заперт, либо насыщен. Обычно в качестве параметра выбирают не ток, а напряжение, уровень которого может быть **ВЫСОКИМ** или **НИЗКИМ**. Эти два состояния могут представлять различные «биты» (*binary digits* — двойные разряды) информации. Например, следующим образом: один бит числа — ключ замкнут или разомкнут, сигнал присутствует или отсутствует, уровень аналогового сигнала выше или ниже заданного предела, некоторое событие произошло или не произошло, требуется или не требуется выполнять некоторые действия и т. д. Другими словами, состояния **ВЫСОКОГО** и **НИЗКОГО** уровней некоторым заданным образом определяют «истинные» и «ложные» значения в булевой алгебре.

Во-вторых, математические операции в двоичной системе счисления достаточно просты и для их проведения требуется небольшое число однотипных элементов, что позволяет осуществлять широкую унификацию. Цифровые устройства представляют собой набор большого числа стандартных схем, каждую из которых нужно изготавливать в больших количествах. Это создает благоприятные условия для массового производства элементов цифровых устройств, что значительно улучшает такие их показатели, как надежность, габариты, масса и стоимость.

В-третьих, высокая точность достигается за счет увеличения количества разрядов в изображении числа. При этом требования к точности изготовления и стабильности работы самих элементов не повышаются. Достаточно, чтобы у этих элементов лишь сохранялись резко выраженными фиксированные состояния, соответствующие «1» и «0» (например, проводимость и непроводимость, замыкание и размыкание контакта и т. д.), т. е. цифровые устройства, производящие вычисления с высокой точностью, могут быть построены из элементов, имеющих относительно невысокую точность работы и не требующих высокой точности изготовления деталей.

Наконец, важным фактором является экономическая эффективность цифровых устройств: простота эксплуатации, регулировки и настройки; технологичность изготовления отдельных элементов; возможность широкого использования новейших достижений микроэлектроники.

Если в какой-либо точке схемы истинное значение (логическая 1) определяет **ВЫСОКИЙ** уровень (при этом **НИЗКИЙ** уровень соответствует логическому 0), то говорят, что эта сигнальная линия использует «положительную логику», и наоборот.

Значения напряжений, соответствующих **ВЫСОКИМ** и **НИЗКИМ** уровням, могут колебаться в некотором диапазоне. Например, для ТТЛ состояние **НИЗКОГО** уровня может быть представлено любым значением напряжения от $-0,5$ до $0,4$ В (типичное значение составляет величину порядка $0,3$ В, что соответствует сигналу на выходе насыщенного $n-p-n$ -транзистора с заземленным эмиттером), и **ВЫСОКИЙ** уровень — любым значением напряжения в пределах от $+2,4$ до $+5,5$ В (типичная величина составляет приблизительно $3,4$ В).

Такие широкие диапазоны выбраны для того, чтобы изготовитель микросхем имел в своем распоряжении определенный допуск, в пределах которого параметры схемы могут изменяться за счет изменения температуры, нагрузки, напряжения питания, а также под воздействием шумов, т. е. разнообразных паразитных сигналов, которые добавляются к рабоче-

му сигналу при его прохождении через схему (за счет емкостных связей, внешних наводок и т. п.).

Получив сигнал, схема определяет, каков его уровень (ВЫСОКИЙ или НИЗКИЙ), и действует соответствующим образом. Если помеха не превращает «1» в «0» или наоборот, то все прекрасно и любые помехи отсеиваются на каждой ступени, поскольку на выходе схемы восстанавливаются «чистые» значения «1» или «0». В этом смысле цифровая электроника не подвержена влиянию помех и является идеальной.

В течение продолжительного времени стандартным напряжением питания цифровых схем было напряжение 5 В. Такое значение напряжения использовалось для обеспечения нормального режима работы биполярного транзистора. Однако в конце 80-х стандартной технологией при проектировании интегральных схем (ИС) стала технология КМОП. Для КМОП ИС не является обязательным использование того же напряжения, что и для ТТЛ ИС, но для обеспечения совместимости со старыми системами промышленность адаптировала уровни логических сигналов к уровням сигналов ТТЛ.

Однако рост требований к скорости работы и компактности ИС при минимальной их стоимости стало причиной снижения напряжения питания ИС. Кроме того, снижение напряжения питания СБИС с субмикронными размерами элементов необходимо для предотвращения увеличения напряженности электрических полей в них. Поэтому в современной аппаратуре (особенно мобильной) напряжение питания может быть снижено до 1,3 В.

Простейшие логические преобразования осуществляют цифровые микросхемы малой степени интеграции, представляющие собой, по существу, логические элементы (например, И–НЕ, ИЛИ–НЕ). С их помощью можно построить любое цифровое устройство. Такие устройства, как малоразрядные регистры, счетчики, дешифраторы, сумматоры и т. п. выпускают в виде схем средней степени интеграции, номенклатура которых должна быть более широкой и разнообразной, так как их универсальность ниже.

С появлением БИС и СБИС схемы с тысячами и даже миллионами логических элементов стали размещаться на одном кристалле. При этом проблема снижения универсальности для ИС с жесткой структурой обострилась бы чрезвычайно — пришлось бы производить огромное число типов ИС при снижении объема производства каждого из типов, что непомерно увеличило бы их стоимость, так как высокие затраты на проектирование БИС/СБИС относились бы к небольшому объему их выпуска.

Выход из возникшего противоречия был найден на пути переноса специализации микросхем в область программирования. Появились микропроцессоры и БИС/СБИС с программируемой структурой.

Микропроцессор способен выполнять команды, входящие в его систему команд. Меняя последовательность команд (программу), можно решать различные задачи на одном и том же микропроцессоре. Иначе говоря, в этом случае структура аппаратных средств не связана с характером решаемой задачи. Это обеспечивает микропроцессорам массовое производство с соответствующим снижением стоимости.

В виде БИС/СБИС с программируемой структурой потребителю предлагается кристалл, содержащий множество логических блоков, межсоединения для которых назначает сам пользователь. Промышленность получает возможность производить кристаллы массовым тиражом, не адресуясь к отдельным потребителям. Разработан целый спектр методов программирования связей между блоками и элементами кристалла. Два указанных метода имеют большие различия. Микропроцессоры реализуют последовательную обработку информации, выполняя большое число отдельных действий, соответствующих командам, что может не обеспечить требуемого быстродействия. В БИС/СБИС с программируемой структурой обработка информации происходит без разбиения этого процесса на последовательно выполняемые элементарные действия. Задача решается «целиком», ее характер определяет структуру устройства. Преобразование данных происходит одновременно во многих частях устройства. Сложность устройства зависит от сложности решаемой задачи, чего нет в микропроцессорных системах, где сложность задачи влияет лишь на программу, а не на аппаратные средства ее выполнения.

Таким образом, БИС/СБИС с программируемой структурой могут быстрее решать задачи, сложность которых ограничена уровнем интеграции микросхем, а микропроцессорные средства — задачи неограниченной сложности, но с меньшим быстродействием. Оба направления способствуют дальнейшему улучшению технико-экономических показателей создаваемой на БИС/СБИС аппаратуры.

С ростом уровня интеграции ИС в проектировании на их основе все больше усиливается аспект, который можно назвать интерфейсным проектированием. Задачей разработки становится составление блоков из субблоков стандартного вида путем правильного их соединения. Успешное проектирование требует хорошего знания номенклатуры и параметров элементов, узлов и устройств цифровой аппаратуры и привлечения систем автоматизированного проектирования (САПР) для создания сложных систем.

ИС широкого применения изготавливают по технологиям КМОП, ТТЛШ и др. Элементы КМОП обладают рядом уникальных параметров (малая потребляемая мощность при невысоких частотах переключения, высокая помехоустойчивость, широкие допуски на величину питающих напряжений, высокое быстродействие при небольших емкостных нагрузках). Эти элементы доминируют в схемах внутренних областей БИС/СБИС. За ТТЛШ осталась в основном область периферийных схем, где требуется передача сигналов по внешним цепям, испытывающим значительную емкостную нагрузку. Элементы ЭСЛ (эмиттерно-связанная логика) обеспечивают максимальное быстродействие, но ценой повышения потребляемой мощности, что снижает достижимый уровень интеграции.

5.2. Основы алгебры логики

Математической основой цифровых логических устройств является двоичная алгебра, в которой используются всего два числа — 0 и 1. Выбор двоичной системы счисления диктовался требованиями простоты технической реализации самых сложных задач с использованием всего одного базового элемента — ключа, который имеет два состояния: включен (замкнут) и выключен (разомкнут). Если первое состояние ключа принять за условную (логическую) единицу, то второе будет отражать условный (логический) ноль или наоборот.

Одни и те же преобразования логических переменных можно задать в различных формах: с помощью операций И, ИЛИ, НЕ (булевский базис), операции И–НЕ (базис Шеффера), операции ИЛИ–НЕ (базис Пирса), а также многими другими способами. Выбор базиса зависит от простоты реализации той или иной операции с помощью электрических схем данной схемотехнологии. Чаще всего используют базисы Шеффера и Пирса. В развитых сериях стандартных ИС наряду с базовыми логическими элементами обычно имеется и ряд других, выполняющих другие логические операции.

Проектирование цифрового устройства начинается с представления его в виде некоторого «черного ящика», в котором имеется n входов (x_1, x_2, \dots, x_n) и m выходов (y_1, y_2, \dots, y_m). Так как операции цифровой обработки информации сводятся к реализации функциональных зависимостей $y_i = f(x_1, x_2, \dots, x_n)$, ставящих в соответствие каждой комбинации двоичных переменных $x_1 \dots x_n$ значение двоичной переменной y_i , то функционирование цифровых устройств удобно представлять в виде таблиц переключательных функций (таблиц истинности). В таких таблицах в одной части (левой) представляются переменные x , называемые аргументами, а в другой части (правой) — переменные y — функции, причем в одной таблице могут приводиться несколько функций одних и тех же аргументов. Аналитическая форма описания такой таблицы есть булева функция (по имени создателя алгебры логики Дж. Буля). Алгебра логики или булева алгебра есть раздел математики, изучающий закономерности и взаимосвязи между простыми высказываниями, образующими сложные высказывания. При этом алгебру логики не интересует информация, которую несет то или иное высказывание. С точки зрения алгебры логики важно лишь, что любое простое высказывание может быть либо истинным, либо ложным, т. е. принимать только два значения. На основе простых высказываний можно построить сложные, истинность или ложность которых находится в определенной связи от истинности или ложности простых высказываний. Эти зависимости и называют булевыми функциями. Как и в других разделах математики, в алгебре логики су-

ществуют свои теоремы, функции и математические преобразования. Так как сложные высказывания снова могут быть либо истинными, либо ложными, булевы функции тоже могут иметь лишь два значения. Если истинности приписать значение 1, а ложности 0, то окажется, что все аргументы и функции в алгебре логики, как и в цифровых устройствах, могут принимать только два значения: 1 и 0, и над этими переменными можно производить действия, называемые логическими операциями. Переход от логики работы практически любого цифрового устройства к соответствующим булевым функциям несложен, а дальнейшие преобразования позволяют достаточно просто синтезировать требуемое цифровое устройство.

Над переменными в булевой алгебре можно производить только три действия: *дизъюнкцию* (логическое сложение), *конъюнкцию* (логическое умножение) и *инверсию* (логическое отрицание), которые можно реализовать, используя три типа логических элементов: ИЛИ, И, НЕ.

Дизъюнкцией событий x_i называют событие y , которое состоит в наступлении одного из событий x_i или нескольких событий x_i одновременно (ИЛИ событие x_1 , ИЛИ событие x_2 , ..., ИЛИ событие $x_1+x_2+\dots$). Иными словами, смысл операции дизъюнкции (логического сложения) заключается в том, что сложное высказывание истинно, если истинно хотя бы одно из составляющих его простых высказываний.

Функцию логического сложения математически записывают в виде

$$y=x_1+x_2+\dots \text{ или } y=x_1\vee x_2\vee\dots,$$

где x_1, x_2, \dots — логические переменные, которые могут иметь только два значения: 1 или 0.

Логический элемент ИЛИ, реализующий операцию логического сложения, имеет несколько входов и один выход. Сигнал логической единицы появляется на его выходе в том случае, если хотя бы на один из входов подан сигнал, соответствующий единице.

На структурных схемах логический элемент, выполняющий функцию ИЛИ, обозначают в виде прямоугольника с символом 1 внутри него.

Таблица истинности операции ИЛИ для двух аргументов и условное обозначение логического элемента, выполняющего операцию ИЛИ, представлены табл. 5.1 (существуют таблицы истинности для трех, четырех и т. д. аргументов).

Конъюнкцией событий x_i называют событие y , которое состоит в одновременном наступлении всех событий x_i (И событие x_1 , И событие x_2 , И ..., И событие x_n). Иными словами, смысл операции конъюнкции (логического умножения) заключается в том, что сложное высказывание истинно только в том случае, если истинны все составляющие его простые высказывания.

Функцию логического умножения математически записывают в виде

$$y=x_1x_2\dots \text{ или } y=x_1\wedge x_2\wedge\dots$$

Логический элемент И, реализующий операцию логического умножения, также имеет несколько входов и один выход. Сигнал логической единицы появляется на его выходе только в том случае, если на все входы поданы сигналы, соответствующие единице. Поэтому логический элемент И часто называют *схемой совпадений*.

На структурных схемах логический элемент, выполняющий функцию И, обозначают в виде прямоугольника, внутри которого имеется символ &.

Таблица истинности операции И для двух аргументов и условное обозначение логического элемента, выполняющего операцию И, представлены табл. 5.2.

Инверсией (логическим отрицанием) события x называют событие y , противоположное событию x (событие y НЕ событие x). Иными словами, смысл операции инверсии (логического отрицания) заключается в том, что сложное высказывание истинно, когда определенное высказывание ложно, и, соответственно, ложно, когда это высказывание истинно.

Операция логического отрицания записывается в виде черточки над аргументом

$$y = \bar{x}$$

и читается так: « y равно НЕ x ».

Таблица 5.1

Таблица истинности операции ИЛИ

x_1	x_2	y	Обозначение
0	0	0	
1	0	1	
0	1	1	
1	1	1	

Таблица 5.2

Таблица истинности операции И

x_1	x_2	y	Обозначение
0	0	0	
1	0	0	
0	1	0	
1	1	1	

Логический элемент НЕ, реализующий операцию логического отрицания, имеет один вход и один выход. Сигнал логической единицы появляется на его выходе тогда, когда на вход подан сигнал, соответствующий логическому нулю. В соответствии с выполняемой операцией инверсии элемент НЕ называют *инвертором*.

Выполняется эта операция над одной переменной, таблица истинности операции НЕ приведена в табл. 5.3. Инверсия по выходу (входу) обозначается кружком (○) у выхода (входа) на контуре прямоугольника, изображающего логический элемент.

Рассмотренные правила выполнения логических операций можно использовать для выполнения более сложных логических преобразований. Учитывая правила выполнения операции ИЛИ, получаем следующие соотношения для произвольной логической переменной x :

$$x+0=x; x+1=1; x+x=x; x+\bar{x}=1.$$

Применяя правила выполнения операции И, получаем

$$x\cdot 0=0; x\cdot 1=x; x\cdot x=x; x\cdot \bar{x}=0.$$

Эти четыре пары соотношений называют соответственно законами нулевого множества, универсального множества, повторения (тавтологии), дополнительности.

Из правила выполнения инверсии следует, что

$$\overline{\bar{x}} = x$$

— закон двойной инверсии.

Кроме того, для двух и более переменных справедливы следующие законы булевой алгебры:

переместительный

$$x_1+x_2=x_2+x_1; x_1\cdot x_2=x_2\cdot x_1;$$

сочетательный

$$x_1+x_2+x_3=x_1+(x_2+x_3)=(x_1+x_2)+x_3=(x_1+x_3)+x_2; x_1\cdot x_2\cdot x_3=x_1\cdot(x_2\cdot x_3)=(x_1\cdot x_2)\cdot x_3=(x_1\cdot x_3)\cdot x_2;$$

распределительный

$$x_1\cdot(x_2+x_3)=x_1\cdot x_2+x_1\cdot x_3; x_1+x_2\cdot x_3=(x_1+x_2)\cdot(x_1+x_3)$$

(вторая форма специфична и справедлива только в булевой алгебре);

обращения

$$\text{если } x_1=x_2, \text{ то } \bar{x}_1 = \bar{x}_2;$$

поглощения

$$x_1+x_1\cdot x_2=x_1; x_1\cdot(x_1+x_2)=x_1;$$

склеивания

$$x_1\cdot x_2 + \bar{x}_1\cdot x_2 = x_2; (x_1 + x_2)\cdot(\bar{x}_1 + x_2) = x_2;$$

де Моргана

$$\overline{x_1 + x_2} = \bar{x}_1 \cdot \bar{x}_2; \overline{x_1 \cdot x_2} = \bar{x}_1 + \bar{x}_2.$$

Перечисленные законы используют при преобразованиях логических функций. При этом вводится важное понятие о функционально полной системе — таком наборе логических элементов, с помощью которого можно реализовать любую логическую функцию.

Поскольку любая логическая функция представляет собой комбинацию логических операций сложения, умножения и отрицания, набор логических элементов трех типов (ИЛИ, И, НЕ), очевидно, является функционально полным. Однако это не единственный функционально полный набор. В алгебре логики доказано, что функционально полных систем много и среди них есть такие, которые состоят всего из одного типа логических элементов, реализующих логические операции, отличные от простейших. В частности, такими функционально полными являются системы, реализующие логические операции ИЛИ–НЕ $y = x_1 + x_2$ отрицания логического сложения (*стрелка Пирса*, $y = x_1 \downarrow x_2$) и И–НЕ $y = x_1 \cdot x_2$ отрицания логического умножения (*итрих Шеффера*, $y = x_1 | x_2$).

Операция ИЛИ–НЕ характеризует сложное высказывание, которое ис-

Таблица 5.4
Таблица истинности операции ИЛИ–НЕ

значности		y
x_1	x_2	
0	0	1
1	0	0
0	1	0
1	1	0

тинно только тогда, когда ложны все простые высказывания, и ложно, когда истинно хотя бы одно простое высказывание. Таблица истинности операции ИЛИ–НЕ для двух аргументов представлена в табл. 5.4, а условное обозначение реализующего ее элемента — на рис. 5.3, а.

Для доказательства того, что стрелка Пирса является функционально полной системой, обратимся к рис. 5.3, где показаны схемы инвертора, дизъюнктора и конъюнктора, выполненных на одном типе логических элементов (ИЛИ–НЕ). Схема на рис. 5.3, б представляет собой инвертор, так как в соответствии с законом тавтологии при объединении входов логического элемента ИЛИ–НЕ получим $x + x = \bar{x}$, т. е. $y = \bar{x}$.

Для выполнения операции дизъюнкции (логического сложения) необходимо последовательно включить два элемента ИЛИ–НЕ, причем второй в режиме инвертора (рис. 5.8, в). Наиболее сложно с помощью элементов ИЛИ–НЕ реализуется операция конъюнкции, когда надо использовать три элемента (рис. 5.3, г). Так как все три основные логические операции реализуются с помощью элемента ИЛИ–НЕ, следовательно, этот логический элемент один позволяет реализовать любую сколь угодно сложную логическую функцию, т. е. он является функционально полным.

Операция И–НЕ характеризует сложное высказывание, которое истинно только тогда, когда ложно хотя бы одно простое высказывание, и ложно, когда истинны все простые высказывания. Таблица истинности операции И–НЕ для двух аргументов представлена в табл. 5.5, а условное обозначение реализующего ее элемента — на рис. 5.4, а.

Для доказательства того, что штрих Шеффера является функционально полной системой, обратимся к рис. 5.4, где показаны схемы инвертора, конъюнктора и дизъюнктора, выполненных на одном типе логических элементов (И–НЕ). Схема на рис. 5.4, б представляет собой инвертор, так как в соответствии с законом тавтологии при объединении входов логического элемента И–НЕ имеем $\overline{x \cdot x} = \bar{x}$, т. е. $y = \bar{x}$. Для выполнения операции конъюнкции нужно последовательно включить два элемента И–НЕ, причем второй элемент в режиме инвертора (рис. 5.4, в). Наиболее сложно с помощью элементов И–НЕ реализуется операция дизъюнкции, когда надо использовать три элемента (рис. 5.4, г). Так как все три основные логические операции реализуются с помощью элемента И–НЕ, следовательно, и этот элемент позволяет реализовать любую сколь угодно сложную логическую функцию, т. е. он является функционально полным.

Однако то обстоятельство, что один логический элемент (ИЛИ–НЕ или И–НЕ) составляет функционально полную систему, не означает, что на практике нужно ограничиваться только одним логическим элементом. При проектировании одних устройств может оказаться более удобным элемент ИЛИ–НЕ, а при проектировании других — элемент И–НЕ. Например, как следует из рис. 5.3 и 5.4, даже при реализации дизъюнктора и конъюнктора один из элементов оказывается предпочтительнее другого.

На практике с целью сокращения номенклатуры элементов пользуются не функционально полной системой элементов И, ИЛИ, НЕ, а системой, включающей только два элемента, выполняющих операции И–НЕ и ИЛИ–НЕ, или даже один из этих элементов. Причем число входов этих элементов, как правило, задано.

Для синтеза логических устройств в заданном базисе логических элементов используют два технических приема: двойное инвертирование исходного выражения или его части и применение теоремы де Мор-

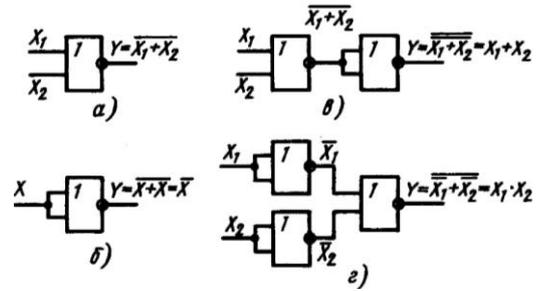


Рис. 5.3. Цифровые схемы на логическом элементе ИЛИ–НЕ: а — условное обозначение; б — инвертор; в — схема реализации операции дизъюнкции; г — схема реализации операции конъюнкции

Таблица 5.5
Таблица истинности операции И–НЕ

x_1	x_2	y
0	0	1
1	0	1
0	1	1
1	1	0

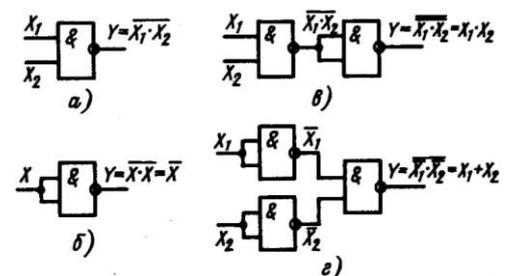


Рис. 5.4. Цифровые схемы на логическом элементе И–НЕ: а — условное обозначение; б — инвертор; в — схема реализации операции конъюнкции; г — схема реализации операции дизъюнкции

гана. Если требуется привести логического уравнения к базису логических элементов И–НЕ, то указанными приемами уравнение преобразуют к виду, содержащему только операции логического умножения и инверсии. При необходимости приведения логического уравнения к базису логических элементов ИЛИ–НЕ указанными приемами уравнение преобразуют к виду, содержащему только операции логического сложения и инверсии.

Для логических элементов ИЛИ–НЕ сигнал логической единицы хотя бы на одном входе однозначно определяет получение на выходе сигнала логического нуля. По аналогии, для логических элементов И–НЕ сигнал логического нуля хотя бы на одном входе однозначно определяет получение на выходе сигнала логической единицы. Значение логической переменной, которое однозначно определяет выходной сигнал логического элемента, называют *активным логическим уровнем*. Очевидно, что для логических элементов ИЛИ–НЕ активным логическим уровнем является сигнал логической единицы, а для логических элементов И–НЕ — сигнал логического нуля.

Из сказанного следует, что уменьшить фактическое число входов логических элементов можно, подавая на неиспользуемые входы сигналы пассивных логических констант: 0 — для элементов ИЛИ–НЕ, 1 — для элементов И–НЕ.

5.3. Логические элементы

5.3.1. Типы логических элементов

Логическими элементами (ЛЭ) называют функциональные устройства, с помощью которых реализуются элементарные логические функции. Их обычно используют для построения цифровых устройств комбинационного типа. В комбинационных устройствах отсутствует внутренняя память. Сигналы на их выходах в любой момент однозначно определяются сочетаниями сигналов на входах и не зависят от предыдущего состояния схемы. Характерной особенностью комбинационных устройств является отсутствие цепей обратной связи.

При разработке ИС наибольшее распространение получили следующие типы логических элементов:

транзисторно-транзисторная логика (ТТЛ);

транзисторно-транзисторная логика с диодами Шотки (ТТЛШ);

эмиттерно-связанная логика (ЭСЛ);

интегральная инжекционная логика (И²Л);

логика на комплементарных МОП-транзисторах (КМОП).

На рис. 5.5 представлены условно-графические обозначения (УГО) логических элементов и выполняемые ими функции.

Наибольшее распространение получили элементы с положительной логикой (транзистор типа $n-p-n$), в которой значению логической «1» ставят в соответствие большее, а значению логического «0» — меньшее значение напряжения, обозначаемые соответственно как U^1 и U^0 . Один и тот же логический элемент, в зависимости от принятого логического соглашения, выполняет различные логические операции. Переход от операции в положительной логике к операции в отрицательной производится инвертированием всех переменных.

В дальнейшем будем пользоваться соглашением положительной логики.

Для реализации логической операции НЕ требуется инвертор, в качестве которого используется обычный транзисторный ключ

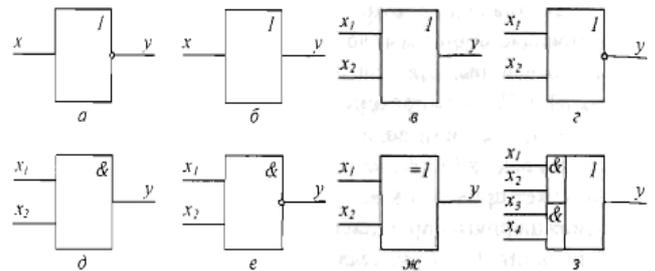


Рис. 5.5. Элементы цифровой логики: а — инвертор: $y = \bar{x}$; б — повторитель: $y = x$; в — логическое сложение (ИЛИ): $y = x_1 + x_2 = x_1 \vee x_2$; г — инверсия суммы (ИЛИ–НЕ): $y = \overline{x_1 + x_2} = \overline{x_1 \vee x_2}$; д — логическое умножение (И): $y = x_1 x_2 = x_1 \wedge x_2$; е — инверсия произведения (И–НЕ): $y = \overline{x_1 x_2} = \overline{x_1 \wedge x_2}$; ж — сложение по модулю 2 (Исключающее ИЛИ, неравнозначность): $y = x_1 \oplus x_2$; з — $y = x_1 x_2 \vee x_3 x_4$

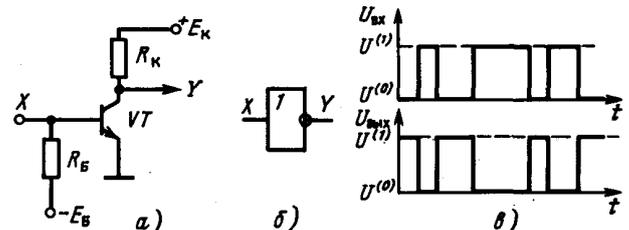


Рис. 5.6. Логический элемент НЕ (а), условное обозначение (б) и временные диаграммы (в)

(рис. 5.6, а). В отсутствие входного сигнала (на входе «0») транзистор закрыт, падение напряжения на резисторе R_k практически равно нулю, а напряжение на выходе равно E_k , т. е. $U_{\text{вых}}=U^1$ (на выходе «1»). При подаче положительного напряжения на вход инвертора транзистор открывается и его выходное напряжение (при насыщении) становится равным нулю $U_{\text{вых}}=U^0$ (на выходе «0»), т. е. ключ преобразует «0» в «1» и наоборот, что соответствует логической операции НЕ. Условное обозначение инвертора показано на рис. 5.6, б, а временные диаграммы его работы — на рис. 5.6, в.

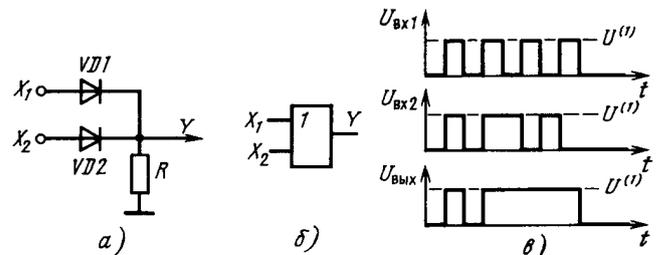


Рис. 5.7. Логический элемент ИЛИ (а), условное обозначение (б) и временные диаграммы его работы (в)

Для реализации логической операции ИЛИ можно использовать диодно-резисторную схему (рис. 5.7, а). В отсутствие входных сигналов (на входах «0») оба диода закрыты и выходное напряжение равно нулю (на выходе «0»). При подаче сигнала на любой вход через нагрузку R пойдет ток, а на выходе появится напряжение (на выходе «1»). Следовательно, если хотя бы на один вход будет подан сигнал, то и на выходе также появится сигнал, т. е. работа рассматриваемой схемы соответствует логической операции ИЛИ; ее условное обозначение дано на рис. 5.7, б, а временные диаграммы — на рис. 5.7, в.

Один из вариантов схемы, реализующей логическую операцию И (для двух входов), показан на рис. 5.8, а. Схема И создает импульс на выходе только при совпадении во времени входных импульсов (в принципе она может быть построена на число входов больше двух, но всегда имеет только один выход). При

отсутствии входных сигналов оба диода открыты, падение напряжения на резисторах $R1$ и $R2$ будет мало и $U_{\text{вых}} \approx 0$ (на выходе «0»). При подведении сигнала к одному из входов ($x_1=1$ или $x_2=1$) положение не изменится: напряжение $U_{\text{вых}}$ по-прежнему останется равным нулю. Только при одновременном подведении сигналов ко входам схемы ($x_1=1$ и $x_2=1$) оба диода ($VD1$ и $VD2$) закроются и $U_{\text{вых}}$ окажется примерно равным E , т. е. работа схемы соответствует логической операции И; ее условное обозначение дано на рис. 5.8, б, а временные диаграммы — на рис. 5.8, в.

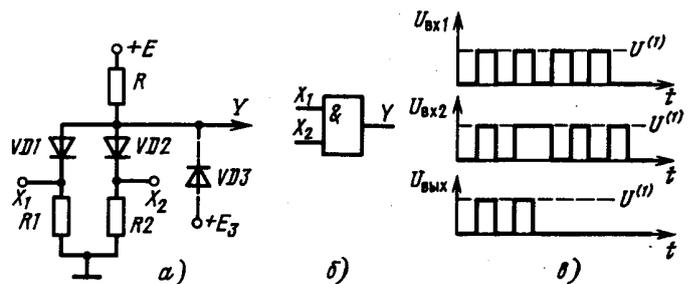


Рис. 5.8. Логический элемент И (а), условное обозначение (б) и временные диаграммы его работы (в)

При достаточно большом числе входов схемы И напряжение $U_{\text{вых}}$ будет изменяться в зависимости от числа сигналов, поданных на входы. Это изменение $U_{\text{вых}}$ называют помехой. Для устранения помехи на выходе схемы И вводят гасящий диод $VD3$ (на рис. 5.8, а показан штриховой линией). При наличии диода $VD3$, когда одновременно на всех входах нет сигналов, $U_{\text{вых}} < E_3$, диод $VD3$ открывается и $U_{\text{вых}}$ становится равным E_4 . Равенство $U_{\text{вых}}=E_3$ будет иметь место при подаче любого числа сигналов на входы, кроме случая, когда имеются сигналы на всех входах и $U_{\text{вых}}=E$.

В связи с тем, что к любому электронному изделию на логических элементах одновременно предъявляется ряд требований: удобство решения конкретной логической задачи, получение заданных входных и выходных характеристик, быстродействие, помехоустойчивость схемы и др., выпускается достаточно широкий ассортимент логических ИС, объединенных в отдельные серии. Каждая серия представляет собой набор логических ИС, выполненных на одной конструкторско-технологической основе, но отличающихся друг от друга реализуемой логической функцией. ИС одной серии легко согласуются друг с другом по входным и выходным параметрам, и путем определенного соединения некоторого количества таких схем может быть реализована любая логическая функция. В каждой серии ИС имеются так называемый базовый элемент, выполняющий основную логическую операцию, и ряд дополнительных элементов, один из которых расширяет конструкторские возможности,

а другие обеспечивают логическую полноту серии и позволяют более рационально проектировать изделие. Так как дополнительные элементы играют вспомогательную роль, для анализа работы определенной серии достаточно рассмотреть лишь базовый элемент.

Простейшая схема базового элемента ТТЛ, реализующая операцию И–НЕ, показана на рис. 5.9, а. При наличии положительного потенциала на всех входах (на входах логического элемента И только «1») эмиттерные переходы многоэмиттерного транзистора $VT1$ оказываются закрытыми, а потенциалы базы и коллектора транзистора $VT1$ и базы транзистора $VT2$ — высокими. За счет высокого потенциала базы транзистор $VT2$ открывается и при правильно выбранном режиме схемы входит в режим насыщения. При этом потенциал коллектора транзистора $VT2$ приближается к нулю — на выходе схемы наблюдается логический 0. Если хотя бы на одном входе имеется нулевой потенциал (логический 0), соответствующий эмиттерный переход оказывается открытым, потенциал базы транзистора $VT2$ низким, а транзистор $VT2$ закрытым. При этом потенциал коллектора транзистора $VT2$ приближается к напряжению питания (за вычетом падения напряжения на резисторе R_k) — на выходе схемы наблюдается логическая 1. Транзистор $VT1$ работает в инверсном режиме, так что падение напряжения на его всегда открытом коллекторном переходе остается практически постоянным (0,7 В) и не зависящим от числа открытых эмиттерных переходов. Транзистор $VT2$ и резистор R_k являются инвертором.

Существенный недостаток рассмотренной схемы состоит в том, что ее выходное сопротивление при логической «1» на выходе оказывается достаточно большим, а это создает определенные трудности при подключении нагрузки. Для устранения этого недостатка используют сложный инвертор (рис. 5.9, б). Введение транзисторов $VT3$ и $VT4$ по существу увеличивает выходную мощность ТТЛ-элемента и приводит к тому, что выходное сопротивление схемы оказывается малым как при «1», так и при «0» на выходе. В первом случае транзистор $VT4$ закрыт, но на выходе схемы оказывается включенным эмиттерный повторитель, выходное сопротивление которого, как известно, мало. Во втором случае малое выходное сопротивление обеспечивается за счет насыщения транзистора $VT4$.

Для повышения быстродействия в схемах ТТЛ-элементов применяют диоды Шотки, которые включают между базой и коллектором транзистора $VT3$.

Схемы большой и сверхбольшой интеграции создают с использованием полевых МОП-транзисторов. Благодаря большому входному сопротивлению МОП-транзисторов в таких интегральных схемах не нужны резисторы или диоды в цепях связи, что значительно упрощает схему логического элемента. Возможность использования МОП-транзисторов, на затвор которых подается постоянное напряжение, в качестве резисторов значительно упрощает технологию изготовления ИС и повышает степень интеграция. А если учесть, что технология создания МОП-структур проще, процент выхода годных ИС больше, а площадь, занимаемая каждым МОП-транзистором на поверхности полупроводникового кристалла, меньше, чем у биполярного транзистора, станет ясным, что МОП-транзисторы выгодно отличаются от биполярных как по параметрам, так и по технологичности.

Простейшие схемы инверторов на p - и n -канальных МОП-транзисторах показаны на рис. 5.10, а, б. В этих схемах транзисторы $VT1$ являются активными элементами, а транзисторы $VT2$ играют роль резисторов (на их затворы подается постоянное напряжение

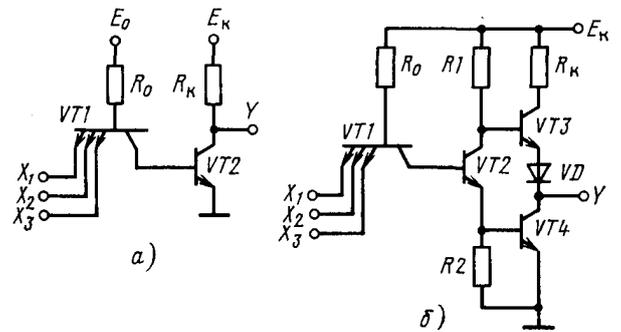


Рис. 5.9. Транзисторно-транзисторный логический элемент с простым (а) и сложным (б) инверторами

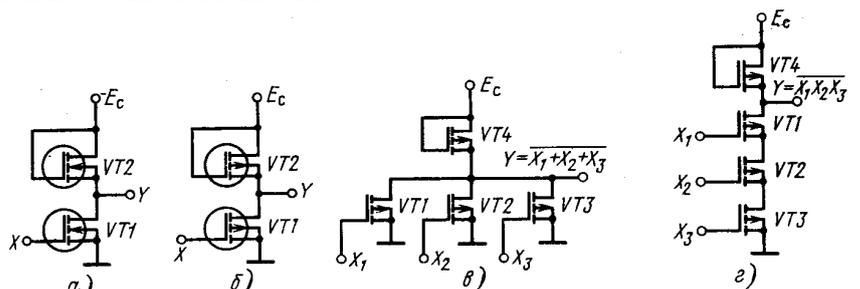


Рис. 5.10. Логические элементы на МОП-транзисторах: а, б — простейшие схемы; в, з — трехходовые ИС

жение, равное напряжению стока). Принципиальные схемы трехвходовых базовых логических элементов ИЛИ-НЕ и И-НЕ на p -канальных МОП-транзисторах приведены на рис. 5.10, в, г. В той и другой схеме транзисторы $VT1$ — $VT3$ работают в качестве активных элементов, а транзистор $VT4$ — как резистор. Если на всех входах логического элемента ИЛИ-НЕ (рис. 5.10, в) будет напряжение логического 0, транзисторы $VT1$ — $VT3$ окажутся закрытыми, ток через транзистор $VT4$ проходить не будет и на выходе элемента будет напряжение логической 1, близкое к E_c . Если на любом входе появится напряжение логической 1, откроется соответствующий транзистор, через $VT4$ пойдет ток и напряжение на выходе элемента резко понизится — появится напряжение логического 0. Если на всех входах логического элемента И-НЕ (рис. 5.10, г) будет напряжение логического 0 транзисторы $VT1$ — $VT3$ будут закрыты, ток через транзистор $VT4$ проходить не будет и на выходе элемента будет напряжение логической 1, близкое к E_c . Для создания тока через транзистор $VT4$ в элементе И-НЕ и для получения на выходе напряжения логического 0 необходимо открыть все транзисторы ($VT1$, $VT2$ и $VT3$), т. е. подать напряжение логической 1 на все входы.

Особенно экономичными являются схемы, в которых одновременно используются МОП-транзисторы разных типов, — схемы, называемые *комплементарными*. Работа КМОП ЛЭ основана на одновременном открывании и закрывании МОП-транзисторов разного типа. Например, в схеме, приведенной на рис. 5.11, а, при нулевом потенциале на входе открыт транзистор $VT2$ и закрыт транзистор $VT1$, а напряжение на выходе равно нулю. При подаче на вход такой схемы положительного напряжения открывается транзистор $VT1$ и одновременно закрывается транзистор $VT2$, а на выходе появляется положительное напряжение, близкое к E_c . Важно, что в том и другом случае от источника питания потребляется ничтожно малый ток, так как один из МОП-транзисторов всегда оказывается закрытым, а это приводит к очень большой экономичности КМОП элементов.

Принципиальные схемы трехвходовых КМОП-элементов, выполняющие логические функции ИЛИ-НЕ и И-НЕ, приведены на рис. 5.11, б, в.

5.3.2. Параметры логических элементов

Из рассмотрения схем различных логических элементов следует, что они представляют собой многоэлементные устройства, поэтому работоспособность логических элементов характеризуется набором основных параметров и только их совокупность позволяет сравнивать между собой и классифицировать различные электронные логические схемы.

В качестве важнейших *статических параметров* приводятся четыре значения напряжений и четыре значения токов, которые могут быть определены по передаточной характеристике элемента — зависимости $U_{\text{вых}}(U_{\text{вх}})$, позволяющей оценить формирующие свойства и помехоустойчивость ЛЭ, и входным $I_{\text{вх}}(U_{\text{вх}})$ и выходным $I_{\text{вых}}(I_{\text{вых}})$ характеристикам. Выходная характеристика зависит от состояния, в котором находится инвертирующий транзистор. Поэтому выходных характеристик две: при напряжениях на входе, соответствующих «0» и «1». Совместное использование входной и выходной характеристик позволяет определять нагрузочную способность, коэффициент объединения по входу, а также входное и выходное сопротивления ЛЭ.

Четыре значения напряжений задают границы отображения переменных («0» и «1») на выходе и входе элемента. Для нормальной работы элемента требуется, чтобы напряжение, отображающее логическую «1», было достаточно высоко-

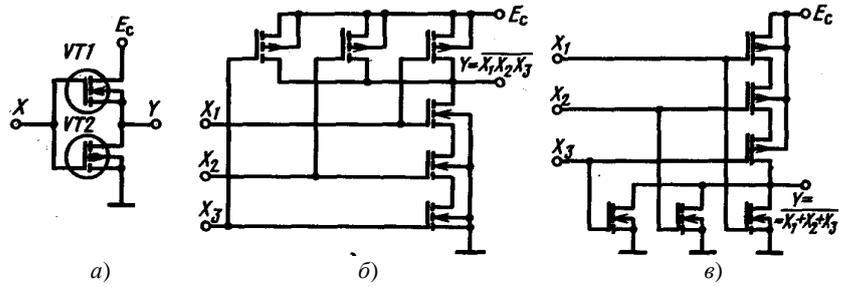


Рис. 5.11. Комплементарные логические схемы: а — на двух МОП-транзисторах; б, в — трехвходовые ИС

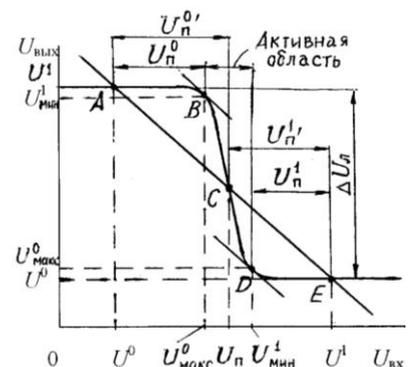


Рис. 5.12. Передаточная характеристика инвертирующего ЛЭ

ким, а напряжение, отображающее логический «0», — достаточно низким. Эти требования задаются параметрами $U^1_{\text{вх.мин}}$ и $U^0_{\text{вх.макс}}$ (точки D и B на рис. 5.12). Касательные к характеристике в этих точках имеют наклон -45° , т. е. это точки единичного усиления. Уровни, гарантируемые на выходе элемента при соблюдении допустимых нагрузочных условий, задаются параметрами $U^1_{\text{вых.мин}}$ и $U^0_{\text{вых.макс}}$. Между этими токами заключена активная область, в которой усиление схемы больше единицы. Внутри активной области находится точка C , называемая пороговой точкой. Прямая, соединяющая начало координат с точкой, имеет наклон к координатным осям 45° . Очевидно, что при сигнале на входе меньшем $U_{\text{пор}}$ сигнал на выходе будет стремиться к U^1 , а большем $U_{\text{пор}}$ — к U^0 . Это формирующее свойство является основополагающим для ЛЭ и определяет помехоустойчивость ЛЭ по отношению к сигналам

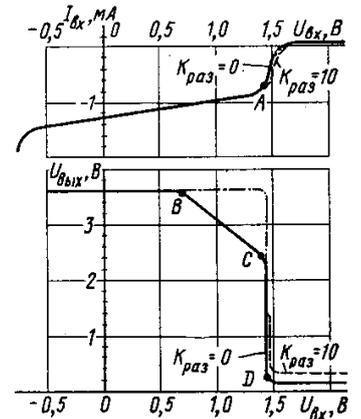


Рис. 5.13. Входная и передаточная характеристики элемента ТТЛ

помехи. Входные напряжения данного элемента есть выходные напряжения предыдущего (источника сигналов). Разность этих уровней дает размах логического сигнала $\Delta U_{\text{л}}$. Точка A определяется на характеристике как точка, абсцисса которой равна $U^0_{\text{вых.макс}}$. Точка E имеет абсциссу $U^1_{\text{вых.мин}}$. Прямая, соединяющая точки A и E , имеет наклон к координатным осям -45° . Для уровня U^1 опасны отрицательные помехи, снижающие его. Напряжение $U^0_{\text{п}}$ есть напряжение допустимой статической помехи (т. е. помехи любой длительности), которое, будучи приложено к входу схемы при действии на нем логического нуля, еще не сможет переключить схему. Аналогично определяется $U^1_{\text{п}}$ для схемы, на входах которой действуют напряжения логической единицы. Отсюда помехоустойчивость $U^0_{\text{п}} = U^0_{\text{вых.макс}} - U^0_{\text{вых.макс}}$, $U^1_{\text{п}} = U^1_{\text{вых.мин}} - U^1_{\text{вх.мин}}$. Иногда восприимчивость схемы к помехам (помехозащищенность) измеряют как разности напряжений рабочих точек и пороговой точки. Таким образом, пороговая точка C ограничивает предельные значения входного сигнала ЛЭ, т. е. $U^0_{\text{вх.макс}}$ и $U^1_{\text{вх.мин}}$.

При сравнении ЛЭ с различными уровнями «0» и «1» часто используют безразмерные параметры $P^1_{\text{п}} = U^1_{\text{п}} / |U^1_{\text{п}} - U^0_{\text{п}}|$ и $P^0_{\text{п}} = U^0_{\text{п}} / |U^1_{\text{п}} - U^0_{\text{п}}|$, называемые коэффициентами помехоустойчивости ЛЭ.

Динамическая помехоустойчивость (помехоустойчивость в динамическом режиме) зависит от длительности, амплитуды и формы сигнала помехи, а также от уровня статической помехоустойчивости и скорости переключения логического элемента.

Четыре значения токов — входные и выходные токи в обоих логических состояниях оценивают по входной и выходной характеристикам, рис. 5.13 и 5.14. При высоком уровне выходного напряжения из элемента-источника ток вытекает, цепь нагрузки ток поглощает. При низком уровне выходного напряжения элемента-источника ток нагрузки втекает в этот элемент, а из входных цепей элементов-приемников токи вытекают. Зная токи $I^1_{\text{вых.макс}}$ и $I^0_{\text{вых.макс}}$, характеризующие возможности элемента-источника сигнала, и токи $I^1_{\text{вх.макс}}$ и $I^0_{\text{вх.макс}}$, потребляемые элементами-приемниками, можно контролировать соблюдение нагрузочных ограничений, обязательное для всех элементов схемы цифрового устройства.

Способность получать сигнал от нескольких источников информации и одновременно быть источником информации для ряда других элементов характеризует нагрузочную способность ЛЭ. Для этого используют два коэффициента:

коэффициент разветвления по выходу n — характеризует количество других элементов данной серии, которые могут быть подключены к выходу данного элемента без нарушения его работоспособности. Нагрузочная способность выпускаемых логических схем в значительной степени определяется характеристиками инвертора. Для обычных инверторов $n=4-10$, а для мощных инверторов и схем на МОП-транзисторах $n=$

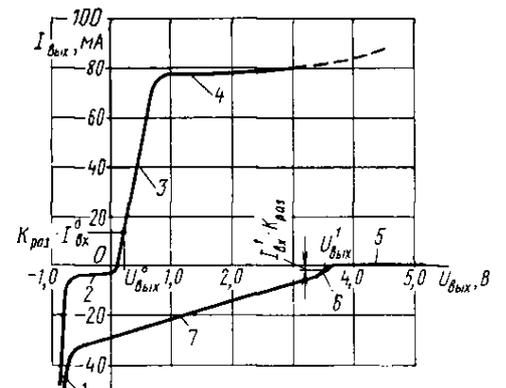


Рис. 5.14. Входная характеристика элемента ТТЛ

=30—50. Нагрузочная способность элемента определяется его выходным сопротивлением;

коэффициент объединения по входу m — характеризуется количеством входов данного логического элемента (от двух и более). Так как входными схемами являются схемы И или ИЛИ, то коэффициент объединения по входу зависит от возможностей этих схем. Для схем И $m=3—8$, для схем ИЛИ $m=3—4$. Для увеличения числа m в серии ИС обычно предусматривают «расширители по И» и «расширители по ИЛИ».

Быстродействие логических схем определяется величиной средней задержки сигнала $t_{з.ср}$ — временем, на которое запаздывает выходной сигнал логической схемы по сравнению с входным. Быстродействие элементов схемы определяется скоростями их перехода из одного состояния в другое. Наличие в схеме реактивных элементов (барьерных и диффузионных емкостей $p-n$ -переходов, паразитных емкостей), а также инерционность процессов в инвертирующем транзисторе, приводят к задержке выходного сигнала ЛЭ по отношению к входному и искажению фронтов выходного импульса.

На рис. 5.15 представлены совмещенные диаграммы изменения входного и выходного напряжений инвертирующего логического элемента и указаны динамические параметры. Среднее время задержки выходного сигнала $t_{з.ср}$ определяется как среднее время включения $t_3^{1,0}$ и выключения $t_3^{0,1}$. Отметим, что $t_{з.ср}$ определяется не только свойствами самого ЛЭ, но зависит от емкости на входе и емкости нагрузки. Следовательно, $t_{з.ср}$ зависит от коэффициентов объединения по входу и разветвления по выходу. Времена нарастания $t_{\phi}^{0,1}$ и спада $t_{\phi}^{1,0}$ мало зависят от характера входного сигнала.

Для схем малого быстродействия среднее время задержки 400 нс, для схем среднего быстродействия 20—50 нс, для высокого быстродействия менее 10 нс.

На быстродействие цифрового устройства влияют также емкости, на перезаряд которых требуются затраты времени. В справочных данных приводятся входные и выходные емкости логических элементов, знание которых позволяет подсчитать емкости нагрузки в узлах схемы. Для подключаемой к выходу элемента емкости приводятся две цифры: номинальная емкость C_n и предельно допустимая емкость $C_{макс}$. Первая емкость соответствует условиям измерения задержек сигналов, так что именно для нее справедливы значения задержек сигналов, приведенные в справочных данных. Если реальная нагрузочная емкость отличается от номинальной, то изменятся и значения задержек. Значения реальных задержек можно оценить с помощью соотношения $t_3 = t_{3,н} + k\Delta C$, где $t_{3,н}$ — номинальное значение задержки; $\Delta C = C - C_n$; C — фактическое значение нагрузочной емкости; k — коэффициент, величина которого задается для каждой серии элементов индивидуально. Предельно допустимая емкость указывает границу, которую нельзя нарушать, поскольку при этом работоспособность элемента не гарантируется. Разумеется, при подсчете емкостей в узлах цифрового устройства учитываются и емкости межсоединений (монтажные емкости).

Потребляемая мощность $P_{ср}$ логических схем зависит от характера входных сигналов. Поэтому различают P_0 — мощность, потребляемую схемой в статическом состоянии 0; P_1 — мощность, потребляемую в статическом состоянии 1; P_{01} , P_{10} — мощности при переходе из 0 в 1 и обратно. Потребляемую мощность принято определять в статическом режиме (пренебрегая процессами перехода) и считать, что длительность состояния 0 равна длительности состояния 1. В этом случае

$$P_{ср} = (P_0 + P_1) / 2.$$

Экономичность и быстродействие логических ИС часто оценивают с помощью комплексного параметра — произведения средней потребляемой мощности на среднее время задержки. Желательно, чтобы это произведение имело минимальную величину.

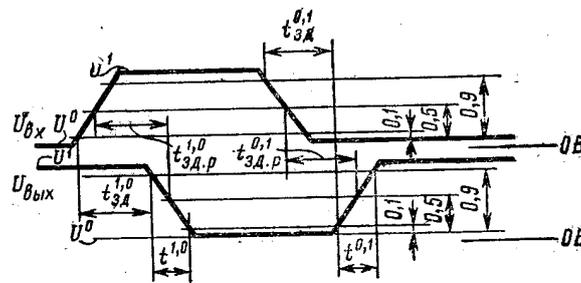


Рис. 5.15. Временные диаграммы процессов переключения логического элемента

5.4. Построение комбинационной логической схемы по заданной функции. Минимизация логических функций

Все логические элементы можно разделить на два класса — собственно логические элементы и элементы памяти. В зависимости от класса используемых элементов различают *комбинационные логические устройства*, в которые входят только логические элементы, и *последовательностные логические устройства*, которые кроме логических элементов содержат еще и элементы памяти. В комбинационных логических устройствах выходной сигнал зависит только от значений входных сигналов в рассматриваемый момент времени, а в последовательностных логических устройствах — от значений входных сигналов в рассматриваемый момент времени и от выходных сигналов элементов памяти, которые являются результатом логической обработки сигналов, поступивших в предшествующие моменты времени. Мы рассмотрим здесь построение только комбинационных логических схем.

Перед проектированием логической схемы в цифровых устройствах бывает задана таблица переключений — таблица истинности устройства, в которой даны входные сигналы и соответствующие каждому сочетанию входных сигналов выходные сигналы. Первый этап проектирования состоит в отыскании такой логической функции, которая соответствует таблице истинности устройств. При этом поступают следующим образом.

1. В таблице истинности выделяют строки, в которых выходная переменная y имеет значение 1.

2. Для каждой такой строки составляют произведение всех входных логических переменных, записывая множитель x_i , если рассматриваемая переменная имеет значение 1, и множитель \bar{x}_i , если эта переменная имеет значение 0.

3. Получив столько произведений, сколько имеется строк с $y=1$, записывают логическую функцию устройства в виде суммы всех найденных произведений. Такую форму записи искомой функции называют *совершенной дизъюнктивной нормальной формой (СДНФ)*, т. е. дизъюнкцией конъюнктивных членов одинаковой размерности.

Дальнейшие действия зависят от средств реализации функций, к которым в настоящее время относят:

логические блоки табличного типа (программируемые БИС/СБИС на основе схем программируемой памяти);

логические блоки в виде последовательности матриц элементов И и ИЛИ (ПЛМ — программируемая логическая матрица для реализации системы переключательных функций, представленных в ДНФ и составляемых из единого набора конъюнктивных термов; ПМЛ — программируемая матричная логика для реализации системы переключательных функций, представленных в ДНФ, каждая из которых составляется из индивидуального набора относительно небольшого числа конъюнктивных термов);

универсальные логические блоки в виде мультиплексоров — схем, передающих на выход одну из нескольких входных величин под управлением адресующего кода;

логические блоки, собираемые из логических элементов некоторого базиса.

Для реализации комбинационной схемы на основе логического блока табличного типа СДНФ является окончательным видом функции и никаких дальнейших преобразований этой функции не требуется, поскольку табличный блок представляет собой память, в которой имеется столько ячеек, сколько необходимо для хранения всех значений функции, т. е. 2^m , где m — число аргументов функции. Набор аргументом является адресом той ячейки, в которой хранится значение функции на этом наборе (0 или 1). СДНФ как раз и содержит все адреса, по которым нужно хранить единичные значения функции. Если искомая функция выражена в какой-либо сокращенной форме, то следует перевести ее в СДНФ. Для этого конъюнктивные члены, не содержащие переменной x_i , умножают на равную 1 дизъюнкцию $x_i + \bar{x}_i$. Например,

$$y = x_1 + x_2\bar{x}_3 = x_1(x_2 + \bar{x}_2)(x_3 + \bar{x}_3) + x_2\bar{x}_3(x_1 + \bar{x}_1) = \\ = x_1x_2x_3 + x_1\bar{x}_2x_3 + x_1x_2\bar{x}_3 + x_1\bar{x}_2\bar{x}_3 + x_1x_2\bar{x}_3 + \bar{x}_1x_2\bar{x}_3.$$

Блок памяти для воспроизведения функции m пе-

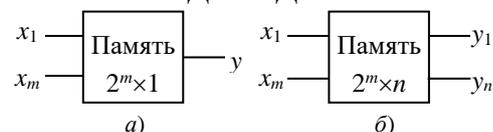


Рис. 5.16. Блоки памяти для воспроизведения одной (а) и нескольких (б) логических функций

ременных имеет вид рис. 5.16, а. Если требуется воспроизвести n функций, то в каждой ячейке нужно хранить n бит (по одному биту для каждой функции), и блок памяти будет организован, как показано на рис. 5.16, б.

При необходимости перехода к заданному логическому базису проводят минимизацию логической функции в смысле упрощения ее по заданному критерию. Целью минимизации является сокращение числа конъюнктивных термов в данной системе функций, т. е. поиск кратчайших дизъюнктивных форм. Практически это сводится к поиску минимальных форм дизъюнктивных нормальных форм (ДНФ) и отбору среди них вариантов с достаточно малым числом термов. Исторически первым было стремление минимизировать число логических элементов (корпусов ИС) в схеме.

Таблица 5.6

Рассмотрим способ нахождения логической функции на примере таблицы истинности 5.6.

Таблица истинности мажоритарного элемента

В строках 4, 6, 7, 8 выходная переменная $y=1$. Соответствующие произведения для этих строк будут: $\bar{x}_1x_2x_3$; $x_1\bar{x}_2x_3$; $x_1x_2\bar{x}_3$; $x_1x_2x_3$. Искомая логическая функция

Строка	x_1	x_2	x_3	y	Выходная логическая функция
1	0	0	0	0	—
2	0	0	1	0	—
3	0	1	0	0	—
4	0	1	1	1	$\bar{x}_1x_2x_3$
5	1	0	0	0	—
6	1	0	1	1	$x_1\bar{x}_2x_3$
7	1	1	0	1	$x_1x_2\bar{x}_3$
8	1	1	1	1	$x_1x_2x_3$

$$y = \bar{x}_1x_2x_3 + x_1\bar{x}_2x_3 + x_1x_2\bar{x}_3 + x_1x_2x_3.$$

Если в таблице истинности в столбце выходной переменной y стоит много единиц, требуется составить большое число произведений, что неудобно. Поэтому при числе нулей меньшем числа единиц составляют логическую функцию для переменной \bar{y} .

Для создания логического устройства, выполняющего обработку сигналов x_1, x_2, x_3 в соответствии с полученной логической функцией, нужны все три типа логических элементов: НЕ, ИЛИ и И. Для выполнения инверсий сигналов x_1, x_2, x_3 требуется три элемента НЕ. Затем нужно четыре элемента И, которые обеспечат операцию конъюнкции каждого слагаемого (называемого в булевой алгебре минтермом), и один логический элемент ИЛИ на четыре входа, который осуществляет операцию логического суммирования всех минтермов. В результате логическая схема мажоритарного элемента примет вид, показанный на рис. 5.17, а.

Первый путь минимизации, называемый алгебраическим, состоит в последовательном применении законов алгебры логики для сокращения избыточных членов в первоначальной логической функции.

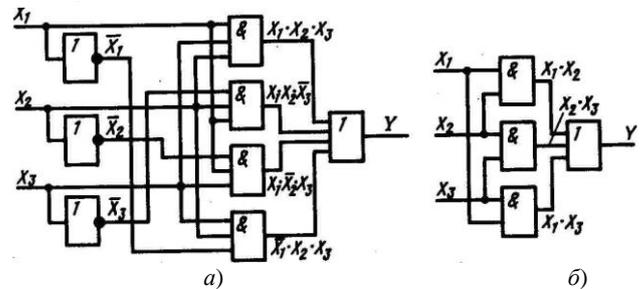


Рис. 5.17. Цифровые схемы мажоритарного элемента

В качестве примера минимизируем полученную в рассмотренном примере функцию. Для этого сначала добавим еще два таких же слагаемых, как последнее. Это в соответствии с законом тавтологии не изменит функцию. Тогда получим

$$y = \bar{x}_1x_2x_3 + x_1\bar{x}_2x_3 + x_1x_2\bar{x}_3 + x_1x_2x_3 + x_1x_2x_3 + x_1x_2x_3.$$

Затем воспользуемся распределительным законом и произведем следующую группировку членов:

$$y = x_2x_3(\bar{x}_1 + x_1) + x_1x_3(\bar{x}_2 + x_2) + x_1x_2(\bar{x}_3 + x_3).$$

Так как $x + \bar{x} = 1$ (закон дополнительности), то окончательно имеем

$$y = x_2x_3 + x_1x_3 + x_1x_2,$$

что может быть реализовано гораздо проще (рис. 5.17, б).

Минимизация логических функций алгебраическим методом требует определенных навыков. При большом числе аргументов и большом числе слагаемых логические формулы получаются труднообозримыми и их преобразование затруднительно. В таких случаях применяют специальные способы, позволяющие как бы «автоматизировать» процедуру минимизации. Один из таких способов связан с применением карт Карно — таблиц, разбитых на

ячейки, в которых помещаются наборы всех минтермов (логических произведений переменных — их прямых и инверсных значений) данной логической функции, расположенных в таком порядке, что соседние минтермы можно «склеить». Поэтому первый этап сводится просто к систематическому расположению всех минтермов, входящих в минимизируемую сложную логическую функцию. После этого «соседние» минтермы преобразуются, в результате чего они сокращаются на одну или две единицы. Для пояснения работы с картами Карно минимизируем с их помощью полученную из табл. 5.6 функцию.

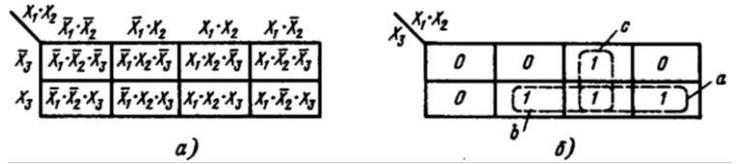


Рис. 5.18. Карта Карно для функций трех аргументов (а) и операция «склеивания» (б)

Карта Карно для функций трех аргументов показана на рис. 5.18, а. Все минтермы минимизируемой функции отметим в соответствующих ячейках карты Карно в виде 1, в остальных ячейках поставим 0 (рис. 5.18, б). «Склеивание» осуществляется между теми минтермами, которые записаны в виде 1 в соседних ячейках. Соседними считаются ячейки как по вертикали, так и по горизонтали, а также ячейки верхнего и нижнего ряда карты и ячейки крайнего левого и крайнего правого ряда (карту Карно следует представлять в виде развертки цилиндра, ось которого следует принимать либо вертикальной, либо горизонтальной). В рассматриваемом случае соседними оказались минтермы, объединенные контурами а, б и с.

Объединение, соответствующее контуру а, позволяет провести следующее «склеивание»:

$$x_1x_2x_3 + x_1\bar{x}_2x_3 = x_1x_3(x_2 + \bar{x}_2) = x_1x_3.$$

Объединение, соответствующее контуру б, — «склеивание»:

$$x_1x_2x_3 + \bar{x}_1x_2x_3 = x_2x_3(x_1 + \bar{x}_1) = x_2x_3.$$

Объединение, соответствующее контуру с, — «склеивание»:

$$x_1x_2x_3 + x_1x_2\bar{x}_3 = x_1x_2(x_3 + \bar{x}_3) = x_1x_2.$$

В результате применения карты Карно получаем

$$y = x_2x_3 + x_1x_3 + x_1x_2.$$

что совпадает с результатом, полученным ранее, но сейчас это удалось сделать быстрее и удобнее.

При минимизации можно склеивать и соседние минтермы, отмеченные 0, сумма которых дает функцию \bar{y} . Иногда этим свойством булевых функций оказывается целесообразно воспользоваться, так как, имея логическую функцию \bar{y} , легко построить функцию у, добавив один элемент НЕ на выходе. Так поступают в тех случаях, когда число логических элементов для реализации функции \bar{y} оказывается меньше, чем для функции у.

Правила перехода от исходных выражений к заданному логическому базису основаны на применении теоремы де Моргана. В частности, для перехода к базису И–НЕ используется соотношение

$$y = x_1x_2 + x_3x_4 = \overline{\overline{x_1x_2} \cdot \overline{x_3x_4}} = \overline{\bar{x}_1\bar{x}_2 \cdot \bar{x}_3\bar{x}_4},$$

а для перехода к базису Пирса удобно вначале получить исходную булевскую форму для инверсии искомой функции, а затем перейти к базису ИЛИ–НЕ по соотношениям

$$y = x_1x_2 + x_3x_4, \bar{y} = \overline{x_1x_2 + x_3x_4} = \overline{x_1x_2} \cdot \overline{x_3x_4} = \bar{x}_1 + \bar{x}_2 + \bar{x}_3 + \bar{x}_4.$$

Карты Карно для функции двух—пяти аргументов приведены на рис. 5.19.

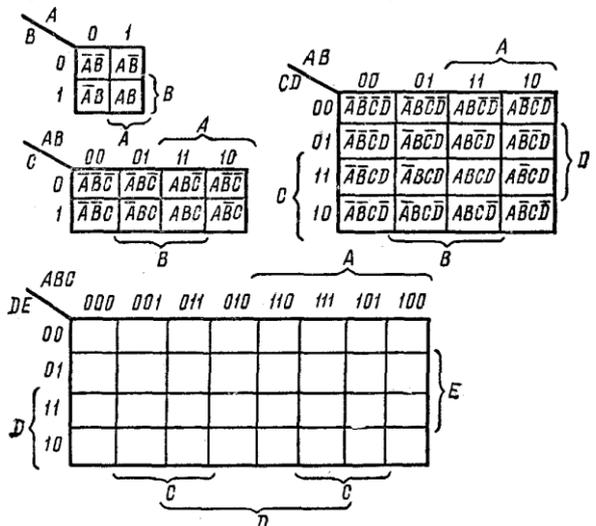


Рис. 5.19. Карты Карно для функций двух, трех, четырех и пяти аргументов

5.5. Типы выходных каскадов цифровых элементов

Цифровые элементы (логические, запоминающие, буферные) могут иметь выходы следующих типов: логические, с открытым коллектором (стоком), с третьим состоянием, с открытым эмиттером (исток).

Наличие четырех типов выходов объясняется различными условиями работы элементов в логических цепях, в магистрально-модульных микропроцессорных системах и т. д.

Логический выход. Логический выход формирует два уровня выходного напряжения — U^0 и U^1 . Выходное сопротивление логического выхода стремятся сделать малым, способным развивать большие токи для перезаряда емкостных нагрузок и, следовательно, получения высокого быстродействия элемента. Такой тип выхода имеют большинство логических элементов, используемых в комбинационных цепях.

Схемы логических выходов элементов ТТЛ(Ш) и КМОП подобны двухтактным каскадам — в них оба фронта выходного напряжения формируются с участием активных транзисторов, работающих противофазно, что обеспечивает малые выходные сопротивления при любом направлении переключения выхода (рис. 5.20, а).

Особенность таких выходов состоит в том, что их нельзя соединять параллельно. Во-первых, это создает логическую неопределенность, так как в точке соединения выхода, формирующего логическую единицу, и выхода, формирующего логический нуль, не будет нормального результата. Во-вторых, при соединении выходов, находящихся в различных логических состояниях, возникло бы их «противоборство». Вследствие малых величин выходных сопротивлений уравнивающий ток при этом может достигать достаточно большой величины, что может вывести из строя электрические элементы выходной цепи.

Вторая особенность логического выхода двухтактного типа связана с протеканием через оба транзистора коротких импульсов тока при переключениях из одного логического состояния в другое. Эти токи протекают от источника питания на общую точку («землю»). В статических состояниях таких токов быть не может, так как транзисторы $T1$ и $T2$ работают в противофазе, и один из них всегда заперт. Однако в переходном процессе из-за некоторой несинхронности переключения транзисторов возникает кратковременная ситуация, в которой проводят оба транзистора, что и порождает короткий импульс сквозного тока значительной величины (рис. 5.20, б).

Элементы с тремя состояниями выхода. Элементы с тремя состояниями выхода (типа 3С) кроме логических состояний 0 и 1 имеют состояние «отключено», в котором ток выходной цепи пренебрежимо мал. В это состояние (третье) элемент переводится специальным управляющим сигналом, обеспечивающим запертое состояние обоих транзисторов выходного каскада ($T1$ и $T2$ на рис. 5.20, а). Сигнал управления элементом типа 3С обычно обозначается как OE (Output Enable). При наличии разрешения (OE=1) элемент работает как обычно, выполняя свою логическую операцию, а при его отсутствии (OE=0) переходит в состояние «отключено». В цифровых устройствах широко используются буферные элементы типа 3С для управляемой передачи сигналов по тем или иным линиям. Буферы могут быть неинвертирующими или инвертирующими, а сигналы OE — Н-активными или L-активными, что ведет к наличию четырех типов буферных каскадов (рис. 5.21).

Выходы типа 3С отмечаются в обозначениях элементов значком треугольника, как на рис. 5.21, или буквой Z (при выполнении документации с помощью устройств вывода ЭВМ).

Выходы типа 3С можно соединять параллельно при условии, что в любой момент времени активным может быть только один из них. В этом случае отключенные выходы не мешают активному выходу формировать сигналы в точке соединения. Это позволяет приме-

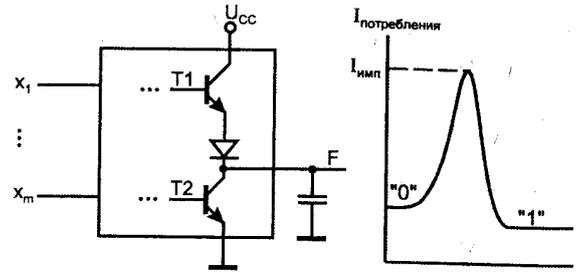


Рис. 5.20. Схема выходной цепи цифрового элемента (а) и график изменения потребляемого им тока в процессе переключения (б)

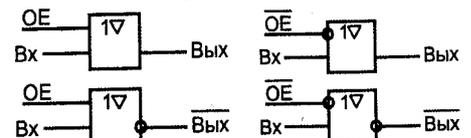


Рис. 5.21. Типы буферных каскадов с третьим состоянием

нять элементы типа 3С в магистрально-модульных микропроцессорных и иных системах, где многие источники информации поочередно пользуются одной и той же линией связи.

Элементы типа 3С сохраняют такие достоинства элементов с логическим выходом как быстродействие и высокая нагрузочная способность. Поэтому они являются основными в указанных применениях. В то же время они требуют обязательного соблюдения условия отключения всех выходов, соединенных параллельно, кроме одного, т. е. условия $OE_1 + OE_2 + \dots + OE_n \leq 1$ при объединении n выходов. Нарушение этого условия может привести даже к выходу из строя самих элементов.

Выход с открытым коллектором. Элементы с открытым коллектором имеют выходную цепь, заканчивающуюся одиночным транзистором, коллектор которого не соединен с какими-либо цепями внутри микросхемы. Транзистор управляется от предыдущей части схемы элемента так, что может находиться в насыщенном или запертом состоянии. Насыщенное состояние трактуется как отображение логического нуля, запертое — единицы.

Насыщение транзистора обеспечивает на выходе напряжение U^0 (малое напряжение насыщения коллектор—эмиттер $U_{КЭн}$). Запирание же транзистора какого-либо уровня напряжения на выходе элемента не задает, выход при этом имеет фактически неизвестный «плавающий» потенциал, так как не подключен к каким-либо цепям схемы элемента. Поэтому для формирования высокого уровня напряжения при запирании транзистора на выходе элементов с открытым коллектором (типа ОК) требуется подключать внешние резисторы (или другие нагрузки), соединенные с источником питания.

Несколько выходов типа ОК можно соединять параллельно, подключая их к общей для всех выходов цепочке $U_{cc}—R$ (рис. 5.22). При этом можно получить режим поочередной работы элементов на общую линию, как и для элементов типа 3С, если активным будет лишь один элемент, а выходы всех остальных окажутся запертыми. Если же разрешить активную работу элементов, выходы которых соединены, то можно получить дополнительную логическую операцию, называемую операцией **монтажной логики**.

При реализации монтажной логики высокое напряжение на общем выходе возникает только при запирании всех транзисторов, так как насыщение хотя одного из них снижает выходное напряжение до уровня $U^0 = U_{КЭн}$. То есть для получения логической единицы на выходе требуется единичное состояние всех выходов: выполняется монтажная операция И. Поскольку каждый элемент выполняет операцию Шеффера над своими входными переменными, общий результат окажется следующим

$$y = \overline{x_1 x_2 x_3 x_4 \dots x_{m-1} x_m} = \overline{x_1 x_2} + \overline{x_3 x_4} + \dots + \overline{x_{m-1} x_m}.$$

В обозначениях элементов с ОК после символа функции ставится ромб с черточкой снизу.

При использовании элементов с ОК в магистрально-модульных структурах требуется разрешать или запрещать работу того или иного элемента. Для элементов типа 3С это делается с помощью специального сигнала OE. Для элементов типа ОК в качестве входа OE может быть использован один из обычных входов элемента. Если речь идет об элементе И–НЕ, то, подавая «0» на любой из входов, можно запретить работу элемента, поставив его выход в разомкнутое состояние независимо от состояния других входов. «1» на этом входе разрешит работу элемента.

Положительной чертой элементов с ОК при работе в магистрально-модульных системах является их защищенность от повреждений из-за ошибок управления, приводящих к одновременной выдаче на шину нескольких слов, а также возможность реализации дополнительных операций монтажной логики. Недостатком таких элементов является большая задержка переключения из «0» в «1». При этом переключении происходит заряд выходной емкости сравнительно малым током резистора R . Сопrotивление резистора нельзя сделать слишком малым, так как это привело бы к большим токам выходной цепи в статике при насыщенном состоянии выходного транзистора. Поэтому положительный фронт выходного

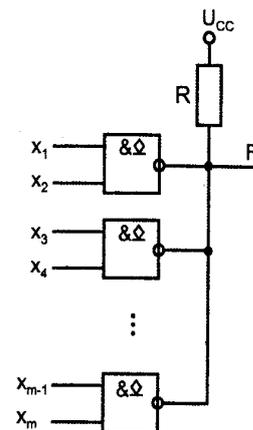


Рис. 5.22. Реализации монтажной логики

напряжения формируется относительно медленно с постоянной времени RC . До порогового напряжения (до середины полного перепада напряжения) экспоненциально изменяющийся сигнал изменится за время $0,7RC$, что и составляет задержку $t_3^{0,1}$.

5.6. Сложные логические элементы

Элементы Иключающее ИЛИ. Элементы Иключающее ИЛИ (Exclusive-OR) и Иключающее ИЛИ–НЕ можно было бы отнести к простейшим элементам, но функции, выполняемые ими, несколько сложнее, чем в случае элемента И или элемента ИЛИ (ИЛИ–НЕ). Все входы элементов Иключающее ИЛИ равноправны, однако ни один из входов не может заблокировать другие входы, установив выходной сигнал в уровень единицы или нуля.

Под функцией Иключающее ИЛИ понимается следующее: единица на выходе появляется тогда, когда только на одном входе присутствует единица. Если единиц на входах две или больше, или если на всех входах нули, то на выходе будет нуль. Таблица истинности двухвходового элемента Иключающее ИЛИ приведена в табл. 5.7. Надпись на отечественном обозначении элемента Иключающее ИЛИ «=1» как раз и обозначает, что выделяется ситуация, когда на входах одна и только одна единица.

С математической точки зрения элемент Иключающее ИЛИ выполняет операцию так называемого суммирования по модулю 2. Поэтому эти элементы также называют сумматорами по модулю два. Суммирование по модулю 2 обозначается знаком плюса, заключенного в кружок, и характеризуется соотношениями:

$$x \oplus 0 = x; \quad x \oplus 0 = x; \quad x \oplus x = 0; \quad x \oplus 1 = \bar{x}; \quad x \oplus \bar{x} = 1.$$

Основное применение элементов Иключающее ИЛИ, непосредственно следующее из таблицы истинности, состоит в сравнении двух входных сигналов. В случае, когда на входы приходят две единицы или два нуля (сигналы совпадают), на выходе формируется нуль (см. табл. 5.7). Обычно при таком применении на один вход элемента подается постоянный уровень, с которым сравнивается изменяющийся во времени сигнал, проходящий на другой вход. Но значительно чаще для сравнения сигналов и кодов применяют специальные микросхемы компараторов кодов.

В качестве сумматора по модулю 2 элемент Иключающее ИЛИ используется также в параллельных и последовательных делителях по модулю 2, служащих для вычисления циклических контрольных сумм.

Важное применение элементов Иключающее ИЛИ — это управляемый инвертор (рис. 5.23). В этом случае один из входов элемента используется в качестве управляющего, а на другой вход элемента поступает информационный сигнал. Если на управляющем входе единица, то входной сигнал инвертируется, если же нуль — не инвертируется. Чаще всего управляющий сигнал задается постоянным уровнем, определяя режим работы элемента, а информационный сигнал является импульсным. То есть элемент Иключающее ИЛИ может изменять полярность входного сигнала или фронта, а может и не изменять в зависимости от управляющего сигнала.

В случае, когда имеется два сигнала одинаковой полярности (положительные или отрицательные), и при этом их одновременный приход исключается, элемент Иключающее ИЛИ может быть использован для смешивания этих сигналов (рис. 5.24). При любой полярности входных сигналов выходные сигналы элемента будут положительными. При положительных входных сигналах элемент Иключающее ИЛИ будет работать как элемент 2ИЛИ, а при отрицательных он будет заменять элемент 2И–НЕ. Такие замены могут быть полезны в тех случаях, когда в схеме остаются неиспользованными некоторые элементы Иключающее ИЛИ. Правда, при этом надо учитывать, что

Таблица 5.7
Таблица истинности двухвходового элемента Иключающее ИЛИ

Вход 1	Вход 2	Выход
0	0	0
0	1	1
1	0	1
1	1	0

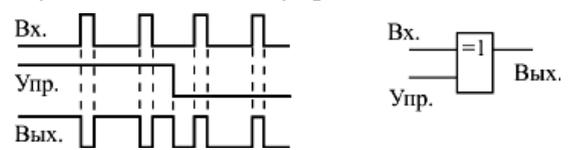


Рис. 5.23. Элемент Иключающее ИЛИ как управляемый инвертор

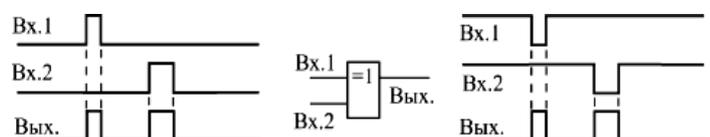


Рис. 5.24. Применение элемента Иключающее ИЛИ для смешивания двух неодновременных сигналов

задержка распространения сигнала в элементе Исключающее ИЛИ обычно несколько больше (примерно в 1,5 раза), чем задержка в простейших элементах И, И-НЕ, ИЛИ, ИЛИ-НЕ.

Еще одно применение элемента Исключающее ИЛИ — формирование коротких импульсов по любому фронту входного сигнала (рис. 5.25). В данном случае не важно, положительный фронт входного сигнала или отрицательный, на выходе все равно формируется положительный импульс. Входной сигнал задерживается с помощью конденсатора или цепочки элементов, а затем исходный сигнал и его задержанная копия поступают на входы элемента Исключающее ИЛИ. В обеих схемах в качестве элементов задержки используются также двухвходовые элементы Исключающее ИЛИ в неинвертирующем включении (на неиспользуемый вход подается нуль).

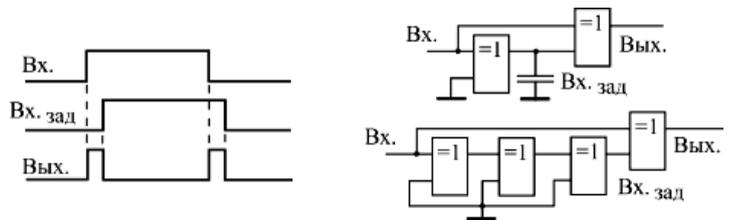


Рис. 5.25. Выделение фронтов входного сигнала с помощью элемента Исключающее ИЛИ

Данную особенность элементов Исключающее ИЛИ надо учитывать при одновременном поступлении на оба входа элемента изменяющихся сигналов. При этом на выходе возможно появление коротких паразитных импульсов по любому из фронтов входных сигналов. Исключить их влияние на дальнейшую схему можно, например, с помощью синхронизации, подобной рассмотренной в предыдущем разделе.

Комбинации из элементов И, ИЛИ, НЕ. Типичным примером сложного логического элемента, представляющего собой комбинацию из двух элементов 2И и одного элемента 2ИЛИ-НЕ, является логический элемент ЛР1, рис. 5.26.

По такому же принципу строятся и другие микросхемы ЛР. Разница между ними только в количестве элементов И и в количестве входов этих элементов.

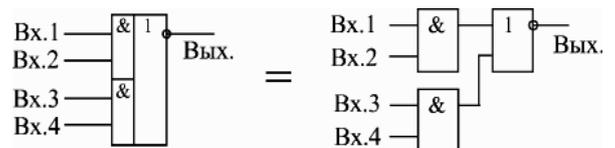


Рис. 5.26. Логический элемент ЛР1 и его эквивалентная схема

На рис. 5.27 приведено несколько примеров наиболее типичных применений микросхемы ЛР1. Самое распространенное её использование (а) состоит в организации двухканального мультиплексирования, то есть в переключении сигналов с двух входов на один выход. При этом один из входов каждого из элементов 2И используется в качестве информационного, а другой — в качестве разрешающего. Вариант этого включения (б) — использование одного управляющего входа переключения каналов и дополнительного инвертора. При единице на управляющем входе работает верхний канал, при нуле — нижний.

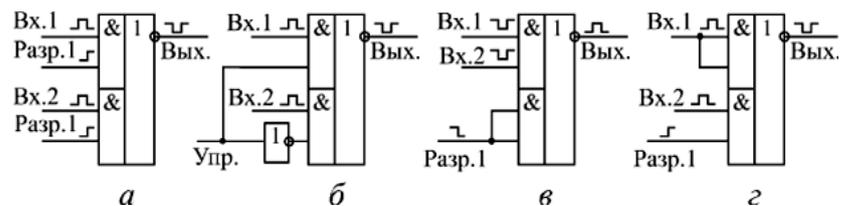


Рис. 5.27. Примеры использования элементов ЛР1

Еще один вариант использования элемента ЛР1 (в) — смешивание двух отрицательных входных сигналов с возможностью разрешения/запрета выходного сигнала. Наконец, последний показанный на рисунке вариант (г) — смешивание двух положительных сигналов, один из которых может быть разрешен или запрещен. То есть такое объединение в одном элементе функций И и ИЛИ довольно удобно.

При необходимости элементы ЛР1 могут использоваться в качестве более простых элементов 2И-НЕ и 2ИЛИ-НЕ (рис. 5.28). Элемент 2ИЛИ-НЕ получается при попарном объединении входов. Элемент 2И-НЕ получается при отключении половины схемы путем подачи нулей на два входа.

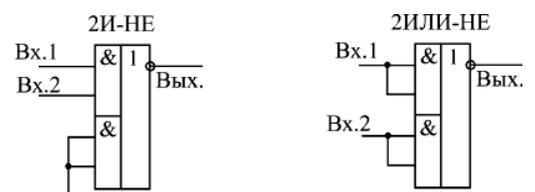


Рис. 5.28. Использование элементов ЛР в качестве элементов 2И-НЕ и 2ИЛИ-НЕ

На других элементах ЛР можно строить более сложные схемы. Например, элемент ЛР9 позволяет построить четырехканальный мультиплексор, так как в его структуре четыре элемента И и элемент 4ИЛИ–НЕ. Однако в большинстве случаев применение элементов ЛР для мультиплексирования оказывается не слишком удобным, так как в стандартных сериях имеются специальные микросхемы мультиплексоров с более удобным управлением.

6. ФУНКЦИОНАЛЬНЫЕ УСТРОЙСТВА НА ЦИФРОВЫХ МИКРОСХЕМАХ

6.1. Системы счисления

Двоичная система счисления. В десятичной системе счисления используются десять цифр для записи чисел. *Двоичная система счисления*, или система с основанием 2, использует только цифры 0 и 1 (рис. 6.1). Эти двоичные числа названы *битами* (от *binary digit*). Система позиционной записи остается такой же, т. е. справа пишется самый младший разряд, а слева — самый старший. Но если в десятичной системе вес каждого следующего разряда больше веса предыдущего в десять раз, то в двоичной системе (при двоичном кодировании) — в два раза. Последовательность бит составляет цифровой код, который может использоваться для представления информации. Наиболее популярным кодом, используемым для представления десятичных цифр и алфавита, является код *ASCII* (*American Standart Code for Information Interchange* — Американский стандартный код для обмена информацией).



Рис. 6.1. Десятичное и двоичное кодирование

Поскольку используются только две цифры для представления двоичных чисел (0 и 1), то при записи больших чисел их запись в двоичной системе может быть весьма громоздкой. К примеру, десятичное число 26 в двоичной системе записывается как $26_{10}=11010$.

В общем случае n -разрядное двоичное число может принимать 2^n различных значений, а n -разрядное десятичное число — 10^n значений.

Для того чтобы упростить запись двоичных чисел, была предложена так называемая шестнадцатеричная система (16-ричное кодирование). В этом случае все двоичные разряды разбиваются на группы по четыре разряда (начиная с младшего), а затем уже каждая группа кодируется одним символом. Каждая такая группа называется *полубайтом*, а две группы (8 разрядов) — *байтом*. Из табл. 6.1 следует, что 4-разрядное двоичное число может принимать 16 разных значений (от 0 до 15). Поэтому требуемое число символов для шестнадцатеричного кода тоже равно 16, откуда и происходит название кода. В качестве первых 10 символов берутся цифры от 0 до 9, а затем используются 6 начальных заглавных букв латинского алфавита: А, В, С, D, Е, F.

Шестнадцатеричные (hex) числа могут быть записаны со знаком \$ перед числом для отличия их от десятичных. Шестнадцатеричные и двоичные числа могут так же обозначаться путем добавления в конец числа букв «h» и «b» соответственно. Например, число \$FF есть десятичное число 255, или 11111111b в двоичном коде. Запись A17Fh обозначает 16-ричное число A17F. Здесь A1 есть старший байт числа, а 7F — младший байт числа.

В табл. 6.1 приведены примеры 16-ричного кодирования первых 20 чисел (в скобках приведены двоичные числа), а на рис. 6.2 показан пример записи двоичного числа в 16-ричном виде.

Таблица 6.1
16-ричная система кодирования

Десятичная система	16-ричная система	Десятичная система	16-ричная система
0	0 (0)	10	A (1010)
1	1 (1)	11	B (1011)
2	2 (10)	12	C (1100)
3	3 (11)	13	D (1101)
4	4 (100)	14	E (1110)
5	5 (101)	15	F (1111)
6	6 (110)	16	10 (10000)
7	7 (111)	17	11 (10001)
8	8 (1000)	18	12 (10010)
9	9 (1001)	19	13 (10011)

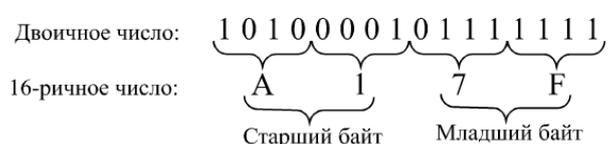


Рис. 6.2. Двоичная и 16-ричная запись числа

Группы длиной более 8 разрядов (1 байта) называют *словом*. Самый левый бит в двоичной записи числа называют *наиболее значимым битом (msb)*, поскольку он имеет наибольший вес при определении величины числа. Крайний правый бит называют *наименее значимым битом (lsb)*.

Для перевода 16-ричного числа в десятичное необходимо умножить значение младшего (нулевого) разряда на единицу, значение следующего (первого) разряда на 16, второго разряда на 256 (16^2) и т. д., а затем сложить все произведения. Например, возьмем число A17F:

$$A17F = F \cdot 16^0 + 7 \cdot 16^1 + 1 \cdot 16^2 + A \cdot 16^3 = 15 \cdot 1 + 7 \cdot 16 + 1 \cdot 256 + 10 \cdot 4096 = 41343.$$

Для удобства представления больших чисел в двоичной системе счисления вводится производная величина, равная $2^{10} = 1024$. Например, число 65536, поделенное на 1024, записывается как 64к, где «к» (кило) обозначает поделенное на 1024. Слово длиной 24 бита — 16 777 2116 — поделим на 1024 дважды и получим 16М, где М означает мега. 1024 байта — это 1 килобайт (кб), и, соответственно, 640 кб составляет $640 \times 1024 = 655\,360$ байт. 1 мегабайт (Мб) — это $1 \times 1024 \times 1024 = 1\,048\,576$ байт. 64 кб = 65 536 байт, которые при последовательной нумерации будут представлены числами от 0 до 65 535.

Помимо рассмотренных кодов, существует также и так называемое двоично-десятичное представление чисел. Как и в 16-ричном коде, в двоично-десятичном коде каждому разряду кода соответствует четыре двоичных разряда, однако каждая группа из четырех двоичных разрядов может принимать не шестнадцать, а только десять значений, кодируемых символами 0, 1, 2, 3, 4, 5, 6, 7, 8, 9. То есть одному десятичному разряду соответствует четыре двоичных. В результате получается, что написание чисел в двоично-десятичном коде ничем не отличается от написания в обычном десятичном коде (табл. 6.1), но в реальности это всего лишь специальный двоичный код, каждый разряд которого может принимать только два значения: 0 и 1. Двоично-десятичный код иногда очень удобен для организации десятичных цифровых индикаторов и табло.

Преобразование числа из десятичного в двоичное. Двоичная система счисления использует только две цифры — 0 и 1. Очень просто преобразовать число из десятичного в двоичное путем последовательного деления на 2. Начнем деление от правого края листа и продолжим к левому.

	26	Делимое
÷2		÷
	13	Частное
	0	Остаток

Перенесем полученное в результате первого деления частное в левую колонку на место делимого и снова разделим на 2.

	13	26	Делимое
÷2		2	÷
	6	13	Частное
	1	0	Остаток

Повторяем деление до тех пор, пока *частное* не станет равным 0.

	1	3	6	13	26	Делимое
÷2		÷2	÷2	÷2	2	÷
	0	1	3	6	13	Частное
	1	1	0	1	0	Остаток

Результатом преобразования являются остатки от деления: $26_{10} = 11010$.

Для преобразования из двоичного в десятичный код каждая двоичная *позиция*, начиная с наименее значимого бита, представляет собой *степень*, в которую нужно возвести основание 2, начиная счет позиций с 0.

Пример: Преобразование двоичного числа 11010 в десятичный код:

$$= 1(2^4) + 1(2^3) + 0(2^2) + 1(2^1) + 0(2^0) = 26.$$

Степени двойки	
2^2	4
2^3	8
2^4	16
2^5	32
2^6	64
2^7	128
2^8	256
2^9	512
2^{10}	1024
2^{11}	2048
2^{12}	4096
2^{13}	8192
2^{14}	16384
2^{15}	32768
2^{16}	65536

Биты в байте нумеруются от 0 до 7, начиная от правой позиции к левой, что может показаться нумерацией «наоборот», но при этом номер позиции совпадает со степенью, в которую необходимо возвести 2 при переводе числа в десятичный код.

Преобразование числа из десятичного в шестнадцатеричное. Последовательное деление на 16. Начнем деление от правого края страницы и продолжим к левому. Останавливаемся, когда частное от деления будет 0. Результат преобразования представлен остатками от делений.

Пример: Преобразование десятичного числа 26 в hex:

	1	26	Делимое
÷16	↙	÷16	÷
0		1	Частное
	1	10	Остаток

Результат: 1A (десятичное число 10 представляется буквой A в шестнадцатеричной системе счисления).

Преобразование числа из шестнадцатеричного в десятичное. Так же как при преобразовании из двоичного в десятичное, позиция каждой цифры в числе, начиная с наименее значащей цифры, представляет собой степень, в которую необходимо возвести основание системы 16 — начиная с 0. Полученное число следует умножить на величину соответствующей цифры и сложить произведения между собой.

Пример: Преобразование 1A в десятичный код:

$$1A = 1(16^1) + 10(16^0) = 26.$$

Преобразование числа из шестнадцатеричного в двоичное. Каждая шестнадцатеричная цифра должна быть заменена своим двоичным эквивалентом из 4 бит (см. таблицу).

Пример: Преобразование 1A в двоичный код:

$$\begin{array}{cc} 1 & A \\ 0001 & 1010 \end{array}$$

Результат: Найдите в таблице двоичный эквивалент шестнадцатеричной цифры и запишите двоичное число группами по четыре цифры. Такую группу из 8 цифр называют *байтом*. Результат преобразования 0001 1010 и нули слева могут опускаться при желании. Зачастую удобно записывать двоичные цифры группами по четыре, поэтому мы записали 0001 1010. Группировка цифр производится только для нашего удобства чтения.

Дополнение до 2-х (дополнительный код). Дополнение до 2-х является специальной операцией, выполняемой над двоичными числами, результатом которой является новое двоичное число, значение которого будет разъяснено ниже. Дополнение до 2-х (или дополнительный код числа) находится путем инвертирования нулей и единиц в двоичном числе (обратный код или дополнение до единицы) и затем сложение с 1.

Пример: Найти дополнительный код числа 13.

Исходное число 13	0 0 0 0 1 1 0 1	← Двоичное число в этой строке называют дополнением до единицы (обратный код)
Инвертирование всех бит	1 1 1 1 0 0 1 0	
Добавление 1	1	
Дополнительный код	1 1 1 1 0 0 1 1	

Число в дополнительном коде может быть использовано для представления отрицательных целых чисел, позволяя компьютеру выполнять операцию вычитания схемой сложения цифр. Применение операции дополнения дважды даст в результате исходное число.

Учтите, что в наших рассуждениях мы всегда оперируем с целыми числами. На самом деле это единственный тип чисел, с которыми может работать компьютер. Тем не менее, нам так же приходится применять дроби и очень большие числа в повседневном применении компьютера. Как же это достигается? Если коротко, то компьютер разделяет все число на две части, одна из которых есть мантисса числа, а другая — экспонента. Число 7×10^5 (иногда записывается в виде 7E5) есть число 700 000. В данном примере 7 — это мантисса, а 5 — экспонента. Компьютер хранит мантиссу и экспоненту в различных регистрах памяти. В простых системах мантиссе отводится 4 байта памяти и 1 байт под экспоненту. Преобразование в данный формат обычно производится в программе; также для выполнения этой процедуры

к микропроцессору добавляется специализированный математический сопроцессор, который выполняет ее намного быстрее.

Числа со знаком. В ячейку памяти длиной 8 бит могут быть записаны десятичные целые числа в диапазоне от 0 до 255. Чтобы в ячейке памяти можно было хранить положительные и отрицательные числа, наиболее значащий бит резервируется под знак числа и называется знаковым. Он указывает, является ли число положительным (знаковый бит =0) или отрицательным (знаковый бит =1). Остальные 7 бит ячейки используются для размещения собственно величины числа, но способ записи различается для положительных и отрицательных чисел.

<p>Положительные числа: 0 в старшем разряде (<i>msb</i>) обозначает положительное число. Оставшиеся 7 бит содержат непосредственно величину числа. 7 бит позволяют кодировать числа от 0 до +127. Пример: 40 в двоичном коде — 00101000. Величина числа $0 \cdot 2^6 + 1 \cdot 2^5 + 1 \cdot 2^3 + 0 \cdot 2^2 + 0 \cdot 2^1 + 0 \cdot 2^0 = 40$.</p>	<p>Отрицательные числа: Представляются в дополнительном коде. Пример: -40 записывается: 40 в двоичном коде 00101000 обратный код 11010111 добавление 1 1 -40 в доп. коде 11011000 Знаковый бит (<i>msb</i>) указывает на то, что число отрицательное.</p>
--	---

Одна и та же последовательность бит может представлять собой запись знакового или беззнакового числа, в зависимости от контекста использования этого числа. Для чисел, начинающихся с 0, в двоичном коде нет никаких трудностей, поскольку они имеют одинаковое значение в обеих записях. Числа, начинающиеся с 1, могут быть интерпретированы как *беззнаковое целое* или как отрицательное число в дополнительном коде.

7F	0	1	1	1	1	1	1	1	+127
.	↑
.	2
.	0	0	0	0	0	0	0	1	1
0	0	0	0	0	0	0	0	0	0
FF	1	1	1	1	1	1	1	1	-1
.	1	1	1	1	1	1	1	0	-2
.	↓
.	
80	1	0	0	0	0	0	0	0	-128

В ячейку длиной 8 бит можно записать числа со знаком в диапазоне от -128 до +127.

Операция сложения с 1 в процедуре нахождения дополнения числа учитывает возможность записи ±0 (т.е. значения дополнения до единицы лежат в диапазоне от -127 до -0 и от +0 до 127).

Вычитание и умножение. При *вычитании* выполняется операция сложения с дополнением вычитаемого числа.

Пример: $43 - 40 = 43 + (-40)$

00101011	+43
11011000	-40 в доп. коде
10000011	результат 11b (т. е. 3d)

Дополнительный бит слева, получившийся в результате сложения, называется битом переноса. Бит переноса игнорируется в арифметике с числами со знаком, но учитывается при операциях с беззнаковыми числами.

Пример: $40 - 43 = ?$

11111101	результат, полученный выше
00000010	дополнение
1	прибавляем 1
00000011	окончательный результат «-3»

Наиболее значащий бит (*msb*) является знаковым битом, обозначающим в данном случае отрицательное число. Для преобразования в десятичный код необходимо найти инверсию 2-го дополнения этого числа в двоичном коде.

Преобразуем полученный результат в десятичную форму:

00101000	+43
11010101	-40 в доп. коде
11111101	результат сложения

Окончательный результат в десятичном виде «-3», поскольку знаковый бит указывает на то, что это отрицательное число.

Умножение и деление на 2 в двоичной системе счисления очень просто выполняются при помощи операции *сдвига*. Рассмотрим умножение $4 \times 2 = 8$. В двоичном коде $4_{10} = 0100$ и сдвиг влево дает 1000 (8_{10}). Делению на 2 соответствует сдвиг вправо.

1 1 0 0	1-й сомножитель 12_{10}
<u>0 1 1 0</u>	2-й сомножитель 6_{10}
0 0 0 0	$\times 0$ без сдвига
1 1 0 0	$\times 1$ и сдвиг влево
1 1 0 0	$\times 1$ и дважды сдвиг влево
0 0 0 0 0	$\times 0$ и трижды сдвиг влево
1 0 0 1 0 0 0 0	просуммировать с учетом сдвига, результат =72

Операция умножения включает в себя повторяющийся сдвиг влево и сложение. Операция деления выполняется практически так же, за исключением того, что включает повторяющиеся вычитания делителя.

Операция умножения с другими числами в двоичной системе выполняется аналогично десятичным числам. Позиции битов в двоичном числе аналогичны единицам, десяткам, сотням в десятичном. Начинайте умножать 1-й сомножитель на наименее значащий бит (*lsb*) 2-го сомножителя. Повторите операцию последовательно с другими битами 2-го сомножителя, сдвигая результат каждый раз влево на одну позицию.

Двоично-десятичный код. Для представления данных в двоичном коде применяются различные схемы кодирования. Безусловно, любое число можно непосредственно представить в двоичной системе счисления, но иногда для удобства пользуются схемами кодирования. Наиболее известная схема кодирования для числовых данных — это преобразование в двоично-десятичный код. Двоично-десятичный код использует числа 0 и 1 для представления десятичных чисел от 0 до 9 (двоичные числа свыше 1001 не являются числами двоично-десятичного кода). Каждая *цифра* числа в десятичном коде преобразуется в 4-битное двоичное число. Основное преимущество двоично-десятичного кода состоит в том, что двоичные числа двоично-десятичного кода (тетрады) легко распознаются и преобразуются в десятичный код благодаря строгой позиции каждого числа. Основной недостаток этого способа кодирования состоит в том, что математические операции над двоично-десятичным кодом выполняются намного труднее. Для выполнения математических операций требуются специализированные сумматоры чисел в двоично-десятичном коде.

Рассмотрим преобразование числа 2563. Для представления этого числа в двоично-десятичном коде следует просто последовательно записать двоичное представление каждой цифры десятичного числа:

2 5 6 3
0010 0101 0110 0011.

Каждое десятичное число от 0 до 9 может быть представлено двоичным числом длиной 4 бита. Вес или вклад наиболее значащего бита в каждом двоичном числе составляет $2^3=8$. Вес наименее значащего бита — $2^0=1$. Веса битов в двух других позициях — $2^2=4$ и $2^1=2$. Поэтому двоично-десятичный код иногда обозначают как *код 8421* именно исходя из этих соображений.

При построении сложных электронных устройств и систем используют блочный принцип, в соответствии с которым обработку информации проводят с помощью сравнительно небольшого числа операций, выполняемых типовыми узлами — функциональными устройствами. Их называют цифровыми, если в качестве входных, промежуточных и выходных ин-

Таблица 6.2

Некоторые обозначения сигналов и микросхем

Обозначение	Название	Назначение
&	And	Элемент И
=1	Exclusive Or	Элемент Исключающее ИЛИ
1	Or	Элемент ИЛИ
A	Address	Адресные разряды
BF	Buffer	Буфер
C	Clock	Тактовый сигнал (строб)
CE	Clock Enable	Разрешение тактового сигнала
CT	Counter	Счетчик
CS	Chip Select	Выбор микросхемы
D	Data	Разряды данных, данные
DC	Decoder	Дешифратор
EZ	Enable Z-state	Разрешение третьего состояния
G	Generator	Генератор
I	Input	Вход
I/O	Input/Output	Вход/Выход
OE	Output Enable	Разрешение выхода
MS	Multiplexer	Мультиплексор
Q	Quit	Выход
R	Reset	Сброс (установка в ноль)
RG	Register	Регистр
S	Set	Установка в единицу
SUM	Summator	Сумматор
T	Trigger	Триггер
TC	Terminal Count	Окончание счета
Z	Z-state	Третье состояние выхода

формационных сигналов используют только двоичные переменные. Основными типовыми узлами цифровых устройств служат кодирующие и декодирующие устройства (шифраторы и дешифраторы), мультиплексоры, счетчики, сумматоры, регистры.

В табл. 6.2 приведены некоторые наиболее часто встречающиеся обозначения сигналов и функций микросхем. Микросхема в целом обозначается на схемах буквами DD (от английского *digital* — *цифровой*) с соответствующим номером, например, DD1, DD20.1 (после точки указывается номер элемента или узла внутри микросхемы).

6.2. Дешифраторы и шифраторы

Функции дешифраторов и шифраторов понятны из их названий. Дешифратор преобразует входной двоичный код в номер выходного сигнала (дешифрирует код), а шифратор преобразует номер входного сигнала в выходной двоичный код (шифрует номер входного сигнала). В цифровой технике необходимость в дешифраторе возникает каждый раз, когда нужно направить сигнал на шину, занумерованную n -разрядным двоичным кодом. Если количество выходных сигналов дешифратора и входных сигналов шифратора равно количеству возможных состояний двоичного кода (входного кода у дешифратора и выходного кода у шифратора), т. е. 2^n , где n — разрядность двоичного кода, то такой дешифратор (шифратор) называют полным (рис. 6.3). В противном случае дешифратор называют неполным. Микросхемы дешифраторов обозначают на схемах буквами DC (от англ. *Decoder*), а микросхемы шифраторов — CD (от англ. *Coder*).

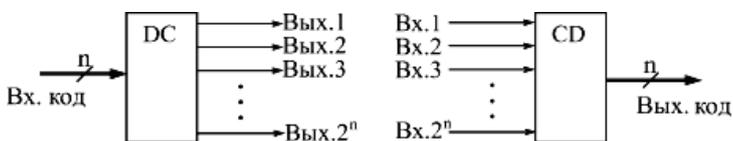


Рис. 6.3. Функции дешифратора (слева) и шифратора (справа)

На выходе дешифратора всегда присутствует только один сигнал (унитарный позиционный код), причем номер этого сигнала однозначно определяется входным кодом. Выходной код шифратора однозначно определяется номером входного сигнала.

В стандартные серии входят дешифраторы на 4 выхода (2 разряда входного кода), на 8 выходов (3 разряда входного кода) и на 16 выходов (4 разряда входного кода). Они обозначаются соответственно как 2–4, 3–8, 4–16. Различаются микросхемы дешифраторов входами управления (разрешения/запрета выходных сигналов), а также типом выхода: 2С или ОК. Выходные сигналы всех дешифраторов имеют отрицательную полярность. Входы, на которые поступает входной код, называют часто адресными входами. Обозначают эти входы 1, 2, 4, 8, где число соответствует весу двоичного кода (1 — младший разряд, 2 — следующий разряд и т. д.), или А0, А1, А2, А3. В отечественных сериях микросхемы дешифраторов обозначают буквами ИД. На рис. 6.4 показаны три наиболее типичных микросхемы дешифраторов.

Код на входах 1, 2, 4, 8 определяет номер активного выхода (вход 1 соответствует младшему разряду кода, вход 8 — старшему разряду кода). Входы разрешения С1, $\overline{C2}$, $\overline{C3}$ объединены по функции И и имеют указанную на рисунке полярность. Для примера в табл. 6.3 приведена таблица истинности дешифратора ИД7 (3–8). Существуют и дешифраторы 4–10, которые обрабатывают не все возможные 16 состояний входного кода, а только первые 10 из них.

Первые три строки таблицы соответствуют запрету выходных

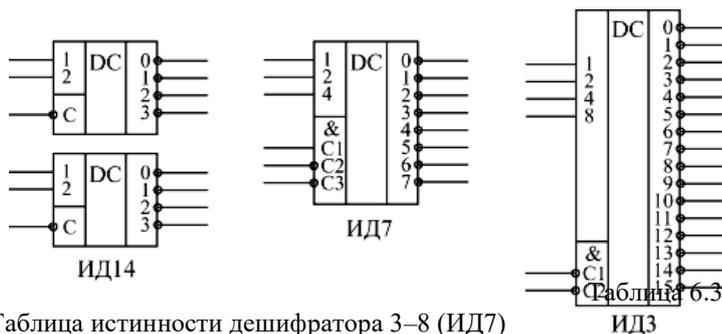


Таблица истинности дешифратора 3–8 (ИД7)

Рис. 6.4. Примеры микросхем дешифраторов

Входы			Выходы										
C1	$\overline{C2}$	$\overline{C3}$	4	2	1	0	1	2	3	4	5	6	7
0	x	x	x	x	x	1	1	1	1	1	1	1	1
x	1	x	x	x	x	1	1	1	1	1	1	1	1
x	x	1	x	x	x	1	1	1	1	1	1	1	1
1	0	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	0	1	1	1	1	0	1	1	1	1	1
1	0	0	1	0	0	1	1	1	1	0	1	1	1
1	0	0	1	0	1	1	1	1	1	1	0	1	1
1	0	0	1	1	0	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0

сигналов. Разрешением выхода будет единица на входе С1 и нули на входах С2 и С3. Символ «х» обозначает безразличное состояние данного входа (неважно, ноль или единица). Нижние восемь строк соответствуют разрешению выходных сигналов. Номер активного выхода (на котором формируется нулевой сигнал) определяется кодом на входах 1, 2, 4, причем вход 1 соответствует младшему разряду кода, а вход 4 — старшему разряду кода.

Наиболее типичное применение дешифраторов состоит именно в дешифрировании входных кодов, при этом входы С используются как стробирующие, на которые поступают управляющие сигналы. Номер активного (нулевого) выходного сигнала показывает, какой входной код поступил.

Если нужно дешифровать код с большим числом разрядов, то можно объединить несколько микросхем дешифраторов (пример показан на рис. 6.5). При этом старшие разряды кода подаются на основной дешифратор, выходы которого разрешают работу нескольких дополнительных дешифраторов. На объединенные входы этих дополнительных дешифраторов подаются младшие разряды входного кода. Из пяти микросхем дешифраторов 2–4 можно получить дешифратор 4–16, как показано на рисунке (хотя лучше, конечно, взять готовую микросхему). Точно так же из девяти микросхем 3–8 можно получить дешифратор 6–64, а из семнадцати микросхем 4–16 — дешифратор 8–256.

Рассмотрим принцип построения дешифратора на примере трехразрядного двоичного кода. В таком дешифраторе должно быть три входа и восемь выходных шин, так как в трехразрядном двоичном коде имеется $2^3=8$ различных кодовых комбинаций. Если обозначить входные переменные x_1, x_2, x_3 , а выходные f_0, f_1, \dots, f_7 , то при i -ом наборе входных переменных только на одном выходе будет «1» ($f_i=1$), а на остальных выходах дешифратора будут «0» (табл. 6.4).

На основании табл. 6.4 можно составить булевы функции для каждого выхода:

$$f_0 = \bar{x}_1 \bar{x}_2 \bar{x}_3; f_1 = \bar{x}_1 \bar{x}_2 x_3; f_2 = \bar{x}_1 x_2 \bar{x}_3; f_3 = \bar{x}_1 x_2 x_3; \\ f_4 = x_1 \bar{x}_2 \bar{x}_3; f_5 = x_1 \bar{x}_2 x_3; f_6 = x_1 x_2 \bar{x}_3; f_7 = x_1 x_2 x_3.$$

Как следует из полученных функций, дешифратор должен иметь три инвертора (для получения $\bar{x}_1, \bar{x}_2, \bar{x}_3$) и восемь трехвходовых логических элементов И (рис. 6.6). Сигнал на выходе соответствующего логического элемента И появляется только тогда, когда на всех его входах имеются логические 1, а это будет только при кодовой комбинации, указанной на каждом входе.

В устройствах визуальной индикации десятичных цифр на световых табло, в которых используются светодиоды, индикаторы на жидких кристаллах, электролюминесцентные или электроваку-

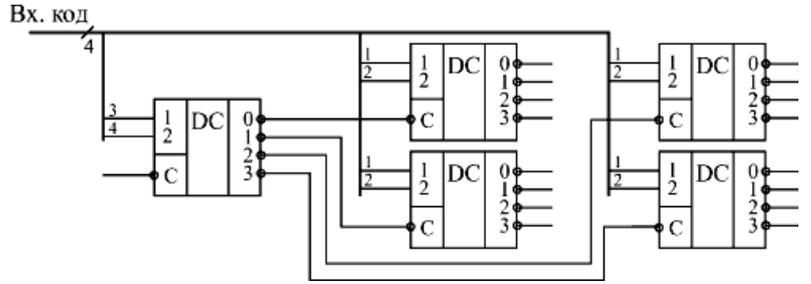


Рис. 6.5. Увеличение количества разрядов дешифратора

Таблица 6.4
Таблица переключений трехразрядного дешифратора

x_1	x_2	x_3	f_0	f_1	f_2	f_3	f_4	f_5	f_6	f_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

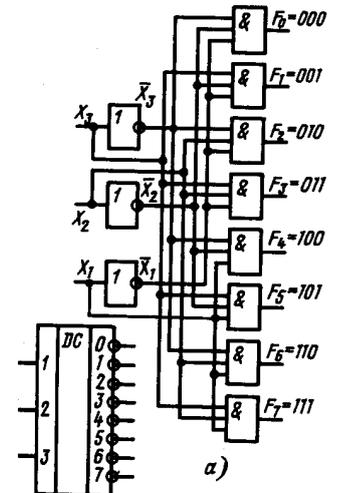


Рис. 6.6. Схема дешифратора

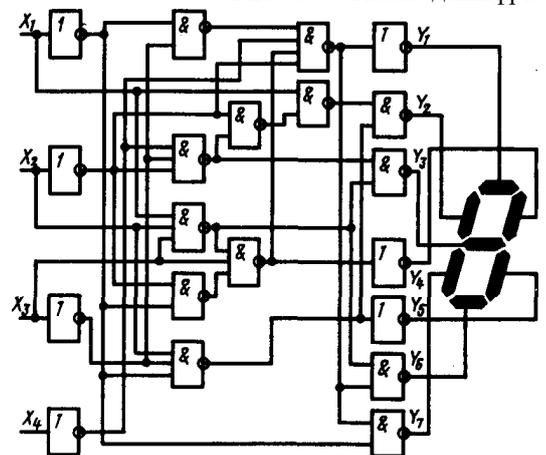


Рис. 6.7. Схема дешифратора двоичного кода в семисегментный

Таблица 6.5

Таблица истинности дешифратора двоичного кода в семисегментный

x_1	x_2	x_3	f_0	f_1	f_2	f_3	f_4	f_5	f_6	f_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

умные приборы, широко применяют дешифраторы двоично-десятичных кодов в семисегментный код, рис. 6.7. Логическое функционирование такого дешифратора показано в табл. 6.5, где выходы y_1 — y_7 соответствуют семи сегментам индикатора, причем каждый сегмент светится при потенциале, равном нулю ($y_i=0$).

Еще одно распространенное применение дешифраторов — селекция (выбор) заданных входных кодов. Появление отрицательного сигнала на выбранном выходе дешифратора будет означать поступление на вход интересующего нас кода. В данном случае увеличивать число разрядов входного селектируемого кода гораздо проще, чем в предыдущем (см.

рис. 6.5). Например, две микросхемы 4–16 позволяют селектировать 8-разрядный код (рис. 6.8). В примере на рисунке селектируется 16-ричный код 2A (двоичный код 0010 1010). При этом один дешифратор работает с младшими четырьмя разрядами кода, а другой — со старшими четырьмя разрядами.

Объединяют дешифраторы так, что один из них разрешает работу другого по входам $\bar{C}1$ и $\bar{C}2$. Применяя механические переключатели выходов дешифраторов (тумблеры), можно легко изменять код, селектируемый данной схемой.

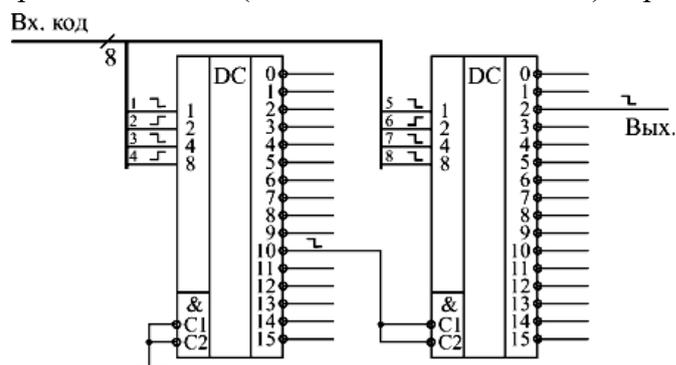


Рис. 6.8. Селектирование кода на дешифраторах

Еще одно важное применение дешифраторов состоит в перекоммутации одного входного сигнала на несколько выходов. Или, другими словами, дешифратор в данном случае выступает в качестве демультиплексора входных сигналов, который позволяет разделить входные сигналы, приходящие в разные моменты времени, на одну входную линию (мультиплексированные сигналы). При этом входы 1, 2, 4, 8 дешифратора используются в качестве управляющих (адресных), определяющих, на какой выход переслать пришедший в данный момент входной сигнал (рис. 6.9), а один из входов С выступает в роли входного для сигнала, который пересылается на заданный выход. Если у микросхемы имеется несколько стробирующих входов С, то оставшиеся входы С можно использовать в качестве разрешающих работу дешифратора.

Рис. 6.9. Включение дешифратора как демультиплексора



Рис. 6.9. Включение дешифратора как демультиплексора

Как и для любых других цифровых микросхем, для дешифраторов наиболее критична ситуация одновременного или почти одновременного изменения входных сигналов. Например, если стробы С постоянно разрешают работу дешифратора, то в момент изменения входного кода на любом выходе дешифратора могут появиться паразитные отрицательные короткие импульсы. Это может быть связано как с неодновременным выставлением разрядов кода (из-за несовершенства микросхем источников кода или из-за разных задержек распространения по линиям связи), так и с внутренними задержками самих микросхем дешифраторов.

Если такие паразитные импульсы нужно исключить, то можно применять синхронизацию с помощью стробирующих сигналов. Используемый для этого сигнал С должен начинаться после текущего изменения кода, а заканчиваться до следу-

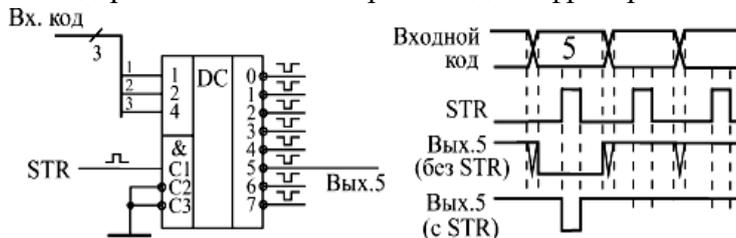


Рис. 6.10. Стробирование выходных сигналов дешифратора

ющего изменения кода, то есть должен быть реализован вложенный цикл. На рис. 6.10 показано, как будет выглядеть выходной сигнал дешифратора без стробирования и со стробированием.

Дешифраторы, имеющие выходы типа ОК (ИД5, ИД10), удобно применять в схемах позиционной индикации на светодиодах.

На рис. 6.11 приведен пример такой индикации на микросхеме ИД5, которая представляет собой два дешифратора 2–4 с объединенными входами для подачи кода и стробами, позволяющими легко строить дешифратор 3–8. При этом старший разряд кода выбирает один из дешифраторов 2–4 (ноль соответствует верхнему по схеме дешифратору, а единица — нижнему). То есть в данном случае номер горящего светодиода соответствует входному коду дешифратора. Такую индикацию называют позиционной.

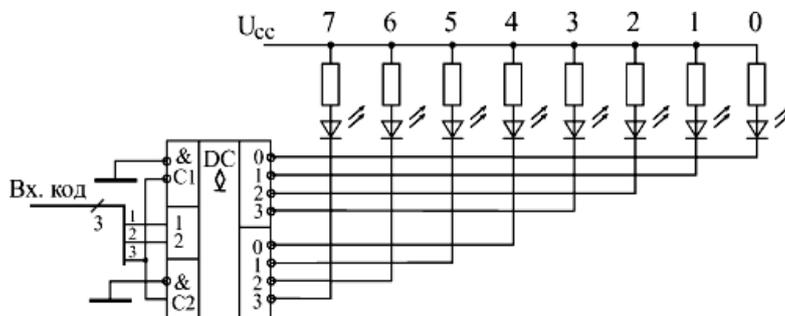


Рис. 6.11. Позиционная индикация на дешифраторе с выходами ОК

Шифраторы используются гораздо реже, чем дешифраторы. Это связано с более специфической областью их применения. Значительно меньше и выбор микросхем шифраторов в стандартных сериях. В отечественных сериях шифраторы имеют в названии буквы ИВ.

На рис. 6.12 показаны для примера две микросхемы шифраторов ИВ1 и ИВ3. Первая имеет 8 входов и 3 выхода (шифратор 8–3), а вторая — 9 входов и 4 выхода (шифратор 9–4). Все входы шифраторов — инверсные (активные входные сигналы — нулевые). Все выходы тоже инверсные, т. е. формируется инверсный код. Микросхема ИВ1, помимо 8 информационных входов и 3 разрядов выходного кода (1, 2, 4), имеет инверсный вход разрешения $\overline{E1}$, выход признака прихода любого входного сигнала \overline{GS} , а также выход переноса \overline{EO} , позволяющий объединять несколько шифраторов для увеличения разрядности.

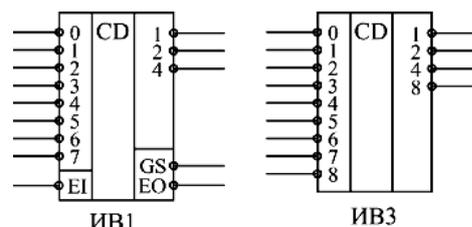


Рис. 6.12. Микросхемы шифраторов

Таблица истинности шифратора ИВ1 приведена в табл. 6.6.

Как видно, на выходах кода 1, 2, 4 формируется инверсный двоичный код номера входной линии, на которую приходит отрицательный входной сигнал. При одновременном поступлении нескольких входных сигналов формируется выходной код, соответствующий входу с наибольшим номером, т. е. старшие входы имеют приоритет перед младшими. Поэтому такой шифратор называют приоритетным. При отсутствии входных сигналов (вторая строчка таблицы) формируется выходной код 111. Единичный сигнал $\overline{E1}$ (первая строчка) запрещает работу шифратора (все выходные сигналы устанавливаются в единицу). На выходе \overline{GS} вырабатывается нуль при приходе любого входного сигнала, что позволяет, в частности, отличить ситуацию прихода нулевого входного сигнала от ситуации отсутствия любых входных сигналов. Выход \overline{EO} становится активным (нулевым) при отсутствии входных сигналов, но разрешении работы шифратора сигналом $\overline{E1}$.

Таблица 6.6

Таблица истинности шифратора ИВ1

$\overline{E1}$	Входы							Выходы					
	0	1	2	3	4	5	6	7	\overline{GS}	4	2	1	\overline{EO}
1	x	x	x	x	x	x	x	x	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	x	x	x	x	x	x	x	0	0	0	0	0	1
0	x	x	x	x	x	x	0	1	0	0	0	1	1
0	x	x	x	x	0	1	1	1	0	0	1	1	1
0	x	x	x	0	1	1	1	1	0	1	0	0	1
0	x	x	0	1	1	1	1	1	0	1	0	1	1
0	x	0	1	1	1	1	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	1	0	1	1	1	1

Стандартное применение шифраторов состоит в сокращении количества сигналов. Например, в случае шифратора ИВ1 информация о восьми входных сигналах сворачивается в три выходных сигнала. Это очень удобно, например, при передаче сигналов на большие расстояния. Правда, входные сигналы не должны приходиться одновременно. На рис. 6.13 показаны стандартная схема

включения шифратора и временные диаграммы его работы.

Инверсия выходного кода приводит к тому, что при приходе нулевого входного сигнала на выходе формируется не нулевой код, а код 111, т. е. 7. Точно так же при приходе, например, третьего входного сигнала на выходе образуется код 100, т. е. 4, а при приходе пятого входного сигнала — код 010, т. е. 2.

Наличие у шифраторов входов EI и EO позволяет увеличивать количество входов и разрядов шифратора, правда, с помощью дополнительных элементов на выходе. На рис. 6.14 показан пример построения шифратора 16–4 на двух микросхемах шифраторов ИВ1 и трех элементах 2И–НЕ.

Одновременное или почти одновременное изменение сигналов на входе шифратора приводит к появлению периодов неопределенности на выходах. Выходной код может на короткое время принимать значение, не соответствующее ни одному из входных сигналов. Поэтому в тех случаях, когда входные сигналы могут приходить одновременно, необходима синхронизация выходного кода, например, с помощью разрешающего сигнала EI, который должен приходить только тогда, когда состояние неопределенности уже закончилось.

Задержка шифратора от входа до выхода кода примерно в полтора раза превышает задержку логического элемента, а задержка до выхода GS — примерно в два раза больше.

6.3. Мультиплексоры и демультиплексоры

Мультиплексоры (англ. *Multiplexer*) предназначены для поочередной передачи на один выход одного из нескольких входных сигналов, т. е. для поочередного подключения источников информации к каналам связи — их мультиплексирования. Количество мультиплексируемых входов называют количеством каналов мультиплексора, а количество выходов называют числом разрядов мультиплексора. Например, 2-канальный 4-разрядный мультиплексор имеет 4 выхода, на каждый из которых может передаваться один из двух входных сигналов. А 4-канальный 2-разрядный мультиплексор имеет 2 выхода, на каждый из которых может передаваться один из четырех входных сигналов. Число каналов мультиплексоров, входящих в стандартные серии, составляет от 2 до 16, а число разрядов — от 1 до 4, причем, чем больше каналов имеет мультиплексор, тем меньше у него разрядов.

Управление работой мультиплексора (выбор номера канала) осуществляется с помощью входного кода адреса. Например, для 4-канального мультиплексора необходим 2-разрядный управляющий (адресный) код, а для 16-канального — 4-разрядный код. Разряды кода обозначаются 1, 2, 4, 8 или A_0, A_1, A_2, A_3 . Мультиплексоры бывают с выходом 2С и с выходом 3С. Выходы мультиплексоров бывают прямыми и инверсными. Выход 3С позволяет объединять выходы мультиплексоров с выходами других микросхем, а также получать двунаправленные и мультиплексированные линии. Некоторые микросхемы мультиплексоров имеют вход разрешения/запрета С (другое обозначение — S), который при запрете устанавливает прямой выход в нулевой уровень.

Мультиплексор может быть представлен элементарной схемой коммутации (рис. 6.15, а). Простейшим вариантом двухканального мульти-

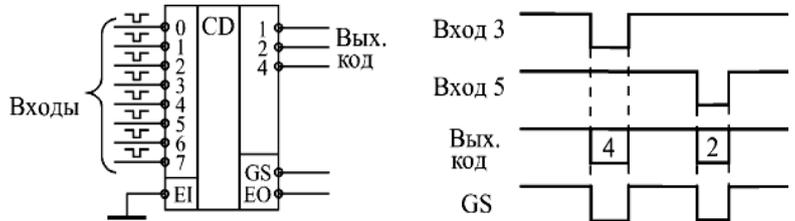


Рис. 6.13. Стандартное включение шифратора

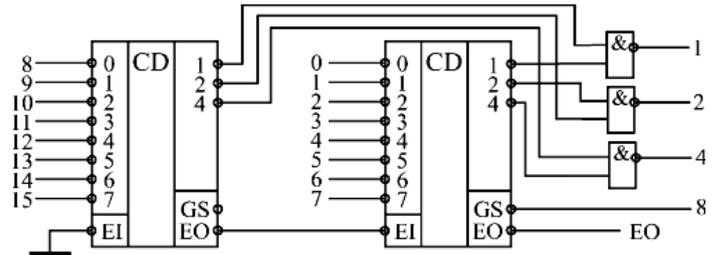


Рис. 6.14. Шифратор 16–4 на двух шифраторах 8–3

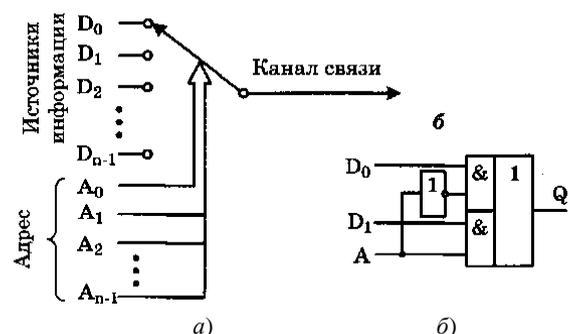


Рис. 6.15. Схема коммутации (а) и простейший логический вариант (б) мультиплексора

плектора (рис. 6.15, б) является логический элемент 2И-ИЛИ, где D_0 и D_1 — информационные входы; A — адресный вход, определяющий номер входного канала; Q — выход мультиплектора. Булева функция запишется следующим образом:

$$Q = D_0 \bar{A} + D_1 A.$$

На рис. 6.16 показаны несколько микросхем мультиплекторов из состава стандартных серий. В отечественных сериях мультиплекторы имеют код типа микросхемы КП. На схемах микросхемы мультиплекторов обозначают буквами MS или MUX.

В табл. 6.7 в качестве примера приведена таблица истинности одноразрядного 8-канального мультиплектора с выходами 3С (КП15). В таблице сигналы на входах 0—7 обозначены D_0 — D_7 , прямой выход — Q , инверсный выход — \bar{Q} , Z — третье состояние выхода. При единице на входе \bar{EZ} оба выхода находятся в третьем состоянии. При нуле на входе \bar{EZ} выходной сигнал на прямом выходе повторяет состояние входного сигнала, номер которого задается входным кодом на входах 1, 2, 4. Сигнал на инверсном выходе противоположен по полярности сигналу на прямом выходе.

Логическая функция мультиплектора имеет следующий вид:

$$Q = D_0 \bar{A}_2 \bar{A}_1 \bar{A}_0 + D_1 \bar{A}_2 \bar{A}_1 A_0 + D_2 \bar{A}_2 A_1 \bar{A}_0 + D_3 \bar{A}_2 A_1 A_0 + D_4 A_2 \bar{A}_1 \bar{A}_0 + D_5 A_2 \bar{A}_1 A_0 + D_6 A_2 A_1 \bar{A}_0 + D_7 A_2 A_1 A_0 +$$

Структурно (рис. 6.17) мультиплексор представляет собой набор логических элементов И, ИЛИ, НЕ и адресное устройство. Адресное устройство представляет собой полный дешифратор.

На логические элементы И подаются информационные сигналы и стробирующий импульс \bar{C} . Полный дешифратор, формируя унитарный код, активирует (открывает) один из восьми логических элементов в соответствии с кодом на адресных входах. Кодовой комбинации 000 на адресных входах соответствует 1 на выходе уо дешифратора, которая открывает верхний логический элемент И по стробу, пропуская на выход информацию с входа D_0 . Следующая кодовая комбинация пропускает на выход информацию с входа D_1 и т. д. Иными словами адрес i -го канала всегда равен i , т. е. $A(D_i)=i$.

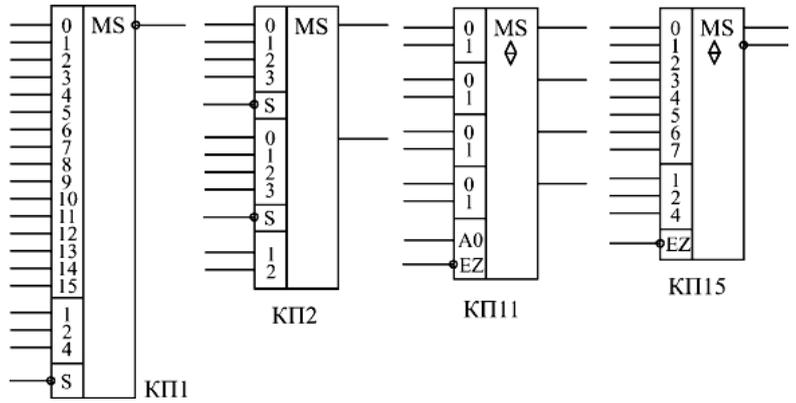


Рис. 6.16. Примеры микросхем мультиплекторов

Таблица 6.7
Таблица истинности 8-канального мультиплектора

Входы				Выходы	
4	2	1	\bar{EZ}	Q	\bar{Q}
×	×	×	1	Z	Z
0	0	0	0	D_0	\bar{D}_0
0	0	1	0	D_1	\bar{D}_1
0	1	0	0	D_2	\bar{D}_2
0	1	1	0	D_3	\bar{D}_3
1	0	0	0	D_4	\bar{D}_4
1	0	1	0	D_5	\bar{D}_5
1	1	0	0	D_6	\bar{D}_6
1	1	1	0	D_7	\bar{D}_7

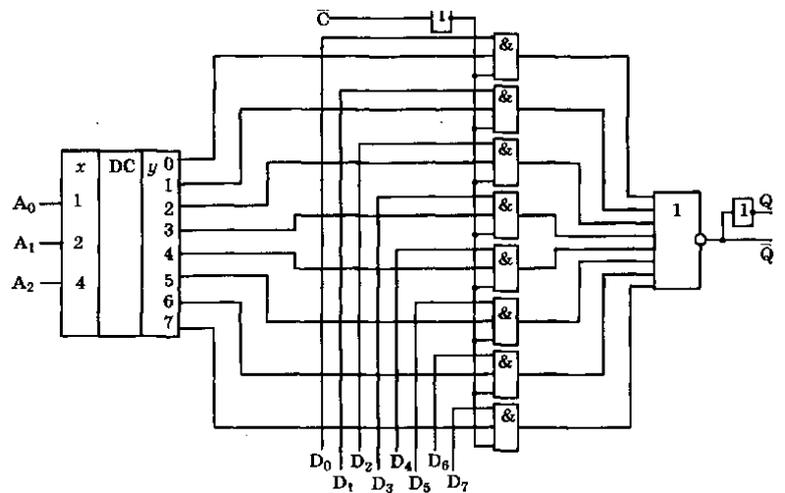


Рис. 6.17. Структура мультиплектора

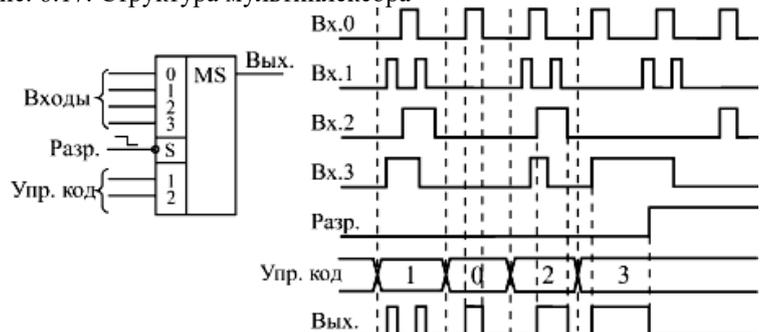


Рис. 6.18. Временная диаграмма работы 4-канального мультиплектора с разрешением

На рис. 6.18 приведена временная диаграмма работы 4-канального мультиплексора. В зависимости от входного кода на выход передается один из четырех входных сигналов. При запрещении работы на выходе устанавливается нулевой сигнал вне зависимости от входных сигналов.

Микросхемы мультиплексоров можно объединять для увеличения количества каналов. Например, два 8-канальных мультиплексора легко объединяются в 16-канальный с помощью инвертора на входах разрешения и элемента 2И–НЕ для смешивания выходных сигналов (рис. 6.19). Старший разряд кода будет при этом выбирать один из двух мультиплексоров. Точно так же из двух 16-канальных мультиплексоров можно сделать 32-канальный. Если нужно большее число каналов, то необходимо вместо инвертора включать дешифратор, на который подаются старшие разряды кода. Выходные сигналы дешифратора будут выбирать один из мультиплексоров.

Демультимплексор выполняет операцию, обратную мультиплексору, т. е. распределяет информацию из одного канала в 2^n каналов, где n — число разрядов адреса. Демультимплексор является разновидностью дешифраторов.

Упрощенная логическая схема демультимплексора КР1533ИД7 на 8 каналов показана на рис. 6.20. Демультимплексор имеет один прямой (C_1) и два инверсных ($\overline{C_2}$, $\overline{C_3}$) входа данных. Если один из этих входов используется как информационный, то два остальных могут использоваться как входы разрешения. Это позволяет управлять демультимплексором (стробировать) и на выходе получать передаваемую информацию как в прямом, так и в инверсном коде. Информация с входа C подается на все выходные логические элементы И–НЕ, которые активируются унитарным кодом с дешифратора адреса. Таким образом, на соответствующем выходе демультимплексора, заданном кодом адреса, формируется информация в прямом или инверсном коде. Принцип адресации остается единым: $A(Q_i)=i$.

Если на вход C_1 подать константу 1, а адресный вход использовать как вход данных, то на выходе демультимплексора появится унитарный код. В этом случае демультимплексор будет работать в режиме дешифратора нулей. Переход от дешифратора единиц к дешифратору нулей, в обычном понимании, означает замену в системе булевых функций полного дешифратора логической функции И на ИЛИ. Преобразовать

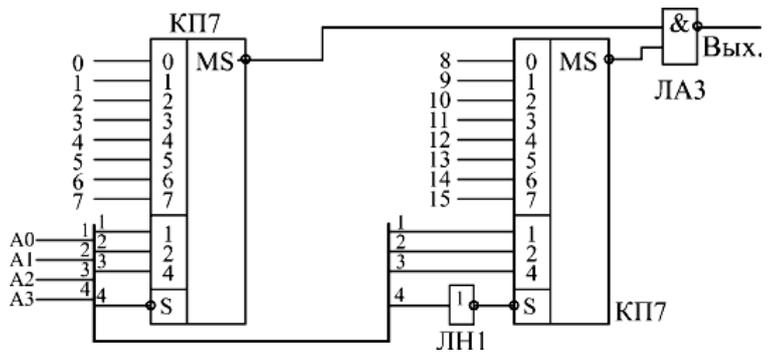


Рис. 6.19. Объединение мультиплексоров для увеличения количества каналов

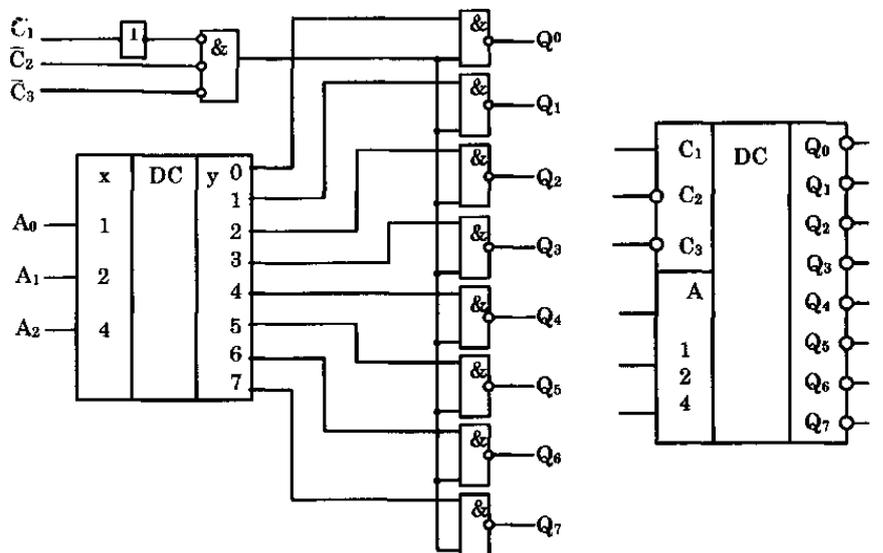


Рис. 6.20. Структура демультимплексора/дешифратора (а), условно-графическое обозначение (б)

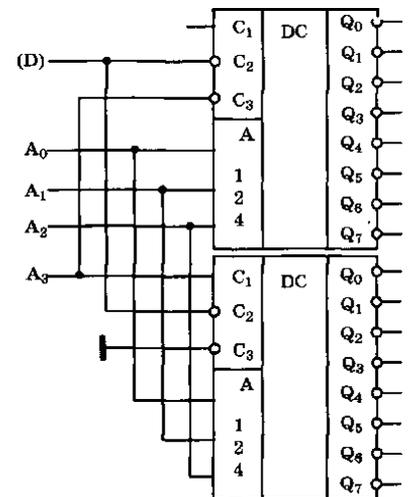


Рис. 6.21. Схема включения демультимплексоров/дешифраторов при наращивании числа каналов

дешифратор нулей в дешифратор единиц можно простым инвертированием выходных данных.

Наличие прямого и инверсных входов разрешения позволяет наращивать число каналов демультиплексирования без использования дополнительных логических элементов. Одноступенчатая схема включения демультиплексоров для увеличения числа каналов вдвое приведена на рис. 6.21.

6.4. Компараторы кодов

Важной задачей информационно-измерительной техники, связанной с контролем технологических параметров, является сравнение контролируемой величины с ее верхним и нижним допустимыми значениями. Допустимые значения (уставки) могут задаваться как в аналоговой, так и в кодовой форме, в зависимости от формы представления информации. Соответственно схемы сравнения называют «нуль-органами» и «схемами сравнения кодов» (компараторами). Принцип сравнения приведен на рис. 6.22. На каждое сравнивающее устройство (СУ) подается измеряемая величина X , ее номинальное и предельные значения. Схемы сравнения вырабатывают сигналы «больше», «меньше» или «норма» в зависимости от параметров измеряемого сигнала.

Для уставок и хранения кодов, соответствующих текущим значениям измеряемых параметров, используются регистры, счетчики числа импульсов, оперативные и буферные запоминающие устройства и т. д. Наиболее распространенный способ сопоставления двух чисел, предварительно записанных в регистры, основан на их поразрядном сравнении начиная со старшего, т. е. используется принцип последовательного сравнения кодов многоразрядных чисел. Если сравниваются два числа $A(a_n, a_{n-1}, \dots, a_1)$ и $B(b_n, b_{n-1}, \dots, b_1)$, то условием их равнозначности ($A=B$) является равенство кодов всех одноименных разрядов, а условием неравнозначности ($A \neq B$) — неравенство кодов хотя бы в одном разряде, при этом $A > B$, если $a_i = 1, b_i = 0$. Отсюда реализуемые булевы функции примут вид:

$$Q_{a_i=b_i} = \bar{a}_i \bar{b}_i + a_i b_i; \quad Q_{a_i > b_i} = a_i \bar{b}_i; \quad Q_{a_i < b_i} = \bar{a}_i b_i.$$

Микросхемы компараторов кодов (англ. *Comparator*) применяют для сравнения двух входных кодов и выдачи на выходы сигналов о результатах этого сравнения (о равенстве или неравенстве кодов). На схемах компараторы кодов обозначаются двумя символами равенства: « $=$ » и « \neq ». Код типа микросхемы компаратора кода в отечественных сериях — СП.

Примером такой микросхемы может служить СП1 — 4-х разрядный компаратор кодов, сравнивающий величины кодов и выдающий информацию о том, какой код больше, или о равенстве кодов (рис. 6.23).

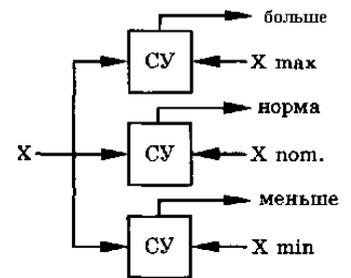


Рис. 6.22. Принцип сравнения двух величин («больше», «меньше», «равно»)

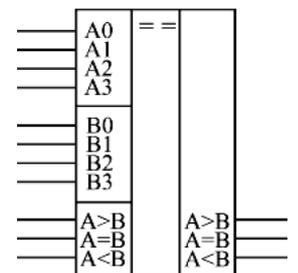


Рис. 6.23. 4-х разрядный компаратор кодов СП1

Помимо восьми входов для сравниваемых кодов (два 4-х разрядных кода, обозначаемых A0—A3 и B0—B3), компаратор СП1 имеет три управляющих входа для наращивания разрядности (A>B, A<B, A=V) и три выхода результирующих сигналов (A>B, A<B, A=V). Для удобства на схемах управляющие входы и выходы иногда обозначают просто «>», «<» и «=».

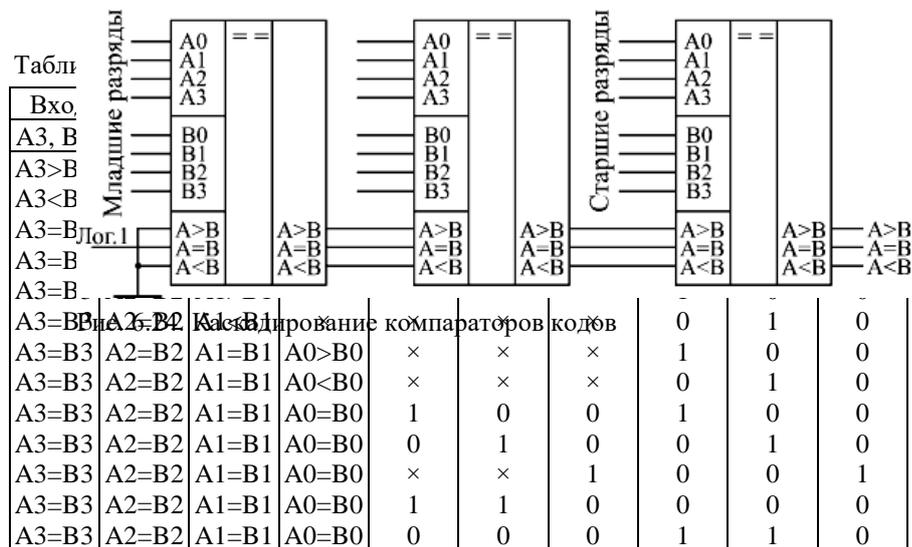


Таблица истинности компаратора кодов (табл. 6.8) кажется на первый взгляд довольно сложной, но на самом деле все просто.

Если используется одиночная микросхема, то для ее правильной работы достаточно подать единицу на вход A=V, а состояния входов A<V и A>V не важны, на них можно подать как нуль, так и единицу. Назначение выходов понятно из их названия, а полярность выходных сигналов положительная (активный уровень — единица). Если микросхемы компараторов кодов каскадируются (объединяются) для увеличения числа разрядов сравниваемых кодов, то надо выходные сигналы микросхемы, обрабатывающей младшие разряды кода, подать на одноименные входы микросхемы, обрабатывающей старшие разряды кода (рис. 6.24).

6.5. Сумматоры

Микросхемы сумматоров (англ. *Adder*), как следует из их названия, предназначены для суммирования двух входных двоичных кодов, т. е. выходной код будет равен арифметической сумме двух входных кодов. Например, если один входной код — 7 (0111), а второй — 5 (0101), то суммарный код на выходе будет 12 (1100). Сумма двух двоичных чисел с числом разрядов *N* может иметь число разрядов (*N*+1). Например, при суммировании чисел 13 (1101) и 6 (0110) получается число 19 (10011). Поэтому количество выходов сумматора на единицу больше количества разрядов входных кодов. Этот дополнительный (старший) разряд называют выходом переноса.

На схемах сумматоры обозначаются буквами SM. В отечественных сериях код, обозначающий микросхему сумматора, — ИМ.

Сумматоры бывают одноразрядные (для суммирования двух одноразрядных чисел), 2-разрядные (суммируют 2-разрядные числа) и 4-разрядные (суммируют 4-разрядные числа). Чаще всего применяют именно 4-разрядные сумматоры. На рис. 6.25 показаны для примера 2-разрядный и 4-разрядный сумматоры. Микросхема ИМ6 отличается от ИМ3 только повышенным быстродействием и номерами используемых выводов микросхемы, функция же выполняется та же самая.

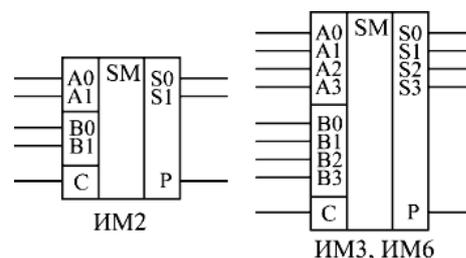


Рис. 6.25. Примеры микросхем сумматоров

Сумматоры многоразрядных чисел строятся на основе одноразрядного сумматора. При этом, если применяется последовательный принцип, процесс суммирования состоит в многократном использовании одного и того же одноразрядного сумматора. Если используется параллельный принцип, операция суммирования одновременно выполняется несколькими одноразрядными сумматорами.

При сложении двух чисел независимо от системы счисления в общем случае в каждом разряде надо проводить сложение трех цифр: цифры данного разряда первого слагаемого; цифры данного разряда второго слагаемого; цифры переноса из соседнего младшего разряда. Поэтому сумматор должен иметь три входа. Так как в результате сложения в общем случае образуется сумма и цифра переноса в старший разряд, сумматор должен иметь два выхода. Такой сумматор называют *полным одноразрядным сумматором*. Восемь возможных вариантов, возникающих при сложении двух двоичных чисел, приведены в табл. 6.9. Верхние четыре строки этой таблицы соответствуют работе *одноразрядного сумматора* (отсутствует перенос из младшего разряда).

В соответствии с табл. 6.9 булевы функции, описывающие одноразрядный сумматор, будут

$$S_i = a_i b_i P_i + a_i \bar{b}_i \bar{P}_i + a_i b_i \bar{P}_i + \bar{a}_i \bar{b}_i P_i;$$

$$P_{i+1} = a_i b_i + a_i P_i + b_i P_i.$$

Принципиальная схема одноразрядного сумматора приведена на рис. 6.26, а. Условное обозначение сумматора показано на рис. 6.26, б. Так как после снятия сигналов с входов сумматора сигналы на выходе также снимаются, выходной сигнал обычно поступает на регистр, где результат сложения фиксируется.

При параллельном сложении двух многоразрядных чисел на каждый разряд требуется свой сумматор. Число сумматоров оказывается равным числу разрядов, а выход каждого сумматора, на котором формируется сигнал переноса, должен быть соединен с входом сумматора соседнего старшего разряда (рис. 6.26, в). Такой сумматор, называемый *параллельным сумматором с последовательным переносом*, обладает невысоким быстродействием, которое связано с тем, что суммирование в каждом последующем разряде может производиться только после выработки сигнала переноса — после установления сигналов в предыдущем разряде. Это время определяется временем задержки в каждом одноразрядном сумматоре и количеством последовательно включенных сумматоров. Например, в 32-разрядном сумматоре, построенном по такой схеме, старший разряд суммы получается через 32 цикла одноразрядного сумматора! Для увеличения быстродействия сумматоров используют более совершенные схемы сумматоров с так называемым *групповым переносом*.

Сумматоры могут использоваться также для суммирования чисел в отрицательной логике (когда логической единице соответствует электрический нуль, и наоборот, логическому нулю соответствует электрическая единица). Но в этом случае входной сигнал переноса С также становится инверсным, поэтому при использовании одной микросхемы сумматора на вход С надо подать электрическую единицу (высокий уровень напряжения). Инверсным становится и выходной сигнал переноса Р, низкий уровень напряжения на нем (электрический нуль) соответствует наличию переноса. То есть получается, что сумматор абсолютно одинаково работает как с положительной, так и с отрицательной логикой.

Пример. Пусть надо сложить два числа 5 и 7 в отрицательной логике. Числу 5 в положительной логике соответствует двоичный код

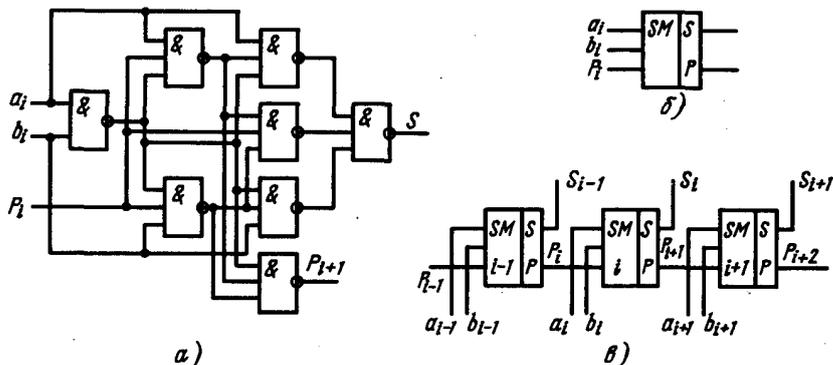


Рис. 6.26. Сумматор: а — принципиальная схема; б — условное обозначение; в — параллельный с последовательным переносом

Таблица 6.9
Таблица переключений сумматора

Перенос из младшего разряда P_i	Первое слагаемое a_i	Второе слагаемое b_i	Сумма S_i	Перенос в старший разряд P_{i+1}
0	0	0	0	0
0	1	0	1	0
0	0	1	1	0
0	1	1	0	1
1	0	0	1	0
1	1	0	0	1
1	0	1	0	1
1	1	1	1	1

0101, а в отрицательной — код 1010. Числу 7 в положительной логике соответствует двоичный код 0111, а в отрицательной — код 1000. При подаче на вход сумматора кодов 1010 (десятичное число 10 в положительной логике) и 1000 (десятичное число 8 в положительной логике) получаем сумму $10+8=18$, то есть код 10010 в положительной логике. С учетом входного сигнала переноса $C=1$ (отсутствие входного переноса в отрицательной логике) выходной код сумматора получится на единицу больше: $18+1=19$, то есть 10011. При отрицательной логике это будет соответствовать числу 01100, то есть 12 при отсутствии выходного переноса. В результате получили $5+7=12$.

Сумматор может вычислять не только сумму, но и разность входных кодов, т. е. работать вычитателем. Для этого вычитаемое число надо просто поразрядно проинвертировать, а на вход переноса C подать единичный сигнал (рис. 6.27).

Например, пусть надо вычислить разность между числами 11 (1011) и 5 (0101). Инвертируем поразрядно число 5 и получаем 1010, т. е. десятичное 10. Сумматор при суммировании 11 и 10 даст 21, т.е. двоичное число 10101. Если сигнал C равен 1, то результат будет 10110. Отбрасываем старший разряд (выходной сигнал P) и получаем разность 0110, т. е. 6.

Еще пример. Пусть надо вычислить разность между числом 12 (1100) и числом 9 (1001). Инвертируем поразрядно 9, получаем 0110, т. е. десятичное 6. Находим сумму 12 и 6, получаем 18, а с учетом $C=1$ получаем 19, т. е. двоичное 10011. В четырех младших разрядах имеем 0011, т. е. десятичное 3.

Каскадировать сумматоры для увеличения разрядности очень просто. Надо сигнал с выхода переноса сумматора, обрабатывающего младшие разряды, подать на вход переноса сумматора, обрабатывающего старшие разряды (рис. 6.28). При объединении трех 4-разрядных сумматоров получается 12-разрядный сумматор, имеющий дополнительный 13-й разряд (выход переноса P).

6.6. Триггеры

Триггеры и регистры являются простейшими представителями цифровых микросхем, имеющих внутреннюю память. Если выходные сигналы логических элементов и комбинационных микросхем однозначно определяются их текущими входными сигналами, то выходные сигналы микросхем с внутренней памятью зависят также еще и от того, какие входные сигналы и в какой последовательности поступали на них в прошлом, то есть они помнят предысторию поведения схемы. Именно поэтому их применение позволяет строить гораздо более сложные и интеллектуальные цифровые устройства, чем в случае простейших микросхем без памяти. Микросхемы с внутренней памятью называют еще, в отличие от комбинационных микросхем, последовательностными.

Триггеры и регистры сохраняют свою память только до тех пор, пока на них подается напряжение питания. Иначе говоря, их память относится к типу оперативной. После выключения питания и его последующего включения триггеры и регистры переходят в случайное состояние, т. е. их выходные сигналы могут устанавливаться как в уровень логической единицы, так и в уровень логического нуля.

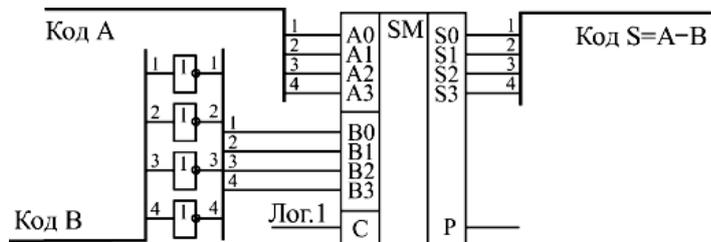


Рис. 6.27. 4-разрядный вычитатель на сумматоре ИМ6 и инверторах

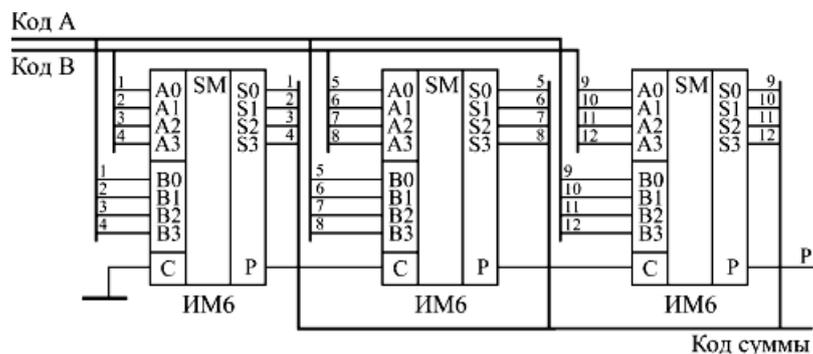


Рис. 6.28. Каскадирование сумматоров ИМ6 для увеличения разрядности

Большим преимуществом триггеров и регистров перед другими типами микросхем с памятью является их максимально высокое быстродействие (т. е. минимальные времена задержек срабатывания и максимально высокая допустимая рабочая частота). Однако недостаток триггеров и регистров в том, что объем их внутренней памяти очень мал, они могут хранить только отдельные сигналы, биты (триггеры) или отдельные коды, байты, слова (регистры).

Триггер можно рассматривать как одноразрядную, а регистр — как многоразрядную ячейку памяти, которая состоит из нескольких триггеров, соединенных параллельно (обычный, параллельный регистр) или последовательно (сдвиговый регистр или регистр сдвига).

В основе любого триггера (англ. *trigger* спусковой крючок огнестрельного оружия или *flip-flop*) лежит схема из двух логических элементов, которые охвачены положительными обратными связями (т. е. сигналы с выходов подаются на входы). В результате подобного включения схема может находиться в одном из двух устойчивых состояний сколь угодно долго, пока на нее подано напряжение питания, и способна скачком переходить из одного состояния в другое под воздействием внешнего управляющего сигнала.

На схемах триггеры обозначают буквой Т (рис. 6.29). В зависимости от способа подачи управляющего сигнала (по способу организации логических связей) все триггеры подразделяют на четыре основных типа: триггеры с раздельным запуском — *RS*-триггеры (обозначается ТР) — самый простой триггер, но редко используемый; триггеры со счетным входом — *T*-триггеры; триггеры задержки — *D*-триггеры (обозначается ТМ) — наиболее распространенный тип триггера; универсальные триггеры — *JK*-триггер (обозначается ТВ) имеет самое сложное управление, также используется довольно редко, *DV*-триггер. Кроме этого триггеры могут быть асинхронными и синхронными.

Левую часть условного обозначения триггера разбивают на асинхронную и синхронную части. В асинхронной части ставят символы S и R асинхронной установки триггера, причем, если он устанавливается в 0, на входе ставят кружок (рис. 6.30, б). В синхронной части показывается вход С синхронизирующих (тактовых) сигналов и функциональное назначение входных сигналов X_1 и X_2 . В правой части условного обозначения триггера ставят одну букву Т, если триггер одноклапный (рис. 6.30, а), и две буквы ТТ, если триггер двухтактный (рис. 6.30, б).

С помощью триггеров решаются задачи хранения двоичной информации, проводятся счет числа импульсов, сложение, вычитание, умножение, кодирование, дешифрация и другие математические и логические операции. К параметрам конкретных триггеров предъявляют столь разнообразные требования, что к настоящему времени разработан весьма широкий ассортимент триггеров, позволяющий практически для любого случая подобрать нужную схему.

Все виды триггеров могут быть выполнены как на логических элементах ИЛИ–НЕ, так и на логических элементах И–НЕ, причем в их схемах нет надобности ни во времязадающих цепочках, ни в дополнительных источниках постоянного напряжения.

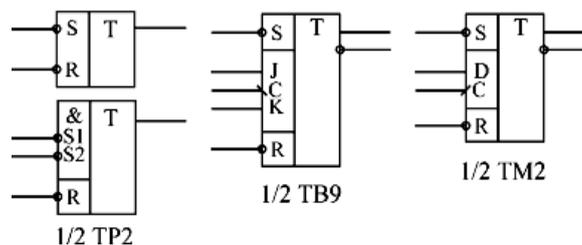


Рис. 6.29. Триггеры типов *RS*, *D*, *JK*

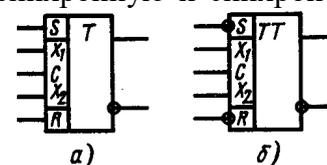


Рис. 6.30. Условные обозначения синхронных и асинхронных триггеров: а) — одноклаптного; б) — двухтактного

Асинхронный RS-триггер. Принципиальная схема простейшего триггера на логических элементах ИЛИ–НЕ приведена на рис. 6.31, а. У схемы есть два входа: R — сброс (от англ. *Reset*), и S — установка (от англ. *Set*), а также два выхода: прямой Q и инверсный \bar{Q} .

Пусть (для определенности) после включения в рассматриваемой схеме установилось такое состояние, когда при «0» на обоих входах на выходе Q будет «1», а на выходе \bar{Q} — «0». Это означает, что «1» будет и на внутреннем входе ЛЭ₂. При «1» и «0» на входах логического элемента ИЛИ–НЕ на его выходе будет «0», т. е. «0» будет на выходе \bar{Q} и на внутреннем входе ЛЭ₁. При наличии «0» на обоих входах ЛЭ₁ на его выходе (на выходе Q) окажется «1». Схема триггера находится в устойчивом состоянии, которое принимают за состояние, равное «1» (Q=1).

Допустим, что в момент времени $t=t_1$ на вход S подается «1», а на входе R сохраняется «0». Эта «1» на входе S не изменит «0» ни на выходе ЛЭ₂, ни на внутреннем входе ЛЭ₁, т. е. состояние схемы останется неизменным (Q=1). Если в момент времени $t=t_2$ на вход R подается «1», а на входе S сохраняется «0», то положение изменится. Появление «1» на входе R приведет к возникновению 0 на выходе Q, а значит, и на внутреннем входе ЛЭ₂. В результате этого на выходе \bar{Q} образуется «1» и схема переходит во второе устойчивое состояние. Если в момент времени $t=t_4$ подается «1» на вход S, произойдет новый переброс схемы и она снова установится в состояние Q=1.

Рассматриваемую схему называют RS-триггером. Ее условное обозначение показано на рис. 6.31, б. Она используется как самостоятельная схема или как основной узел других, более сложных схем триггеров.

Важно отметить, что если на входы RS-триггера одновременно подаются «0» (R=S=0), $t=t_3$, он остается в положении, которое было до подачи этих сигналов. Если же на входы одновременно подать «1», то на выходах обоих логических элементов установятся «0» и триггер окажется в неустойчивом положении. Схема самопроизвольно, как и при включении, примет одно из возможных состояний Q=1 или Q=0. Поэтому комбинация входных сигналов R=S=1 для RS-триггера является *запрещенной*. Временные диаграммы работы RS-триггера показаны на рис. 6.31, в.

Так же, как для логических элементов, работу триггеров удобно представлять в виде таблиц переключений. Такой для RS-триггера является табл. 6.10.

Принципиальная схема другого простейшего триггера на логических элементах И–НЕ приведена на рис. 6.31, з. Она аналогична схеме RS-триггера на элементах ИЛИ–НЕ, но ее работа отличается от работы схемы, представленной на рис. 6.31, а: переброс осуществляется логическим 0, на одном из входов обязательно должны быть «1», а запрещенной является комбинация R=S=0 (см. временные диаграммы на рис. 6.31, е).

Простейший триггер на логических элементах И–НЕ называют *RS-триггером с инверсным управлением* (с инверсными входами). Его условное обозначение показано на рис. 6.31, д, а таблицей переключений является табл. 6.11.

Таблица 6.10
Таблица переключений RS-триггера

S	R	Q	\bar{Q}
0	0	Сохраняется прежнее значение	
0	1	0	1
1	0	1	0
1	1	Неопределенно	

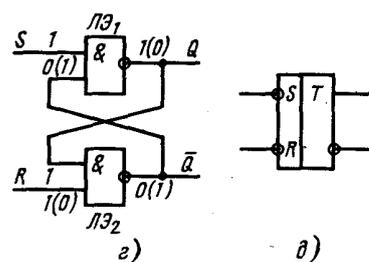
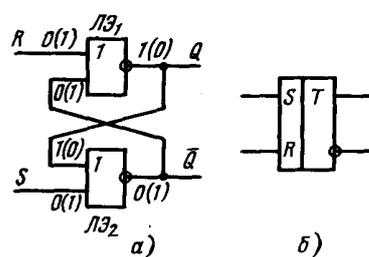


Таблица 6.11
Таблица переключений RS-триггера с инверсным управлением

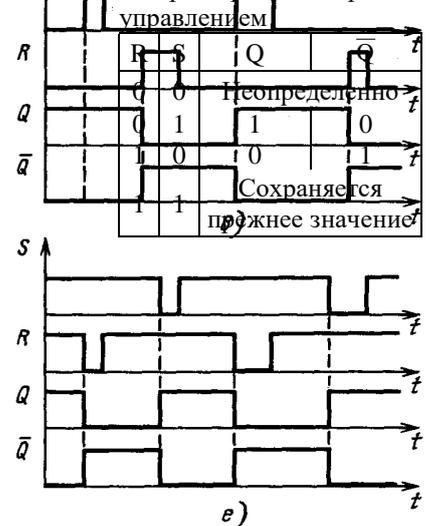


Рис. 6.31. Схемы асинхронного RS-триггера на логических элементах ИЛИ–НЕ (а) и И–НЕ (z), их условные обозначения (б, д) и временные диаграммы (в, е) работы

Асинхронный T-триггер. RS-триггеры управляются напряжениями, поступающими из двух разных цепей. В цифровых устройствах требуются триггеры, которые управляются напряжением, поступающим от одного источника, — триггеры, опрокидываемые от каждой «1», подающейся на один и тот же вход. Такие триггеры называют триггерами со счетным входом, или T-триггерами.

Основным узлом T-триггеров на логических элементах, так же как и других, является RS-триггер. Однако простое соединение S и R входов RS-триггера, очевидно, не может дать положительного результата, так как в этом случае подведение к входу рассматриваемой схемы триггера первой же единицы приводит к запрещенной комбинации $S=R=1$. Поэтому для создания триггера со счетным входом перед RS-триггером необходима дополнительная логическая схема, которая обеспечивает поочередную подачу «1» на входы RS-триггера. Такой дополнительной логической схемой могут быть два двухвходовых логических элемента И. На входы каждого такого ЛЭ нужно подать два напряжения: с входа всей схемы и с ее выходов Q и \bar{Q} , а выходы логических элементов И соединить с S и R входами RS-триггера. Тогда в зависимости от положения RS-триггера входная «1» будет поочередно проходить соответствующую схему И и попадать то на вход S, то на вход R, обеспечивая счетный режим работы триггера. Однако и этого оказывается мало, для устранения ложных срабатываний RS-триггера необходимо ввести в схему еще элементы задержки, что неудобно в интегральных схемах с конструктивной точки зрения. Это заставляет вводить в схему T-триггера второй RS-триггер, еще два двухвходовых логических элемента И и один ЛЭ ИЛИ-НЕ. Общая принципиальная схема такого T-триггера, называемого двухтактным, представлена на рис. 6.32, а.

При «0» на входе всей схемы (на входе T-триггера) оба RS-триггера окажутся в одинаковом положении. Действительно, если RS-триггер T_1 находится в состоянии «0» (в точке б «0», а в точке в «1»), то в связи с тем, что на выходе ЛЭ ИЛИ-НЕ (в точке з) будет «1», на входах ЛЭ₃ будут «0» и «1», а на входах ЛЭ₄ — две «1». Следовательно, на S_2 входе RS-триггера T_2 будет «0», а на R_2 входе — «1», что приведет триггер T_2 в состояние 0. Нулевое состояние триггера T_2 означает, что на входах ЛЭ₁ будут «1» и «0», а на входах ЛЭ₂ — два «0».

Первая «1» (на рис. 6.32, а, в скобках) на входе T-триггера (в точке а) пройдет через ЛЭ₁ и вызовет перебор триггера T_1 , но пока сохраняется напряжение в точке а, состояние триггера T_2 не изменится, так как пока существует напряжение, соответствующее «1» на входе всей схемы, на выходе логического элемента ИЛИ-НЕ будет «0», который подается на ЛЭ₃ и ЛЭ₄ и сохраняет выходные сигналы этих логических элементов такими же, какими они были до прихода «1» на вход T-триггера. Только после снятия входного напряжения (после снятия входной «1») на выходе ЛЭ ИЛИ-НЕ появляется «1», которая переводит триггер T_2 в то же состояние, что и триггер T_1 . При подаче на вход T-триггера новой «1» произойдет перебор триггера T_1 , и снова с задержкой триггер T_2 перейдет в то же состояние, что и триггер T_1 .

Как следует из изложенного, в схеме T-триггера один из RS-триггеров играет роль ведущего, а другой ведомого. Условное обозначение такого триггера показано на рис. 6.32, б.

Асинхронный JK-триггер. Более совершенным является триггер, способный работать и как RS-триггер, и как T-триггер. Таким является JK-триггер, принципиальная схема которого показана на рис. 6.33, а, а его условное обозначение дано на рис. 6.33, б. В нее входят два RS-триггера с инверсным управлением и четыре логических элемента И-НЕ

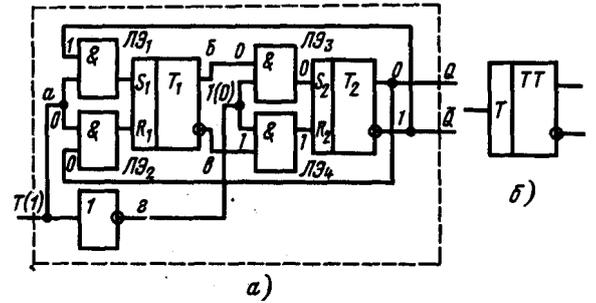


Рис. 6.32. Принципиальная схема (а) и условное обозначение (б) двухтактного T-триггера

и четыре логических элемента И-НЕ

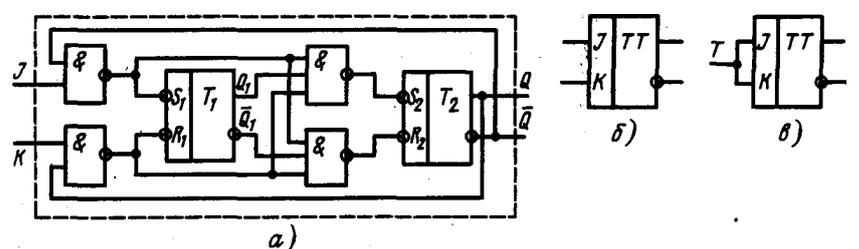


Рис. 6.33. Схема асинхронного JK-триггера (а) и его условное обозначение (б, в)

— два двухвходовых и два трехвходовых. Входные зажимы всей схемы триггера J и K. Вход J имеет то же назначение, что и вход S, а вход K — то же назначение, что и вход R. Однако работа JK-триггера существенно отличается от работы простого RS-триггера. Он не имеет запрещенных сочетаний входных сигналов J и K. При

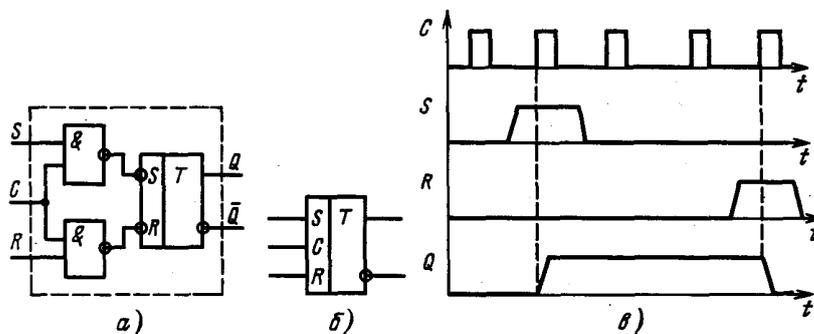


Рис. 6.34. Схема синхронного RS-триггера (а), его условное обозначение (б) и временная диаграмма (в) его работы

$J=K=1$ JK-триггер просто изменяет свое состояние на обратное: $Q_{n+1}=\bar{Q}_n$; $\bar{Q}_{n+1}=Q_n$. Благодаря этому важному свойству JK-триггер может работать и в счетном режиме. Для этого нужно просто объединить входы J и K. При этом каждый входной импульс будет воздействовать на оба входа, т. е. при воздействии каждого входного импульса будет обеспечиваться равенство $J=K=1$, которое каждый раз будет менять состояние JK-триггера, как раз и обеспечивая его работу в счетном режиме. Условное обозначение JK-триггера, работающего как T-триггер, показано на рис. 6.33, в.

Из-за конечного времени переключения любого логического элемента (в том числе и интегральных ЛЭ) в схемах на ЛЭ возможны так называемые «состязания» или «гоны», вызванные переходными режимами и приводящие к тому, что выходной сигнал на короткое время принимает ложные значения. В триггерах такие «состязания» возможны между внешними сигналами и сигналами обратной связи. Возникающие за счет «состязаний» ошибки можно устранить с помощью временного стробирования. В этом случае вырабатываемые логическими устройствами информационные напряжения подаются на последующие устройства не непрерывно, а только в такие моменты, когда переходные процессы заведомо закончились. Временное стробирование осуществляется с помощью схем И, причем информационный сигнал воздействует на схему И в течение более длительного времени, чем стробирующий, а информация передается только на том отрезке времени, когда действует стробирующий импульс. Обычно стробирующие импульсы действуют периодически, поэтому их называют тактовыми, или синхронизирующими. Период следования синхронизирующих импульсов называют тактом логического устройства. Триггеры, работающие с использованием тактовых импульсов, называют синхронными, или тактируемыми.

Синхронный RS-триггер. Основной схемой такого триггера служит асинхронный RS-триггер с инверсным управлением. Синхронный RS-триггер отличается от асинхронного наличием входной логической схемы (рис. 6.34, а), состоящей из двух двухвходовых ЛЭ И-НЕ, на которую кроме информационных логических сигналов поступают тактовые импульсы (вход С). ЛЭ₁ обеспечивает временное стробирование сигналов S, а ЛЭ₂ — сигналов R. Условное обозначение синхронного RS-триггера показано на рис. 6.34, б, а временные диаграммы, поясняющие его работу, — на рис. 6.34, в.

D-триггер. Состояние синхронных триггеров может изменяться только во время действия тактовых импульсов. В промежутке между ними выходные напряжения триггеров постоянны. Это позволяет создавать на основе синхронных RS-триггеров триггеры задержки — D-триггеры (от английского *delay* — задержка). В D-триггере информация записывается в момент поступления тактового импульса, но появляется на выходе только после его окончания и может быть использована лишь в момент прихода следующего импульса — в следующем такте.

Принципиальная схема D -триггера приведена на рис. 6.35, а, а его условное обозначение — на рис. 6.35, б. D -триггер состоит из двух синхронизируемых RS -триггеров T_1 и T_2 и двух инверторов ЛЭ1 и ЛЭ3. Сигнальным является вход D , а вход C — тактовый. В начальном состоянии на входе C_2 триггера T_2 будет «1», поэтому состояние триггера T_2 будет совпадать с состоянием триггера T_1 . Появление напряжения на входе D ($D=1$) приведет к появлению на входе триггера T_1 сигналов $S_1=1$, $R_1=0$, но оно не изменит состояние триггера T_1 , так как на его синхронизирующем входе C_1 будет «0». Лишь появление очередного тактового импульса ($C=1$) изменит положение триггера T_1 , на выходе которого появится единица ($Q_1=1$), что одновременно приведет к появлению на входе триггера T_2 сигналов $S_2=1$, $R_2=0$. Однако во время действия тактового импульса на синхронизирующем входе триггера T_2 (на C_2) будет «0» и, пока действует тактовый импульс, переключения триггера T_2 не произойдет. Триггер T_2 примет единичное состояние после того, как закончится тактовый импульс, т. е. только после окончания тактового импульса появится соответствующее напряжение на выходе всей схемы.

Если перед следующим тактом напряжение на входе D приняло значение «0», то на входе триггера T_1 появятся сигналы $S_1=0$, $R_1=1$, которые и установят триггер T_1 в состояние «0» во время очередного тактового импульса, а затем после окончания тактового импульса в состояние «0» перейдет и триггер T_2 . Если на входе D значение сигнала не меняется, сохраняется уровень «0» или «1», то не будет изменяться выходное напряжение триггера T_1 , а следовательно, и триггера T_2 , т. е. останется неизменным и напряжение на выходе всей схемы D -триггера.

Синхронный JK -триггер. Принципиальная схема синхронного JK -триггера (рис. 6.36, а) мало отличается от схемы асинхронного JK -триггера. Его синхронизацию осуществляют за счет увеличения числа входов во входных ЛЭ И–НЕ (используют трехвходовые элементы вместо двухвходовых). Третий вход ЛЭ И–НЕ является входом C , на который подают тактовые импульсы.

Работа синхронного JK -триггера основана на том, что в каждом стационарном состоянии на входах его внутренних RS -триггеров наблюдается комбинация сигналов $S_1=R_1=1$; $S_2=R_2=1$, которая не изменяет состояние RS -триггеров с инверсным управлением. Если на оба входа синхронного JK -триггера подать сигналы ($J=K=1$), то при наличии тактового импульса на входе одного из входных логических элементов (либо на ЛЭ1, либо на ЛЭ2) появятся три «1». Это приведет к появлению на одном из входов триггера T_1 «0», что вызовет его переброс. После окончания тактового импульса три «1» появляются на входе одного из внутренних логических элементов (либо на ЛЭ3, либо на ЛЭ4). Это приводит к появлению «0» на одноименном по отношению к триггеру T_1 входе триггера T_2 , который устанавливается в такое же положение, что и триггер T_1 . Если подается сигнал только на один информационный вход (либо только на K , либо только на J), три «1» появятся на одном из входов входных логических элементов только тогда, когда возможен переброс JK -триггера, а это связано с его состоянием. Три «1» появляются на входе ЛЭ1 в том случае когда JK -триггер находится в состоянии «0», а сигнал поступает на вход J . На входе ЛЭ2 появляются три «1» в том случае когда JK -триггер находится в состоянии «1», а сигнал поступает на вход K .

JK -триггер является универсальным и может работать как RS -триггер, как T -триггер, как D -триггер и как RST -триггер. Для образования RS -триггера вход J просто используют как вход S , а вход K — как вход R . Для образования T -триггера нужно объединить входы J и K (рис. 6.36, в). Для образования D -триггера необходимо на входе K добавить логический эле-

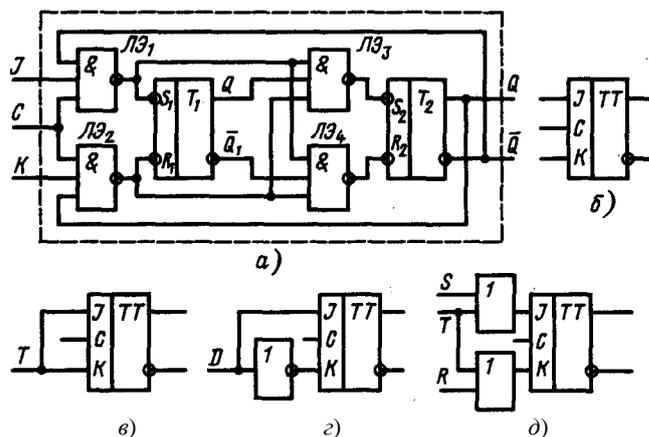


Рис. 6.36. Схема синхронного JK -триггера (а), его условные обозначения (б) и использование в качестве T -, D - и RST -триггеров (в—д)

мент ИЛИ-НЕ (рис. 6.36, з). Если добавить два логических элемента ИЛИ, получим *RST*-триггер (рис. 6.36, д).

DV-триггер. Еще одним универсальным триггером, с помощью которого можно создавать *D*-, *T*- и *RST*-триггеры, является *DV*-триггер. Его принципиальная схема показана на рис. 6.37, а, а условное обозначение дано на рис. 6.37, б. Для образования *D*-триггера на вход *V* подают «1» (рис. 6.37, в). Для образования асинхронного *T*-триггера необходимо вход *D* соединить с выходом \bar{Q} , на вход *V* снова подать «1», а в качестве счетного использовать вход *C* (рис. 6.37, з). Для образования синхронного *T*-триггера необходимо вход *D* соединить с выходом \bar{Q} , а в качестве счетного использовать вход *V* (рис. 6.37, д). Наконец, для образования *RST*-триггера необходимо добавить два логических элемента ИЛИ (рис. 6.37, е).

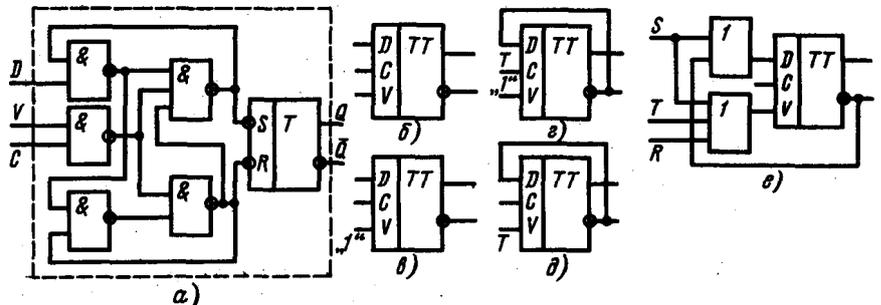


Рис. 6.37. Схема *DV*-триггера (а), его условное обозначение (б, в) и варианты подключения (з—е)

6.7. Регистры

Регистром называют устройство, предназначенное для записи и хранения двоичного числа и выполнения над ним некоторых логических операций.

Каждое из двоичных чисел может быть представлено суммой вида

$$N = a_{n-1}2^{n-1} + \dots + a_i2^i + \dots + a_12^1 + a_02^0,$$

где *i* — номер разряда числа, а коэффициенты a_0, a_1, \dots, a_{n-1} могут иметь только два значения: 0 или 1. Для представления такого числа в цифровом устройстве необходим набор из *n* элементов с двумя состояниями равновесия. Наиболее удобными элементами являются триггеры, число которых должно быть равно числу разрядов рассматриваемого двоичного числа. Одно из устойчивых состояний триггера принимают за 1, а другое — за 0. Совокупность триггеров, предназначенная для регистрации двоичного числа, и является регистром.

Функциональная схема простейшего регистра на триггерах, позволяющего записывать, хранить и в нужный момент считывать двоичное число, показана на рис. 6.38, а. Управление регистром осуществляется подачей напряжения на соответствующие шины.

В начальный момент времени, перед записью информации, подают напряжение на шину «Сброс», что устанавливает все триггеры (T_1, T_2, \dots, T_n) в состояние, соответствующее уровню логического 0 на выходе. Запись и считывание информации в регистре производятся одновременно по всем разрядам (регистр имеет *n* входов и выходов). Запись осуществляется через входные логические элементы И. Логические сигналы, соответствующие коэффициентам записываемого числа a_i , подаются на входные шины, а затем поступает сигнал на шину «Запись». При этом логическая 1 проходит через те ячейки И, на входных шинах которых действует сигнал «1». Эти сигналы устанавливают соответствующие триггеры в положение «1». Считывание информации из регистра также осуществляется через ячейки И, связанные с выходами триггеров. Для считывания записанного двоичного числа *N* подается напряжение логической 1 на шину «Считывание». При этом срабатывают только те

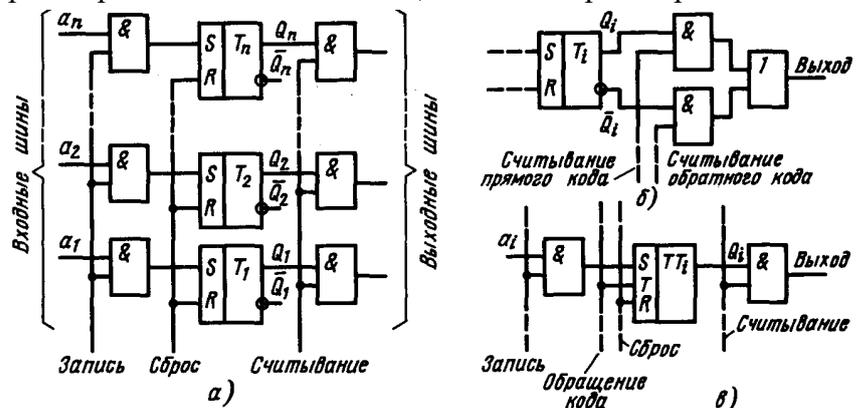


Рис. 6.38. Функциональная схема простейшего регистра на триггерах (а), с логическими элементами на входе (б), с использованием *RST*-триггеров (в)

ячейки И, которые соединены с триггерами, на выходе которых имеется «1», и информация передается на выходные шины.

Информация о числе, записанном в регистре путем соответствующей установки триггеров, может сохраняться сколь угодно долго, т. е. регистр одновременно является устройством памяти. Кроме того, после считывания информация, записанная в регистре, сохраняется, т. е. считывание можно проводить несколько раз. Для записи новой информации (нового числа) все триггеры предварительно устанавливаются в нулевое положение.

За счет небольшого усложнения схемы регистра можно решить задачу «обращения» кода, которая встречается при обработке информации в двоичном коде. Обратным (инвертированным) кодом называют такую кодовую комбинацию, в которой все единицы начального (прямого) кода заменены нулями, а все нули — единицами. Можно заметить, что обратный код числа в регистре схемы рис. 6.38, а получается одновременно на инверсных выходах триггеров (\bar{Q}). Поэтому, добавив в каждый разряд регистра по одному логическому элементу И на выходе и связав их с инверсными выходами триггеров (рис. 6.38, б), можно осуществить считывание и обратного кода. Существует и второй путь. Вместо *RS*-триггеров в регистре можно использовать *RST*-триггеры (рис. 6.38, в). Тогда при подаче сигнала на шину «Обращение кода», соединенную со счетными входами триггеров, происходит изменение состояния всех триггеров на обратное. Следовательно, если после сигнала, поданного на шину «Обращение кода», подать сигнал на шину «Считывание», то на выходных шинах появится информация в обратном коде. Если после этого на шину «Обращение кода» подать второй сигнал обращения, то произойдет преобразование информации снова в прямой код.

Кроме обращения кода при обработке двоичной информации возникает необходимость в сдвиге кода — перемещении в регистре всех разрядов двоичного числа на одинаковое число разрядов влево или вправо. Такие регистры называют *сдвигающими регистрами*. Простейший вариант схемы 4-разрядного сдвигающего регистра приведен на рис. 6.39, а, где использованы *D*-триггеры. Здесь входная информация вводится через вход *D*, а ее продвижение вправо происходит за счет тактовых сигналов. Например, на первом такте вводим информацию D_1 в триггер T_1 , т. е. после первого такта $Q_1=D_1$. На втором такте вводим новую информацию D_2 на вход, тогда после второго такта $Q_1=D_2$, $Q_2=D_2$ и т. д. Последовательность работы отдельных триггеров за 8 тактов отражена в табл. 6.12. Рассматриваемый регистр состоит всего из четырех триггеров, поэтому он может хранить всего четыре бита информации и после четырех тактов можно либо осуществить параллельный вывод информации с выходов триггеров $T_1—T_4$ (с выводов Q_1, Q_2, Q_3, Q_4), либо осуществить последовательный вывод с выхода Q_4 во время 5-го—8-го тактов. При этом информация, записанная в регистре, стирается.

Если необходимо осуществить последовательный вывод информации из сдвигающего регистра без ее стирания, нужно снова вводить данные с помощью обратной связи, что можно сделать в так называемых *кольцевых регистрах* (рис. 6.39, б). Сначала на управляющем входе *У* поддерживается уровень логической 1, обратная связь не действует и сдвигающий регистр работает так, как описано выше. За первые *n* тактов записывается *n*-разрядный код. Затем на управляющем входе устанавливают уровень логического 0, вход *D* блокируется, а на вход регистра поразрядно поступает записанный в регистре код. После *n* тактовых импульсов сдвигающий регистр вернется в исходное состояние. Изменив число тактовых импульсов, прошедших через кольцевой регистр, можно осуществить сдвиг как вправо, так и влево на любое число разрядов.

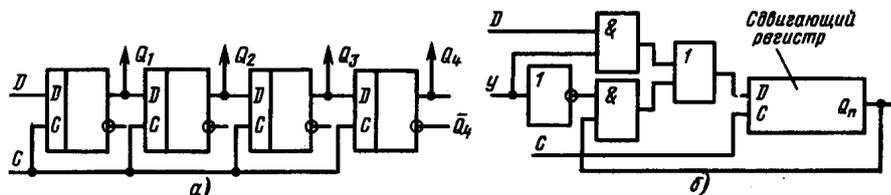


Рис. 6.39. Сдвигающие регистры: а — 4-разрядный; б — кольцевой

Таблица 6.12

Таблица функционирования четырехразрядного сдвигающего регистра

Номер такта	Q_1	Q_2	Q_3	Q_4
1	D_1	—	—	—
2	D_2	D_1	—	—
3	D_3	D_2	D_1	—
4	D_4	D_3	D_2	D_1
5	—	D_4	D_3	D_2
6	—	—	D_4	D_3
7	—	—	—	D_4
8	—	—	—	—

Следует отметить, что в реальных цифровых устройствах к сдвигающим регистрам предъявляются более сложные требования: возможность вводить информацию как последовательно, так и параллельно, сдвигать информацию за минимальное число тактов вправо и влево. Поэтому функциональные схемы реальных регистров, например, регистров ЭВМ, оказываются сложнее рассмотренных.

6.8. Счетчики импульсов

Счетчиком импульсов называют устройство, осуществляющее счет числа входных импульсов и фиксирующее это число в каком-либо коде. После определенного числа импульсов счетчик обычно сбрасывается в исходное состояние и счет повторяется.

По своему назначению счетчики подразделяют на суммирующие, вычитающие и реверсивные. В *суммирующем счетчике* единичный сигнал на входе увеличивает значение кода на единицу, в *вычитающем счетчике* уменьшает код на единицу. *Реверсивный счетчик* в зависимости от управляющих сигналов может работать либо как суммирующий, либо как вычитающий.

Наибольшее распространение получили счетчики на триггерах, а самые простые из них представляют число входных импульсов в двоичном коде. Функциональная схема простейшего четырехразрядного суммирующего счетчика показана на рис. 6.40, а. Такие счетчики могут осуществлять счет до $N=2^n$, где n — число счетных триггеров. (В нашем случае $n=4$, а $N=16$.) Как следует из рис. 6.40, а, такой счетчик представляет собой цепочку триггеров, счетный вход каждого из которых подключен к выходу предыдущего триггера. Так как триггер перебрасывается от перепада одного знака (либо от перепада 0, 1, либо от перепада 1, 0), каждый предыдущий триггер должен дважды поменять свое состояние, прежде чем переменит свое состояние последующий триггер, что иллюстрируется рис. 6.40, б.

Недостатками простейших двоичных счетчиков являются малое быстродействие и неудобство отсчета в тех случаях, когда такой счетчик стоит перед индикатором, которым пользуется человек. В последнем случае желательно, чтобы импульс на выходе цепочки триггеров возникал не после 16-го импульса на входе, а после 10-го, т. е. нужно иметь так называемые «декадные» счетчики. Такие декадные счетчики можно построить, введя в рассматриваемую схему обратные связи (показаны на рис. 6.40, а штриховой линией). Работа декадного счетчика при счете импульсов до восьмого ничем не отличается от работы двоичного счетчика. Когда приходит восьмой импульс, срабатывает триггер T_4 и на счетчике устанавливается двоичное число 1000. Одновременно на выходе Q_4 вырабатывается положительный перепад напряжения, который по цепи обратной связи подается на входы S_2 и S_3 триггеров T_2 и T_3 , что вызывает их новый перебор, в результате чего на счетчике устанавливается двоичное число 1110, что соответствует в десятичной системе числу 14. После прихода девятого импульса на декадном счетчике будет двоичное число 1111, после десятого импульса — 0000, а на выходе Q_4 сформируется положительный перепад напряжения, который может быть передан на следующую декаду.

Простейший суммирующий счетчик, схема которого показана на рис. 6.40, а, обладает малым быстродействием. Действительно, в любом счетчике перед приходом очередного импульса должны полностью закончиться переходные процессы. Поэтому быстродействие счетчика оценивают временем задержки — длительностью происходящих в нем переходных процессов. При последовательном вводе импульса время задержки счетчика t_3 определяется временем срабатывания нескольких триггеров и в худшем случае, по которому рассчитывается быстродействие, в n -разрядном счетчике $t_3=nt_{тр}$, где $t_{тр}$ — время срабатывания одного

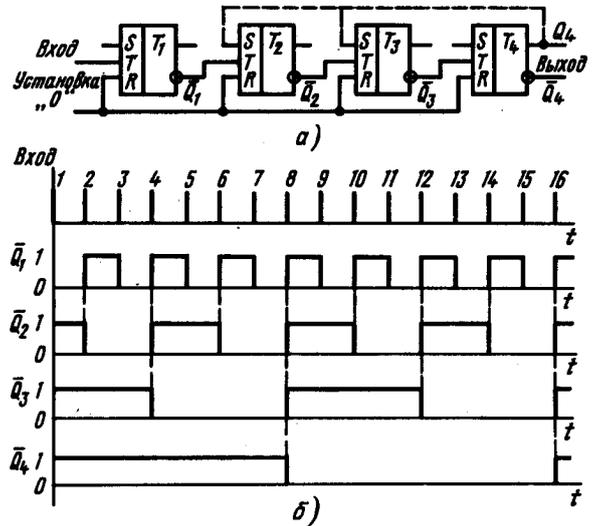


Рис. 6.40. Схема счетчика импульсов (а) и временные диаграммы (б) его работы

триггера. Для повышения быстродействия счетчиков (уменьшения времени t_3) вместо последовательного используют параллельное переключение триггеров. Из временной диаграммы (рис. 6.43, б) видно, что срабатывание всех триггеров, кроме первого, происходит при поступлении на них входного импульса, соответствующего логической 1, и наличии логической 1 на выходах всех предыдущих триггеров. Такое переключение триггеров и осуществляют в счетчиках со сквозным переносом (рис. 6.41).

Работа такого счетчика происходит следующим образом. Допустим, что в начальный момент все триггеры были установлены в положение 0. Первый входной импульс, поступивший на входы синхронизации каждого триггера, переключит только триггер T_1 , у которого входы J, K и C объединены, из-за чего он переключается каждым входным импульсом. После окончания действия входного импульса на выходе Q_1 триггера T_1 установится уровень логической 1. Состояния всех остальных триггеров не изменятся, так как во время действия первого импульса на вторых входах всех логических элементов И был логический 0. Во время действия второго импульса снова изменится состояние триггера T_1 , но при этом на логическом элементе ЛЭ₁ будут логические 1 на обоих входах, следовательно, одновременно с триггером T_1 сработает и триггер T_2 . Во время действия третьего импульса снова окажутся «закрытыми» все элементы И, поэтому сработает только триггер T_1 . Во время действия четвертого импульса будут «открыты» ЛЭ₁ и ЛЭ₂, что вызовет одновременное срабатывание триггеров T_1, T_2, T_3 и т. д. Существенно, что задержка срабатывания любого триггера в схеме рис. 6.41 никак не связана с задержками срабатывания остальных триггеров. Поэтому время задержки всего счетчика определяется временем срабатывания одного триггера, что и повышает его быстродействие.

Если необходимо, чтобы в счетчике результат уменьшался на единицу с приходом очередного импульса, нужен вычитающий счетчик. Схема вычитающего счетчика показана на рис. 6.42. Она отличается от схемы суммирующего счетчика (рис. 6.40, а) только связями между триггерами. В вычитающем счетчике сигнал, запускающий последующие триггеры, снимается с выходов Q , а не с выходов \bar{Q} . Перед началом работы все триггеры устанавливаются в состояние «1» подачей напряжения на шину «Установка 1», т. е. в нашем случае устанавливается 1111 (число 15). При поступлении первого входного импульса срабатывает триггер T_1 и переходит в состояние 0, а в счетчике оказывается записанным число 1110 (число 14). При поступлении второго импульса срабатывают триггеры T_1 и T_2 и в счетчике оказывается записанным число 1101 (число 13) и т. д., т. е. каждый входной импульс уменьшает показания счетчика на единицу. Временная диаграмма работы такого вычитающего счетчика совпадает с рис. 6.40, б, только вместо \bar{Q}_i надо рассматривать Q_i .

Одна из возможных схем реверсивного счетчика показана на рис. 6.43. Счетчик управляется сигналами реверса, имеющими постоянную величину, причем сигнал реверса паразитный: если на клемме а наблюдается сигнал логической 1, то на клемме б одновременно будет сигнал логического 0 и наоборот. Введение дополнительной логической схемы позволяет осуществлять управление последующими триггерами как с выхода \bar{Q} , так и выхода Q предыдущих триггеров. Действительно, если напряжение логической 1 подано на клемму а, то «открытыми» окажутся верхние (нечетные) схемы И, «закрытыми» нижние (четные) схемы И, триггеры будут

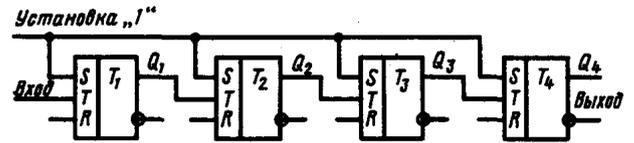


Рис. 6.42. Вычитающий счетчик

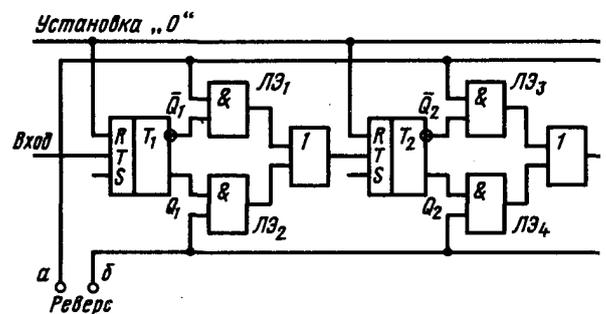


Рис. 6.43. Реверсивный счетчик

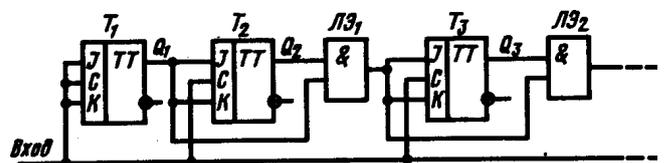


Рис. 6.41. Счетчик импульсов со сквозным переносом

управляться выходными напряжениями \bar{Q} , а счетчик будет работать как суммирующий. Если напряжение логической 1 подано на клемму b , то «открытыми» будут нижние схемы И, «закрытыми» верхние схемы И, триггеры будут управляться выходными напряжениями Q , а счетчик будет работать как вычитающий.

6.9. Автоматизированные измерительные системы

Компьютеризованная измерительная система включает в себя компьютер, работающий «в реальном времени» или, как говорят, в режиме «on-line». Этот компьютер оборудован системой сбора данных для измерения физических сигналов и системой распределения данных для управления физическими процессами. В предыдущих разделах мы рассмотрели отдельные узлы и блоки такой измерительно-управляющей системы. Здесь же предметом изучения будет сама система в целом.

В самом общем случае компьютеризованная измерительная система может быть спроектирована двумя способами: как централизованная система и как децентрализованная система. На рис. 6.44 приведен пример системы с «централизованной» архитектурой. Мы называем эту систему централизованной, потому что части системы, ответственные за преобразование сигнала, используются для обработки всех сигналов последовательно. Поэтому соответствующая электроника размещается обычно в центральном компьютере. Достоинства этой системы очевидны: благодаря использованию частей, ответственных за преобразование сигнала, по принципу разделения времени стоимость системы низка. На рис. 6.45 показана измерительная система с «децентрализованной» архитектурой. В этой системе каждый канал содержит свои собственные узлы преобразования и только цифровой процессор работает в режиме временного мультиплексирования. Такой принцип позволяет производить оптимизацию в каждом канале независимо. Кроме того, блоки преобразования при такой архитектуре могут быть в несколько раз более медленными, чем те же узлы в централизованной системе. Следовательно, эти отдельные блоки преобразования будут менее дорогими. В такой системе преобразование можно выполнять локально в месте расположения источника сигнала, а это означает, что сигналы от измерительного источника к процессору можно передавать в цифровом виде (а не в виде аналоговых сигналов, которые очень чувствительны к помехам). Далее, используя микрокомпьютеры, каждый из каналов можно снабдить своим собственным препроцессором, разгружающим главный процессор. Соединение между процессорами в измерительной системе может быть реализовано в виде «шины». О системе с такой архитектурой говорят как о распределенной измерительной системе. Процессор может быть соединен также с другими, автономно работающими измерительными системами, не входящими в состав системы сбора данных. Часто это осуществляют с помощью той или иной стандартной шины (например, с помощью шины IEEE-488). На рис. 6.46 приведен пример такой системы.

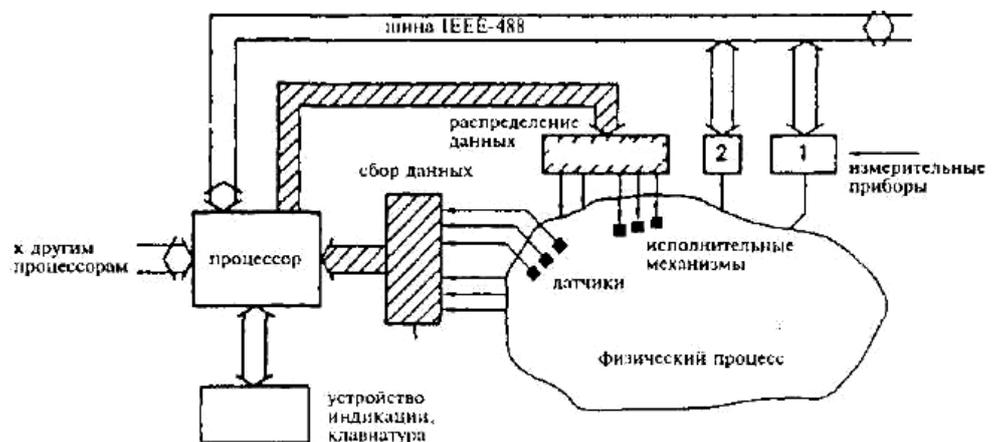


Рис. 6.46. Распределенная измерительная система

Если в централизованной системе сбора данных сигналы в отдельных каналах сильно различаются по величине, то можно в центральную часть системы добавить программируемый усилитель. Тогда его коэффициент усиления будет изменяться процессором одновременно с изменением

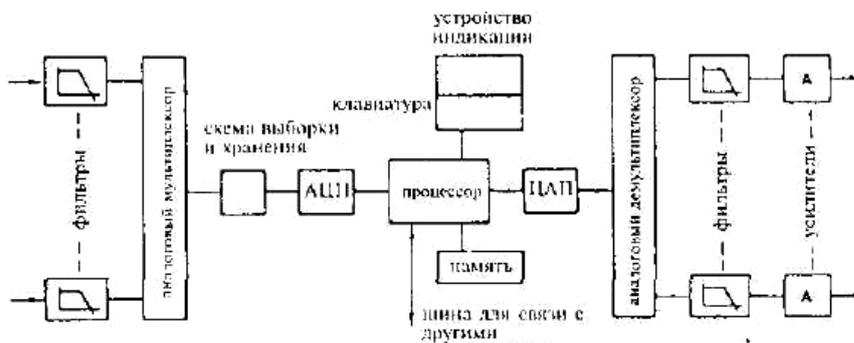


Рис. 6.45. Децентрализованная измерительная система

адреса канала. Однако переключение усилителя на новое значение коэффициента усиления потребует определенного времени и из-за этого максимальная скорость сканирования в системе понизится. Поэтому важно разбить каналы на группы с примерно одинаковым уровнем сигналов. Тогда можно будет программируемый усилитель переключать не каждый раз при обращении к новому каналу. Еще лучше воспользоваться субкоммутацией, предусмотрев, например, три входных мультиплексора (для работы с сигналами низкого, среднего и высокого уровня) и включив на выходе каждого из них свой усилитель с фиксированным коэффициентом усиления так, чтобы только после этого происходило окончательное мультиплексирование сигналов в один канал.

На вход одного из каналов системы часто подают «опорный сигнал» или «сигнал калибровки». Тогда можно обнаруживать уход коэффициентов передачи и запрограммировать цифровой процессор на коррекцию этих ошибок.

Нередко система сбора данных должна воспринимать также ряд двоичных входных сигналов, таких, например, как положение переключателей или выходные сигналы датчиков в системах обнаружения (пожара, перегрузки и других нежелательных событий). В системе на рис. 6.45 эти сигналы подаются прямо на отдельные входы цифрового мультиплексора. В системе на рис. 6.44 эти сигналы либо подаются на вход процессору независимо, либо через цифровой мультиплексор, обеспечивающий переключение между выходом АЦП и цифровым входом. Наконец, система сбора данных должна содержать также «блок синхронизации и управления», работающий под управлением компьютера. Этот блок вырабатывает управляющие сигналы, необходимые для надлежащего функционирования самой системы, на основе которых генерируются адреса каналов, выдаются команды перехода в режим хранения и команды преобразования, устанавливаются коэффициенты усиления и т. д.

Выбор между использованием независимой внешней шины и встроенной шинной организацией зависит от конкретного назначения измерительной системы. В больших проектах, например, при создании автоматизированной технологической системы, предпочтение отдают обмену сигналами по встроенной шине, при разработке которой принимают во внимание специальные условия эксплуатации. Однако в случае, когда возникает необходимость в измерительной системе, которой предстоит воспользоваться всего один раз, например, при испытаниях дорогой машины во время ее первоначального пуска, скорее следует применить стандартную внешнюю шину, к которой легко подключить имеющиеся измерительные приборы. В мире измерений и приборостроения для этой цели практически всегда применяется шина IEEE-488 (известная под несколькими различными названиями, в том числе под названием «канал общего пользования, КОП» на русском языке).

Шина IEEE-488 была разработана фирмой Hewlett-Packard в 1972 г. и была названа HP-IB (Hewlett-Packard Interface Bus). Она известна также как GPIB (General Purpose Interface Bus). В 1976 г. эта шина была принята в Европе Международной электротехнической комиссией в качестве стандарта IEC 625-1 (МЭК 625-1), а в 1978 г. — американским Институтом инженеров по электротехнике и электронике в качестве стандарта IEEE-488. Результатом международной стандартизации стало то, что в настоящее время почти каждый заслуживающий внимания измерительный прибор снабжен шиной IEEE-488. Эта шина служит гибким

интерфейсом между измерительными приборами, компьютерами и периферией (то есть такими внешними устройствами, как плоттеры, принтеры и т. д.).

Шина IEEE-488 является средством связи «коллективного пользования»: все устройства, включенные в систему, подключаются к шине параллельно. Поэтому шина, состоящая из 16 проводов или линий, подведена к каждому из участников. Шина допускает объединение в одну систему максимум 15 устройств. В принципе, каждое из входящих в систему устройств может вступить в (двустороннюю) связь с любым другим устройством и передать результат измерений или управляющие сигналы. Каждое устройство должно быть способно выполнять, по крайней мере, одну из следующих трех функций: быть «источником данных», «приемником данных» или «контроллером» (управляющим устройством). «Источник» передает по шине данные всем подключенным к ней устройствам, а «приемник» принимает данные из шины. Многие приборы могут быть как источниками, так и приемниками; в режиме приема программируемый прибор получает предназначенные ему управляющие сигналы, а в режиме выдачи данных передает свои результаты измерений. В простейшем случае система состоит из одного источника, соединенного с одним приемником. При этом данные передаются в одном направлении. Источник вручную устанавливается на работу в режиме «только выдача данных», а приемник — на работу в режиме «только прием». Таким образом можно, например, подключить измерительный прибор к плоттеру или самописцу.

Упомянутый выше «контроллер» управляет шиной, указывая, какому устройству быть источником и каким устройствам быть приемниками. Контроллер может также установить одно или несколько устройств в какой-то другой режим работы, в котором это устройство, как измерительный прибор, будет выполнять функцию, отличающуюся от уже указанных.

Сигналы, передаваемые по 16 линиям шины IEEE-488, имеют уровни, принятые в транзисторно-транзисторной логике (ТТЛ-сигналы), и вырабатываются схемами «с открытым коллектором». Совокупность всех линий разбивается на три подшины, каждая из которых выполняет свою функцию:

а. Шина ввода/вывода данных (DIO). Эта шина состоит из восьми линий. Данные представлены параллельно передаваемыми битами и последовательно передаваемыми байтами. Передача данных по шине DIO осуществляется асинхронно согласно процедуре, называемой «квитированием», когда ее участники обмениваются «квитанциями».

б. Шина квитирования. Эта шина состоит из трех линий, сигналы на которых в совокупности управляют процедурой передачи данных по шине DIO. Только после того, как самый медленный участник закончит чтение и прием данных, шина освобождается для выполнения следующего действия. Недостаток этого способа заключается в том, что в случае, когда один из участников не в состоянии выдать сигнал «готовности», шина остается заблокированной для дальнейшего использования. Поэтому контроллер должен, спустя заданное «время ожидания», восстановить нормальный режим на шине.

с. Шина управления. Эта шина состоит из 5 линий, используемых для того, чтобы обеспечить упорядоченную передачу сообщений по шине.

По шине данных передаются не только собственно данные (результаты измерений, управляющие сигналы), но также адреса участников, общие команды и байты, выражающие состояние шины. Тип данных, передаваемых по шине DIO, определяется линией ATN («Внимание») шины управления. Если сигнал на линии ATN имеет логическое значение «истина», то это означает, что на шине данных находится адрес или общая команда и все участники должны ее принимать. Когда сигнал на линии ATN имеет значение «ложь», на шине данных находятся данные, относящиеся только к тем устройствам, которые ранее были объявлены источником и приемниками. Важно отметить, что на всех линиях шины квитирования и шины управления используется отрицательная логика: значению «истина» (логическая единица) соответствует низкий уровень (ТТЛ-) напряжения, а значению «ложь» (логический ноль) — высокий уровень (ТТЛ-) напряжения.

Шина квитирования состоит из трех линий, сигналы на которых имеют заранее установленное значение: DAV («Данные готовы»), NRFD («Не готов к приему данных») и NDAC («Данные не приняты»). Устанавливая единичное значение сигнала на линии DAV (низкий уровень), источник показывает, что данные на линиях шины DIO готовы. Источник не может изменять эти данные, пока сигнал на линии NDAC не примет нулевое значение (высокий уровень). Это произойдет только после того, как все приемники прочтут и примут данные. Когда сигнал на линии NRFD имеет единичное значение (низкий уровень), это означает, что все приемники:

- а) видят данные, удерживаемые на шине DIO (при единичном значении сигнала DAV),
- б) готовы к чтению этих данных.

Сигнал на линии NDAC сохраняет единичное значение (низкий уровень) во время квитирования, пока все приемники не прочтут и не примут данные; в течение всего этого времени источник не может ни изменить, ни удалить данные с линий шины DIO. На рис. 6.47 приведена временная диаграмма как пример процедуры квитирования. Как видно, процедура квитирования «запирает себя»: она ждет, пока самое медленное из устройств не будет готово к следующему шагу. Сигналы NRFD, DAV и NDAC синхронизированы по отношению друг к другу так, как это указано стрелками на рис. 6.47. Две линии NRFD и NDAC действуют по принципу «монтажное ИЛИ», так что каждый из участников может видеть состояние любого другого устройства, подключенного к шине. Это показано на рис. 6.48. Такой способ обеспечивает пребывание системы в режиме ожидания до тех пор, пока самый медленный из приборов не будет готов и не объявит об этом сигналами «готов к приему данных» и «данные приняты», выдав на линии NRFD и NDAC нулевое значение.

Одна из линий шины управления обозначается IFC («Очистить интерфейс»); контроллер устанавливает единичное значение сигнала на этой линии (низкий уровень), чтобы привести всю систему в желаемое начальное состояние. Сигнал на другой линии, обозначаемой SRQ («Запрос обслуживания»), может быть установлен в единичное значение участником (низкий уровень), когда он хочет привлечь к себе внимание или прервать текущую работу системы. Линии REN («Дистанционное управление») используется для того, чтобы произвести выбор между двумя альтернативными источниками управляющих воздействий. Посредством сигнала на линии EOI («Конец или подтверждение») либо отмечается конец последовательности байтов данных, либо — совместно с сигналом на линии ATN — устанавливается порядок, в котором участники передают свои данные. Функция линии ATN была описана выше.

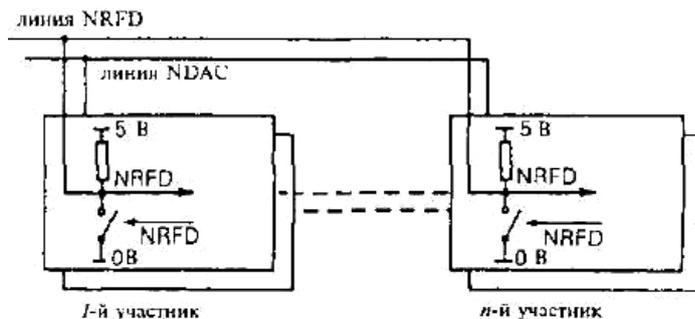


Рис. 6.48. Каждый из участников подключается к линиям NRFD и NDAC шины квитирования по правилу «монтажное ИЛИ». Если один или большее число участников еще не готовы читать данные, то соответствующие ключи замкнуты. Таким образом, любое из устройств в состоянии удерживать единичное значение на линии NRFD шины IEEE-488 (низкий уровень), несмотря на то, что другие участники могут быть готовы (их ключи разомкнуты). Когда данный участник является источником, он устанавливает нулевое значение на линии NRFD перед тем, как выдать сигнал DAV

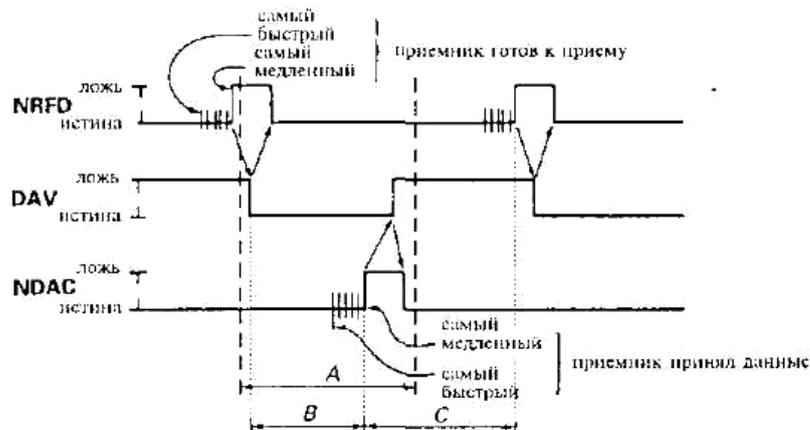


Рис. 6.47. Временная диаграмма запирающей себя процедуры квитирования, которой сопровождается передача данных по шине IEEE-488. В пределах отрезка времени A источник удерживает данные на шине DIO. Интервал B используется для чтения этих данных. В течение интервала времени C участник выполняет прочитанную команду

Здесь описан только принцип действия шины IEEE-488. Необходимость в более подробных сведениях зависит от конкретных устройств, включенных в систему. Не всем устройствам нужно реагировать на сигналы во всех линиях шины. Это определяется теми измерениями, которые выполняются соответствующими устройствами.

Наконец, следует указать, что между стандартами имеются небольшие различия. Новый стандарт IEEE-488.2 (1987) предусматривает большую свободу, чем старый стандарт, одновременно удаляя неоднозначности старого стандарта. В 1990 г. был принят один стандартный набор команд для программирования всех приборов, оснащенных шиной IEEE-488.2. Его называют системой стандартных команд для программируемых приборов (SCPI). Системой SCPI устанавливаются форматы данных, сообщение о статусе, команды общего конфигурирования, обработка ошибок и команды, относящиеся к отдельным устройствам. В прошлом производители измерительной аппаратуры в большинстве случаев предусматривали выполнение этих функций по-разному, что делало программирование объединенных шин приборов сложным и долгим. Системой же SCPI предусматривается, например, измерение напряжения любым предназначенным для этого оборудованием всего лишь по команде MEAS:VOLT?

ЗАКЛЮЧЕНИЕ

В настоящее время в измерительной технике используются преимущественно электронные приборы, получающие информацию от первичных преобразователей (датчиков), основанных на различных принципах работы. Это позволяет получать измерительную информацию в виде цифрового кода и автоматически обрабатывать её на ЭВМ.

Однако развитие средств обработки информации предъявляет жесткие требования как к единству формы представления измерительной информации, так и к отдельным параметрам. Среди последних наиболее важными являются точность измерений, надежность работы измерительных приборов и их быстродействие.

Важной составляющей средств измерений является их элементная база. Развитие микроэлектроники позволило не только создать широкую элементную базу с практически неограниченными возможностями, но и обеспечить высокие эксплуатационные параметры приборов на её основе. Для современных разработок нужны знания основ прикладной математики и навыки составления схем с жесткой или программируемой логикой. Вопросы макетирования, при необходимости, могут быть реализованы виртуальными средствами с минимальными финансовыми и временными затратами.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Клаассен Л.Б. Основы измерений. Электронные методы и приборы в измерительной технике / Л.Б. Клаассен. — М.: Постмаркет, 2000. — 352 с.
2. Харт Х. Введение в измерительную технику / Х. Харт. — М.: Мир, 1999. — 391 с.
3. Муханин Л.Г. Схемотехника измерительных устройств / Л.Г. Муханин. — СПб.: Лань, 2009. — 288 с.
4. Музыкаева И.И. Элементная база для построения цифровых систем управления / И.И. Музыкаева. — М.: Техносфера, 2006. — 144 с.
5. Титце У. Полупроводниковая схемотехника. Справочное руководство / У. Титце, К. Шенк. — М.: Мир, 1982. — 512 с.
6. Браммер Ю.А. Цифровые устройства / Ю.А. Браммер, И.Н. Полищук. — М.: Высш. шк., 2004. — 229 с.
7. Пейч Л.И. LabVIEW для новичков и специалистов / Л.И. Пейч, Д.А. Точилин, Б.П. Поллак. — М.: Горячая линия—Телеком, 2004. — 384 с.
8. Сопряжение датчиков и устройств ввода данных с компьютерами IBM PC / Под ред. У. Томпкина, Дж. Уэбстера. — М.: Мир, 1992. — 592 с.
9. Электронная лаборатория на IBM PC. Программа Electronics Workbench и ее применение / В.И. Карлашук. — М.: СОЛОН-Р, 2001—2004. — 832 с.
10. Водовозов А.М. Элементы систем автоматики / А.М. Водовозов. — М.: Изд. центр «Академия», 2006. — 224 с.
11. Гелль П. Как превратить персональный компьютер в измерительный комплекс / П. Гелль. — М.: ДМК, 1999. — 144 с.
12. Автоматизация измерений и контроля электрических и неэлектрических величин / Под ред. А.А. Сазонова. — М.: Изд-во стандартов, 1987. — 328 с.
13. Демидова-Парфенова А.М. Задачи и примеры расчетов по электроизмерительной технике / А.М. Демидова-Парфенова. — М.: Энергоатомиздат, 1990. — 192 с.

ОГЛАВЛЕНИЕ

ВВЕДЕНИЕ. ОСНОВНЫЕ ОПРЕДЕЛЕНИЯ И ТЕРМИНЫ	3
1. ПРИНЦИПЫ ПОСТРОЕНИЯ ИЗМЕРИТЕЛЬНЫХ СИСТЕМ	6
1.1. Ввод аналоговых сигналов в измерительных системах.....	6
1.1.1. Датчики измерительных систем и устройства согласования	6
1.1.2. Измерительные коммутаторы	14
1.1.3. Аналого-цифровые и цифро-аналоговые преобразователи	14
1.2. Оценка системных параметров многоканальных измерительных систем	15
1.3. Каналы передачи данных (интерфейс)	18
1.4. Устройства и системы ввода/вывода фирмы National Instruments.....	20
1.4.1. Системы согласования сигналов SCXI и SCC	20
1.4.2. Многофункциональные платы и устройства для сбора данных	21
1.4.3. Модульные измерительные системы стандарта PXI.....	23
1.4.4. Система распределенного ввода/вывода и промышленного управления FieldPoint	23
1.4.5. Реконфигурируемая контрольно-измерительная система CompactRIO	24
1.5. Система дистанционного измерения и сбора измерительно-диагностической информации	24
1.5.1. Общая структура системы.....	24
1.5.2. Измерительная часть автоматизированной системы дистанционных измерений	24
1.5.3. Алгоритмы работы автоматизированной системы дистанционных измерений ..	25
1.5.4. Разработка схем подключения средств измерения.....	26
2. СИГНАЛЫ И МЕТОДЫ ИХ ИССЛЕДОВАНИЯ.....	28
2.1. Общие характеристики электрических сигналов.....	28
2.2. Методы исследования прохождения сигналов	30
2.3. Динамические модели преобразователей сигналов.....	35
2.4. Механические, тепловые и электрические аналогии.....	36
2.4.1. Механические элементы	36
2.4.2. Тепловые элементы.....	37
2.4.3. Электрические элементы.....	38
2.5. Фильтры	39
2.5.1. Фильтры нижних частот	39
2.5.2. Фильтры верхних частот	42
2.5.3. Полосовые фильтры.....	43
2.5.4. Полосно-подавляющие фильтры.....	44
3. АНАЛОГОВАЯ ОБРАБОТКА СИГНАЛОВ.....	45
3.1. Операционные усилители. Основные свойства	45
3.2. Параметры и характеристики ОУ	46
3.3. Обратная связь в усилителях	48
3.4. Влияние ОС на параметры усилителей	48
3.5. Применение операционных усилителей.....	49
3.5.1. Инвертирующий усилитель	50
3.5.2. Неинвертирующий усилитель	52
3.5.3. Суммирующий усилитель	53
3.5.4. Дифференциальный усилитель.....	53
3.5.5. Измерительный усилитель	56
3.5.6. Интеграторы	56
3.5.7. Дифференциаторы	57
3.5.8. Нелинейные преобразователи на ОУ	58
3.6. Активные фильтры.....	59
4. ЦИФРО-АНАЛОГОВЫЕ И АНАЛОГО-ЦИФРОВЫЕ ПРЕОБРАЗОВАТЕЛИ	62
4.1. Электронные ключи и коммутаторы	62

4.2. Цифро-аналоговые преобразователи	69
4.2.1. Общие положения	69
4.2.2. ЦАП с суммированием токов	71
4.2.3. ЦАП с внутренними источниками тока	73
4.2.4. Сегментированные ЦАП	74
4.2.5. Цифровые потенциометры	75
4.2.6. ЦАП прямого цифрового синтеза	76
4.2.7. Параметры ЦАП	77
4.3. Аналого-цифровые преобразователи	79
4.3.1. Общие положения	79
4.3.2. АЦП параллельного типа	82
4.3.3. АЦП последовательного приближения	83
4.3.4. Последовательно-параллельные АЦП конвейерного типа	84
4.3.5. Сигма-дельта АЦП	84
5. ЦИФРОВАЯ ОБРАБОТКА СИГНАЛОВ	87
5.1. Общая характеристика цифровых сигналов и цифровых микросхем	87
5.2. Основы алгебры логики	90
5.3. Логические элементы	94
5.3.1. Типы логических элементов	94
5.3.2. Параметры логических элементов	97
5.4. Построение комбинационной логической схемы по заданной функции. Минимизация логических функций	100
5.5. Типы выходных каскадов цифровых элементов	103
5.6. Сложные логические элементы	105
6. ФУНКЦИОНАЛЬНЫЕ УСТРОЙСТВА НА ЦИФРОВЫХ МИКРОСХЕМАХ	107
6.1. Системы счисления	107
6.2. Дешифраторы и шифраторы	112
6.3. Мультиплексоры и демультимплексоры	116
6.4. Компараторы кодов	119
6.5. Сумматоры	120
6.6. Триггеры	122
6.7. Регистры	128
6.8. Счетчики импульсов	130
6.9. Автоматизированные измерительные системы	132
ЗАКЛЮЧЕНИЕ	137
БИБЛИОГРАФИЧЕСКИЙ СПИСОК	137

Учебное издание

Липатов Геннадий Иванович

АВТОМАТИЗАЦИЯ ИЗМЕРЕНИЙ, КОНТРОЛЯ И ИСПЫТАНИЙ

В авторской редакции

Компьютерный набор Г.И. Липатова

Подписано к изданию 19.12.2011

Объем данных 6 Мб

ФГБОУ ВПО «Воронежский государственный технический
университет»

394026 Воронеж, Московский просп., 14