

РОССИЙСКАЯ ФЕДЕРАЦИЯ



(19) **RU** ⁽¹¹⁾ **2 649 799** ⁽¹³⁾ **C2**

(51) МПК

[H04L 7/02 \(2006.01\)](#)

[G06F 17/00 \(2006.01\)](#)

ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(21)(22) Заявка: [2015110325](#), 23.03.2015

(24) Дата начала отсчета срока действия патента:
23.03.2015

Приоритет(ы):

(22) Дата подачи заявки: 23.03.2015

(43) Дата публикации заявки: 10.10.2016 Бюл. № [28](#)

(45) Опубликовано: [04.04.2018](#) Бюл. № [10](#)

(56) Список документов, цитированных в отчете о поиске: А.Ю. АБРАМЕНКО, УСТРОЙСТВО ФОРМИРОВАНИЯ УЗКОПОЛОСНЫХ РАДИОСИГНАЛОВ С ИСПОЛЬЗОВАНИЕМ АЛГОРИТМА ОПТИМАЛЬНОЙ ИНТЕРПОЛЯЦИИ. ТОМСК, 2014. НАЙДЕНО В ИНТЕРНЕТ 08.11.2017: <http://old.tusur.ru/export/sites/ru.tusur.new/ru/science/education/diss/2014/45-1.pdf>. А.Б. СЕРГИЕНКО, ЦИФРОВАЯ ОБРАБОТКА СИГНАЛОВ. СПб.: ПИТЕР, 2002, 608 с. НАЙДЕНО В ИНТЕРНЕТ 08.11.2017: http://www.rphf.spbstu.ru/dsp/lib/Sergijenko_2003.pdf. RU 2 289 202 C2, 10.12.2006. RU 2 451 408 C2, 20.05.2012. WO 2004/075432 A1, 02.09.2004.

Адрес для переписки:

394026, г. Воронеж, Московский просп., 14, ГОУВПО "ВГТУ", патентный отдел

(72) Автор(ы):

Спажакин
Михаил Игоревич
(RU)

(73)

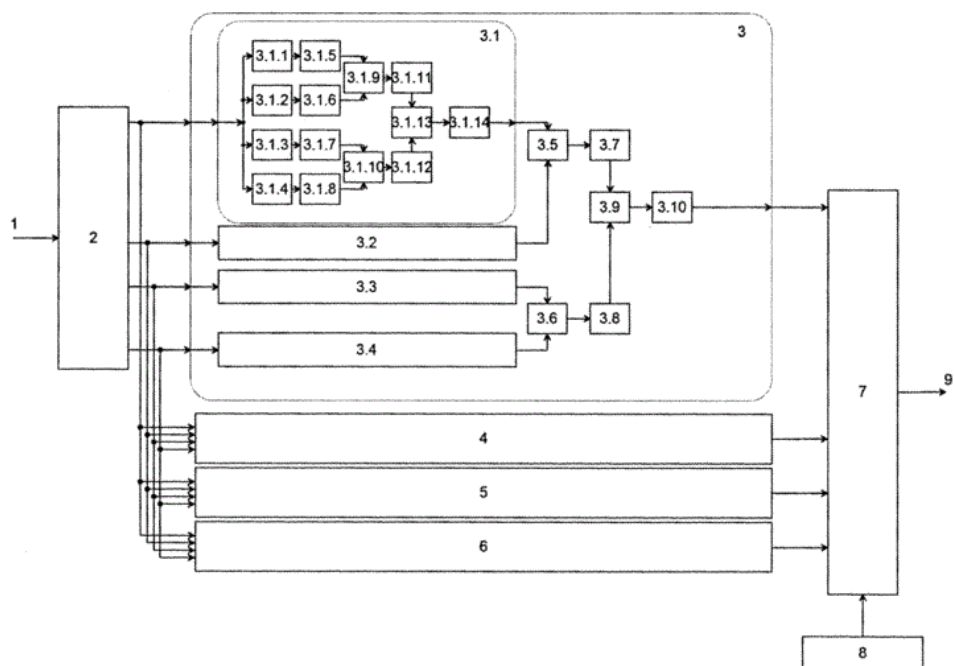
Патентообладатель
(и):
Федеральное
государственное
бюджетное
образовательное
учреждение
высшего
профессионального
образования
"Воронежский
государственный
технический
университет" (RU)

(54) Устройство для изменения частоты дискретизации в многоканальных цифровых приемниках

(57) Реферат:

Изобретение относится к области радиотехники и может быть использовано в многоканальных цифровых мониторинговых приемниках, реализованных на ПЛИС, в качестве устройства для изменения частоты дискретизации. Технический результат - обеспечение реализации устройства без использования аппаратных умножителей, упрощение структуры блока вычисления коэффициентов полинома, как следствие снижение динамической потребляемой мощности устройства, обеспечение реализации многоканальных цифровых приемников для радиомониторинга. Устройство для изменения частоты дискретизации в многоканальных цифровых приемниках содержит блок вычисления коэффициентов полинома, содержащий линию

задержки, вычислители, в состав которых входят устройства сдвига, регистры, сумматоры; блок формирования временных отсчетов; блок вычисления интерполирующего полинома. 2 ил.



Фиг. 1

Изобретение относится к области радиотехники и может быть использовано в многоканальных цифровых мониторинговых приемниках, реализованных на программируемой логической интегральной схеме (ПЛИС), в качестве устройства для изменения частоты дискретизации (ресэмплер).

Наиболее близким по внутренней структуре к предлагаемому устройству является устройство для изменения частоты дискретизации (диссертация Абраменко А.Ю. «Устройство формирования узкополосных радиосигналов с использованием алгоритма оптимальной интерполяции», Томск, 2014). В составе устройства присутствуют следующие блоки: блок вычисления коэффициентов полинома с использованием умножителей, линия задержки, блок вычисления интерполирующего полинома, блок формирования временных отсчетов.

Недостатком данного устройства является необходимость использования аппаратных умножителей ПЛИС для реализации блока вычисления коэффициентов полинома. Реализация многоканального цифрового мониторингового приемника (тракт фильтрации, тракт изменения частоты дискретизации, демодулятор, блок определения идентификационных признаков) затрудняется тем, что число аппаратных умножителей ПЛИС ограничено.

Задачей предлагаемого технического решения является обеспечение реализации блока вычисления коэффициентов полинома устройства передискретизации на ПЛИС без использования умножителей для применения в многоканальных цифровых приемниках в задачах радиомониторинга.

Поставленная задача решается тем, что устройство для передискретизации, состоящее из блока вычисления коэффициентов полинома (БВКП), блока формирования временных отсчетов (БФВО), блока вычисления интерполирующего полинома (БВИП), содержит в составе БВКП линию задержки и несколько вычислителей, число которых определяется порядком интерполирующего полинома. Каждый вычислитель содержит сумматоры (вычитатели) и сдвиговые устройства.

Предлагаемое техническое решение поясняется чертежами.

На фиг. 1 представлена структурная схема предлагаемого устройства. На фиг. 2 представлен алгоритм, в соответствии с которым производится определение индексов на устройствах сдвига.

На входе устройства для передискретизации присутствует входной цифровой сигнал 1. Сигнал 1 поступает на линию задержки 2. Линия задержки соединена с входами вычислителей 3, 4, 5, 6. Вычислитель 3 состоит из константных умножителей 3.1, 3.2, 3.3, 3.4, регистров 3.7, 3.8, 3.10, сумматоров 3.5, 3.6, 3.9. Входы константных умножителей 3.1, 3.2, 3.3, 3.4 соединены с соответствующими выходами линии задержки 2. Входы сумматоров 3.5, 3.6 соединены с выходами константных умножителей 3.1, 3.2, 3.3, 3.4. Выходы сумматоров 3.5, 3.6 соединены со входами регистров 3.7, 3.8, их выходы соединены со входами сумматора 3.9. Выход сумматора 3.9 соединен со входом регистра 3.10. Выход регистра 3.10 является выходом вычислителя 3. Каждый константный умножитель 3.1, 3.2, 3.3, 3.4 состоит из устройств сдвига 3.1.1, 3.1.2, 3.1.3, 3.1.4, регистров 3.1.5, 3.1.6, 3.1.7, 3.1.8, 3.1.11, 3.1.12, 3.1.14, сумматоров 3.1.9, 3.1.10, 3.1.13. Входы устройств сдвига 3.1.1, 3.1.2, 3.1.3, 3.1.4 объединены и представляют собой вход константного умножителя. Выходы сдвиговых устройств 3.1.1, 3.1.2, 3.1.3, 3.1.4 соединены со входами регистров 3.1.5, 3.1.6, 3.1.7, 3.1.8, их выходы соединены со входами сумматоров 3.1.9, 3.1.10, их выходы соединены со входами регистров 3.1.11, 3.1.12. Выходы регистров 3.1.11, 3.1.12 соединены со входами сумматора 3.1.13. Его выход соединен со входом регистра 3.1.14. Выход регистра 3.1.14 является выходом константного умножителя 3.1. Оставшиеся вычислители 4, 5, 6 устроены аналогично вычислителю 3, различие заключается в индексах устройств сдвига в константных умножителях вычислителей. Блоки 2, 3, 4, 5, 6 образуют БВКП. Выходы вычислителей 3, 4, 5, 6 соединены с соответствующими входами БВИП 7. Соответствующий вход БВИП 7 соединен с выходом БФВО 8. На выходе БВИП 7 присутствует выходной сигнал устройства для передискретизации 9.

В данном случае структурная схема устройства для передискретизации представлена для интерполятора 3-го порядка. В случае увеличения порядка интерполятора в составе устройства должно присутствовать количество вычислителей, превосходящее на 1 порядок интерполяции, а в составе каждого вычислителя присутствует число константных умножителей на 1 превосходящее порядок интерполяции. Структура константного умножителя аналогична приведенной на фиг. 1. Число входных сигналов БВИП 7 равно числу вычислителей.

Устройство работает следующим образом

На вход устройства подается цифровой сигнал $x(m)$ (фиг. 1). В вычислителях 3, 4, 5, 6 производится расчет коэффициентов интерполирующего полинома $c_0 \dots c_N$ по отсчетам входного сигнала 1. Для расчета коэффициентов $c_0 \dots c_N$ необходимо произвести операцию умножения отсчетов входного сигнала на набор весовых коэффициентов БВКП $k_{i,j}$. Данная операция реализуется с помощью устройств сдвига и сумматоров в каждом вычислителе 3, 4, 5, 6. В БФВО 8 производится формирование нормированных временных отсчетов μ . По нормированным временным отсчетам μ и набору коэффициентов интерполирующего полинома в БВИП 7 производится вычисление отсчетов сигнала на новой частоте дискретизации $y(n)$. Выражение (1) дает математическое описание работы устройства.

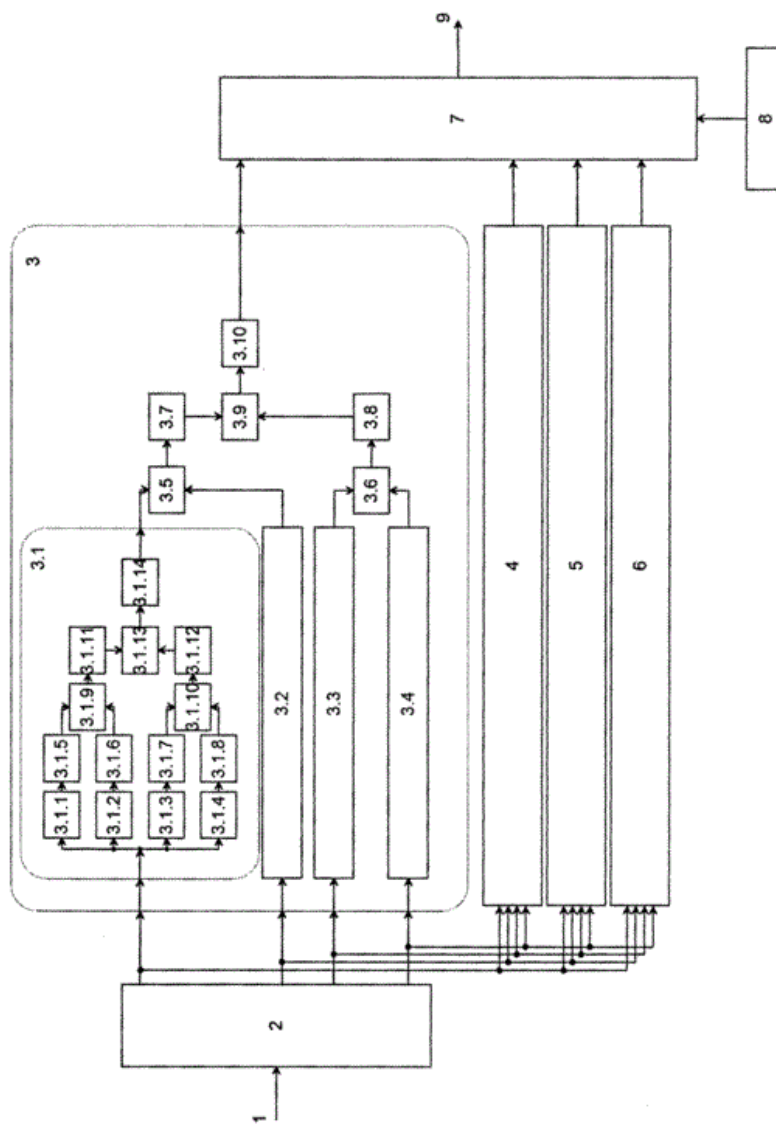
$$\begin{aligned} c_l &= \sum_{j=0}^N k_{l,j} \cdot x(j) \\ y(n) &= \sum_{l=0}^N c_l \cdot \mu^l \end{aligned} \quad (1)$$

Для обеспечения постоянства структуры константных множителей в вычислителях 3, 4, 5, 6 следует воспользоваться разработанным алгоритмом (фиг. 2). Входными данными для алгоритма является набор весовых коэффициентов БВКП в формате с плавающей точкой 1. Далее осуществляется итеративный алгоритм поиска минимальной разрядности коэффициентов, состоящий из этапов: 2 - операция ограничения разрядности коэффициентов, 3 - оценка уровня нелинейных искажений, 4 - сравнение с введенным допустимым значением 5. Затем производится формирование структуры константного множителя. Данный алгоритм так же итеративный, он состоит из следующих этапов: 6 - представление коэффициентов с конечной разрядностью в виде суммы степеней числа 2, уменьшение числа слагаемых, 7 - оценка уровня нелинейных искажений, 8 - сравнение с допустимым уровнем искажений 9, 10 - набор весовых коэффициентов $k_{i,j}$, представленный в виде суммы степеней числа 2, число слагаемых ограничено 4. В таком виде коэффициенты $k_{i,j}$ (константные множители) пригодны для реализации на сумматорах и устройствах сдвига (фиг. 1).

Формула изобретения

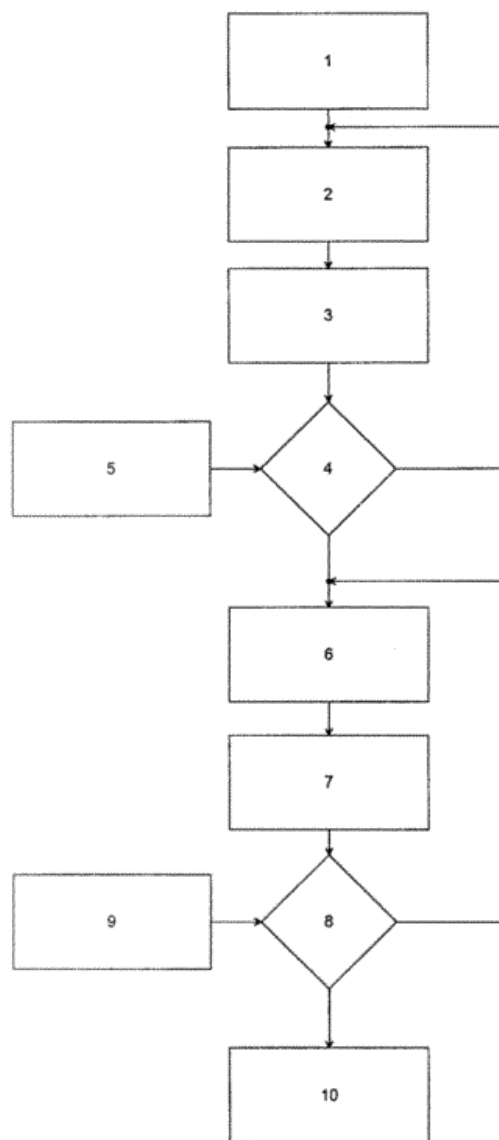
Устройство для изменения частоты дискретизации в многоканальных цифровых приемниках, содержащее блок вычисления коэффициентов полинома (БВКП); линию задержки; блок формирования временных отсчетов (БФВО); блок вычисления интерполирующего полинома (БВИП), отличающееся тем, что блок вычисления коэффициентов полинома (БВКП) содержит вычислители, каждый вычислитель содержит константный множитель, устройства сдвига, входы которых объединены между собой, а выходы через регистры подключены на входы двух параллельных сумматоров, выходом каждого константного множителя является выходной сумматор, входы которого соединены через регистры с выходами двух параллельных сумматоров, каждый вычислитель своими входами подключен к соответствующему отводу линии задержки, а выходом к соответствующему входу БВИП.

УСТРОЙСТВО ДЛЯ ИЗМЕНЕНИЯ ЧАСТОТЫ ДИСКРЕТИЗАЦИИ В
МНОГОКАНАЛЬНЫХ ЦИФРОВЫХ ПРИЕМНИКАХ



Фиг. 1.

УСТРОЙСТВО ДЛЯ ИЗМЕНЕНИЯ ЧАСТОТЫ ДИСКРЕТИЗАЦИИ В
МНОГОКАНАЛЬНЫХ ЦИФРОВЫХ ПРИЕМНИКАХ



Фиг. 2.