

РОССИЙСКАЯ ФЕДЕРАЦИЯ



ПАТЕНТ

НА ИЗОБРЕТЕНИЕ

№ 2840331

Способ организации системы декодирования с низкой плотностью проверок на четность

Патентообладатель: *Федеральное государственное бюджетное образовательное учреждение высшего образования "Воронежский государственный технический университет" (ВГТУ) (RU)*

Авторы: *Хорошайлова Марина Владимировна (RU), Пирогов Александр Александрович (RU), Турецкий Андрей Владимирович (RU)*

Заявка № 2024132464

Приоритет изобретения 29 октября 2024 г.

Дата государственной регистрации
в Государственном реестре изобретений
Российской Федерации 21 мая 2025 г.

Срок действия исключительного права
на изобретение истекает 29 октября 2044 г.



Руководитель Федеральной службы
по интеллектуальной собственности

Ю.С. Зубов

ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

(12) ФОРМУЛА ИЗОБРЕТЕНИЯ К ПАТЕНТУ РОССИЙСКОЙ ФЕДЕРАЦИИ

(52) СПК

H03M 13/00 (2025.01); H03M 13/11 (2025.01); H03M 13/15 (2025.01)

(21)(22) Заявка: 2024132464, 29.10.2024

(24) Дата начала отсчета срока действия патента:
29.10.2024Дата регистрации:
21.05.2025

Приоритет(ы):

(22) Дата подачи заявки: 29.10.2024

(45) Опубликовано: 21.05.2025 Бюл. № 15

Адрес для переписки:

394006, г. Воронеж, ул. 20-летия Октября, 84,
ФГБОУ ВО ВГТУ, Башкиров Алексей
Викторович

(72) Автор(ы):

Хорошайлова Марина Владимировна (RU),
Пирогов Александр Александрович (RU),
Турецкий Андрей Владимирович (RU)

(73) Патентообладатель(и):

Федеральное государственное бюджетное
образовательное учреждение высшего
образования "Воронежский государственный
технический университет" (ВГТУ) (RU)

(56) Список документов, цитированных в отчете

о поиске: US 11575390 B2, 07.02.2023. RU
2811085 C1, 11.01.2024. US 10581460 B2,
03.03.2020. SU 1536511 A1, 15.01.1990. RU
2370886 C2, 20.10.2009.

(54) Способ организации системы декодирования с низкой плотностью проверок на четность

(57) Формула изобретения

Способ декодирования с низкой плотностью проверок на четность, заключающийся в использовании реконфигурируемых сдвиговых регистров для обработки данных с низкой задержкой, отличающийся тем, что блок входных данных передает данные, подлежащие декодированию, при этом полученное мягкое сообщение квантифицируется и усекается до двух бит, а затем сохраняется в памяти, построенной с использованием памяти на основе сдвигового регистра, полученные данные также передаются в блок проверочных узлов декодера, который генерирует информацию s_v , состоящую из трех бит, представляющих собой произведение знаковых битов $min1$ и $min2$, после того как достаточно строк было итерировано, контроллер перекрытия посылает сигнал синхронизации в блок переменных узлов, и результат v_c выводится после преобразования и сложения, при этом блок памяти на основе сдвигового регистра сообщений R_{mn} сохраняет промежуточные значения от m -го контрольного узла к n -му переменному узлу, модуль жесткого решения начинает свою работу тогда, когда число итераций достигает заданного значения, используя предлагаемую матрицу QC-LDPC, оптимизированную для перекрытия, контроллер перекрытия позволяет блоку переменных узлов VNU работать, когда обновлены три группы блока проверочных узлов CNU.