

**ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ ОБРАЗОВАТЕЛЬНОЕ  
УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ  
«ВОРОНЕЖСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ»**

На правах рукописи



**Алексеев Роман Павлович**

**ВЛИЯНИЕ КОНСТРУКТИВНО-ТЕХНОЛОГИЧЕСКИХ ФАКТОРОВ  
НА НАСЫЩЕНИЕ ВОЛЬТАМПЕРНЫХ ХАРАКТЕРИСТИК  
МОЩНЫХ СВЧ LDMOS-ТРАНЗИСТОРОВ**

Специальность

2.2.2. Электронная компонентная база микро- и нанoeлектроники,  
квантовых устройств

Диссертация  
на соискание ученой степени  
кандидата технических наук

Научный руководитель:  
доктор физико-математических наук,  
профессор Бормонтов Е.Н.

Воронеж – 2023

## ОГЛАВЛЕНИЕ

ВВЕДЕНИЕ .....	3
ГЛАВА 1. МЕХАНИЗМЫ НАСЫЩЕНИЯ ВАХ В ТРАНЗИСТОРАХ НА ОСНОВЕ MOS-СТРУКТУРЫ .....	11
1.1. Насыщение ВАХ в MOS-транзисторах .....	11
1.2. Конструкция LDMOS-транзисторов .....	14
1.3 Насыщение ВАХ в LDMOS-транзисторах .....	20
1.4 Негативные эффекты, вызываемые квазинасыщением ВАХ .....	32
ВЫВОДЫ К ГЛАВЕ 1 .....	35
ГЛАВА 2. МОДЕЛЬ СВЧ LDMOS-ТРАНЗИСТОРА.....	37
2.1. Возможности и состав пакета САПР Sentaurus TCAD .....	37
2.2 Технологическое моделирование .....	44
2.3 Структурное моделирование .....	50
2.4. Оптимизация сетки .....	53
2.5. Расчет и визуализация электропараметров .....	54
ВЫВОДЫ К ГЛАВЕ 2 .....	62
ГЛАВА 3. ВЛИЯНИЕ КОНСТРУКТИВНЫХ ПАРАМЕТРОВ LDMOS- ТРАНЗИСТОРОВ НА НАСЫЩЕНИЕ ВАХ.....	64
3.1 Моделирование эффекта квазинасыщения .....	64
3.2 Исследование насыщения переходной ВАХ.....	71
3.3 Исследование квазинасыщения выходной ВАХ.....	85
3.4 Оптимизация конструкции LDMOS-транзистора для подавления эффекта квазинасыщения ВАХ .....	95
ВЫВОДЫ К ГЛАВЕ 3 .....	101
ГЛАВА 4. РАЗРАБОТКА МОЩНОГО СВЧ LDMOS-ТРАНЗИСТОРА ПРИ УЧЕТЕ ЭФФЕКТА КВАЗИНАСЫЩЕНИЯ ВАХ.....	103
4.1 Конструкция разработанного прибора .....	103
4.2 Измерение электропараметров разработанного прибора .....	107
ВЫВОДЫ К ГЛАВЕ 4 .....	116
ЗАКЛЮЧЕНИЕ .....	117
ЛИТЕРАТУРА .....	119

## ВВЕДЕНИЕ

### Актуальность темы

Первые мощные полевые СВЧ-транзисторы были разработаны и освоены в серийном производстве в 1970-х годах в СССР [11]. И хотя приборам первых серий КП901–КП904 не удалось вытеснить биполярные приборы, они показали перспективность мощных СВЧ MOS-транзисторов. В последующие годы конструкция полевых СВЧ-транзисторов активно совершенствовалась, появились такие, технологии как DMOS (*Double-diffused Metal Oxide Semiconductor*) [102] и VDMOS (*Vertical Double-diffused Metal Oxide Semiconductor*) [23]. В 1990-х годах, когда DMOS/VDMOS-транзисторы достигли предела своего совершенствования, получила развитие новая LDMOS-технология (*Laterally Double-diffused Metal Oxide Semiconductor*) [10, 43]. Первые серийные образцы LDMOS-транзисторов были созданы фирмами Motorola (ныне M/A-COM) и Ericsson. В настоящее время СВЧ LDMOS-транзисторы производятся более двадцатью компаниями, наиболее известными из которых являются Ampleon (появилась в результате слияния NXP Semiconductors и Freescale Semiconductor), Microsemi, Integra, ST Microelectronics. В России разработкой и производством мощных СВЧ LDMOS-транзисторов занимаются АО «НПП «Пульсар» и АО «НИИЭТ» [16].

Мощные СВЧ LDMOS-транзисторы в настоящее время широко применяются в приемно-передающей радиоаппаратуре различного назначения [109]. Несмотря на распространение в последнее время приборов на основе широкозонных полупроводниковых материалов, таких как нитрид галлия (GaN), кремниевые LDMOS-транзисторы продолжают занимать значительную долю рынка как в России, так и за рубежом, благодаря хорошему соотношению цена-качество и высокой воспроизводимости технологического процесса [51, 61]. Сегодня LDMOS-технология является основной технологией для производства широкой номенклатуры мощных СВЧ устройств для различных при-

менений, включающих: базовые станции сотовой системы связи, радиопередатчики сигналов P-, L-, S-диапазонов частот, РЛС наземного и воздушного базирования, систем навигации и др. Ведущие зарубежные производители за прошедшее десятилетие смогли расширить рабочий диапазон частот LDMOS-транзисторов, который теперь покрывает частоты от 1 МГц до 6 ГГц, включая WiMax [103], WCDMA [47] и радарный S-диапазон [51, 84, 87, 116]. Объявлены намерения о разработке LDMOS-транзисторов для применения в базовых станциях пятого поколения сотовой связи (5G) [114]. Показано, что СВЧ LDMOS-транзисторы способны работать и на частотах до 12 ГГц [115]. Кроме того, интегральные LDMOS-транзисторы нашли широкое применение в интегральных схемах [71, 73, 77, 92, 105].

Подобно обычным MOS-транзисторам LDMOS-транзисторы характеризуются эффектом насыщения выходной (сток-истоковой) вольт-амперной характеристики (ВАХ) при высоких напряжениях на стоке [113]. Однако в случае LDMOS-транзистора существует две существенные особенности. Первая – насыщается не только выходная, но и переходная характеристика. Вторая – насыщение выходной ВАХ не является «строгим», ток стока продолжает возрастать при повышении напряжения на стоке, но существенно медленнее, чем на линейном участке ВАХ. По этой причине в зарубежной литературе данный эффект получил название квазинасыщения (*quasi-saturation*).

Квазинасыщение ВАХ влечет за собой ряд проблем, способных привести к ухудшению параметров СВЧ-транзисторов и устройств на их основе.

Квазинасыщение переходной ВАХ приводит к сокращению протяженности линейного участка, что накладывает ограничения при работе транзистора в качестве усилительного элемента в усилителях мощности.

Квазинасыщение выходной ВАХ приводит к росту рассеиваемой мощности при работе транзистора и, соответственно, разогреву кристалла. Показано, что снижение эффекта квазинасыщения положительно сказывается на надежности СВЧ-транзисторов благодаря снижению инжекции горячих элект-

тронов [100] в подзатворный диэлектрик и на устойчивость транзистора к пробую через паразитный биполярный транзистор [108].

До настоящего времени при разработке отечественных LDMOS-транзисторов учету эффекта квазинасыщения ВАХ должного внимания не уделялось, поэтому актуальна задача выявления конструктивно-технологических параметров, позволяющих этот эффект минимизировать.

**Цель работы** – оптимизация конструкции LDMOS-транзисторной структуры для снижения эффекта квазинасыщения СВЧ LDMOS-транзисторов.

Для достижения поставленной цели решались следующие **задачи**:

1. Корректировка численной модели мощного СВЧ LDMOS транзистора разработанной в САПР Sentaurus TCAD для учета эффекта квазинасыщения ВАХ у серийно выпускаемых изделий АО НИИЭТ.

2. Выявление конструктивно-технологических параметров мощных СВЧ LDMOS-транзисторов, оказывающих наибольшее влияние на проявление эффекта насыщения/квазинасыщения ВАХ.

3. Оптимизация конструкции мощных СВЧ LDMOS-транзисторов для минимизации эффекта квазинасыщения ВАХ без ухудшения ключевых электрических параметров.

4. Разработка, изготовление и испытание LDMOS транзисторного кристалла с учетом полученных знаний для их верификации.

**Объекты исследования:**

– приборно-технологическая модель мощной СВЧ LDMOS-транзисторной структуры, разработанная на основе технологического маршрута изготовления кристаллов мощных СВЧ LDMOS-транзисторов АО «Микрон» и запатентованных топологий №2017630162 и №2017630163, позволяющая моделировать современные конструктивные решения, применяемые в отечественных мощных LDMOS-транзисторах;

– две партии тестовых мощных СВЧ-транзисторов, в одной из которых в качестве компонента использовались кристаллы, изготовленные по

усовершенствованной технологии, в другой – кристаллы, изготовленные по текущей технологии;

– две партии мощных СВЧ-транзисторов 2П9120БС, в одной из которых в качестве компонента использовались кристаллы, изготовленные по усовершенствованной технологии, в другой – по текущей технологии.

### **Методы исследований**

– исследование эффекта квазинасыщения в модели мощной СВЧ LDMOS-транзисторной структуры осуществлялось при помощи САПР Sentaurus TCAD, представляющей комплекс независимых программ, позволяющих проводить моделирование технологии и конструкции, а также электрических, тепловых, оптических и других параметров полупроводниковых приборов;

– измерение электрических параметров исследуемых мощных СВЧ-транзисторов осуществлялось при помощи тестера контроля статических параметров Agilent B1505;

– измерение энергетических параметров тестовых мощных СВЧ-транзисторов проводилось по методу согласованной нагрузки на измерительной системе на основе автоматизированных тюнеров импеданса источника и нагрузки производства Maury Microwave Corp.;

– измерение энергетических параметров мощных СВЧ-транзисторов 2П9120БС осуществлялось при помощи двух тестовых усилителей мощности, работающих на частоте 500 МГц и 230 МГц.

### **Научная новизна работы**

1. Впервые численная модель мощной СВЧ LDMOS-транзисторной структуры в среде САПР Sentaurus TCAD адаптирована для исследования эффектов насыщения/квазинасыщения ВАХ.

2. Установлена и обоснована закономерность, согласно которой максимально приближенная к предельному насыщению выходная ВАХ LDMOS-

транзисторов достигается при максимально равномерном распределении напряжённости электрического поля по длине LDD-области.

3. Установлены зависимости степени выраженности эффекта квазинасыщения ВАХ от длины затвора, глубины  $p^+$ -области истока, концентрации примеси в LDD-области, длины LDD-области (*Lightly Doped Drain*), длины перекрытия LDD-области полевым электродом и других конструктивно-технологических параметров СВЧ LDMOS-транзисторов.

4. Установлено, что повышение концентрации примеси в LDD-области приводит к повышению значения напряжения на затворе, при котором наблюдается минимальное проявление квазинасыщения, а также к существенному подавлению квазинасыщения в области напряжений затвора, характерных для насыщения переходной ВАХ. Внедрение в LDD-область участка, по уровню легирования отличным от основной части LDD-области, приводит к перераспределению напряжённости поля вдоль LDD-области, зависящего от концентрации в участке, его положения и протяженности.

5. Установлено, что внедрение полевого электрода приводит к существенному снижению квазинасыщения практически во всем диапазоне напряжений затвора. Эти эффекты выражены тем сильнее, чем ближе полевой электрод расположен к LDD-области и чем больший ее участок он перекрывает.

6. Установлено, что наиболее перспективной конструкцией LDMOS транзисторного кристалла с точки зрения снижения эффекта квазинасыщения является конструкция с двухуровневым полевым электродом и HDD-участком у стокового края LDD-области.

#### **Реализация результатов работы, практическая значимость**

1. Адаптированная модель LDMOS транзисторной структуры может быть использована при разработке новых и модернизации существующих типов мощных СВЧ LDMOS-транзисторов.

2. Полученные данные о влиянии конструктивно-технологических параметров мощных СВЧ LDMOS-транзисторов на проявление эффекта

квазинасыщения ВАХ использованы при разработке нового мощного СВЧ LDMOS транзисторного кристалла, предназначенного для замены кристалла предыдущего поколения. На топологию разработанных кристаллов получено свидетельство РФ о государственной регистрации №2021630075.

3. Предложенные конструктивно-технологические решения, позволяющие минимизировать эффекты насыщения ВАХ мощных СВЧ LDMOS-транзисторов, внедрены в научно-производственный процесс исследований в рамках НИОКР на АО «НИИЭТ» (г. Воронеж), подтверждены актом о внедрении (использовании) результатов диссертации и могут быть использованы на других предприятиях электронной техники.

#### **Основные результаты и положения, выносимые на защиту:**

1. Адаптированная численная модель мощной СВЧ LDMOS-транзисторной структуры в среде САПР Sentaurus TCAD для исследования эффектов насыщения/квазинасыщения ВАХ.

2. Максимально приближенная к предельному насыщению выходная ВАХ LDMOS-транзисторов достигается при максимально равномерном распределении напряжённости электрического поля по длине LDD-области. Соответственно, для подавления эффекта квазинасыщения следует стремиться к уменьшению напряжённости поля на участке, где наблюдается его пик, и повышению на участке, где напряжённость поля мала.

3. Среди всех конструктивных элементов LDMOS транзисторного кристалла для снижения степени выраженности эффекта квазинасыщения, ключевыми являются полевой электрод и LDD-область.

4. Повышение концентрации примеси в LDD-области приводит к повышению значения напряжения на затворе, при котором наблюдается минимальное проявление квазинасыщения, а также к существенному подавлению квазинасыщения в области напряжений затвора, характерных для насыщения переходной ВАХ. Внедрение в LDD-область участка, по уровню легирования отличным от основной части LDD-области, приводит к перераспределению напряженности поля вдоль LDD-области, зависящего от

концентрации в участке, его положения и протяженности.

5. Внедрение полевого электрода приводит к перераспределению напряженности поля в участке LDD-области, расположенного под ним, и к существенному снижению квазинасыщения практически во всем диапазоне напряжений затвора. Эти эффекты выражены тем сильнее, чем ближе полевой электрод расположен к LDD-области и чем больший ее участок он перекрывает.

6. Наиболее перспективной конструкцией LDMOS транзисторного кристалла с точки зрения снижения эффекта квазинасыщения является конструкция с двухуровневым полевым электродом и HDD-участком у стокового края LDD-области.

### **Степень достоверности и апробация результатов**

Достоверность и обоснованность полученных результатов подтверждается использованием отработанных методик и инструментов моделирования мощных СВЧ LDMOS-транзисторов, верификация которых проводилась сравнением рассчитанных электропараметров с электропараметрами реальных экспериментальных и серийных изделий, изготовленных на АО «Микрон».

Основные выводы, полученные по результатам данного исследования, были подтверждены на практике электропараметрами реальных LDMOS-транзисторов, разработанных при учете полученных знаний.

Основные результаты данной работы были представлены и обсуждены на следующих конференциях: XXII и XXIV международная научно-техническая конференция «Радиолокация, навигация, связь» (Воронеж, 2016, 2018), 23 Всероссийская межвузовская научно-техническая конференция студентов и аспирантов «Микроэлектроника и информатика – 2016» (Москва, 2016), 23 международная научно-практическая конференция «Наука сегодня. Реальность и перспективы» (Вологда, 2017), XIX Международный семинар «Физико-математическое моделирование систем» (Воронеж, 2017).

**Личный вклад автора** состоит в постановке и организации экспериментов, обработке и анализе полученных результатов. Постановка цели и задач, согласование и корректировка исследований, составление выводов выполнялись автором совместно с научным руководителем. Основные результаты исследований, изложенные в работе, были получены автором лично, или при его непосредственном участии. Обсуждение полученных результатов и подготовка публикаций проводилась совместно с научным руководителем.

### **Публикации**

По теме диссертации опубликовано 19 научных работ, включая 4 статьи в научных изданиях, рекомендованных ВАК для публикации диссертационных работ, в том числе одну статью, входящую в базу данных рецензируемой научной литературы Scopus, 3 свидетельства о государственной регистрации топологий интегральных микросхем, 12 работ в других научных изданиях и материалах конференций. Изданы 3 учебно-методические пособия. В перечисленных работах автору лично принадлежат: [20] – обоснование физической природы механизмов квазинасыщения в мощных СВЧ LDMOS-транзисторов; [1, 2, 3, 7, 8, 9, 12, 13, 20, 24, 25, 26, 27] – разработка моделей транзисторных структур в среде САПР Sentaurus TCAD; [4, 5, 6, 7, 8, 9, 12, 13, 20, 21, 26, 27, 44, 45, 46] – проведение моделирования конструкции и электропараметров СВЧ-транзисторов в САПР Sentaurus TCAD; [4, 5, 6, 7, 8, 9, 12, 13, 21, 22, 24, 26, 27] – систематизация и обработка полученных данных; [7, 9, 26, 27, 44, 45, 46] – разработка конструкции и технологии мощных СВЧ LDMOS-транзисторов.

### **Структура и объем работы**

Диссертация состоит из введения, четырех глав, заключения и списка цитируемой литературы, содержащего 120 наименований. Объем диссертации составляет 131 страниц, включая 61 рисунок и 11 таблиц.

# ГЛАВА 1. МЕХАНИЗМЫ НАСЫЩЕНИЯ ВАХ В ТРАНЗИСТОРАХ НА ОСНОВЕ MOS-СТРУКТУРЫ

## 1.1. Насыщение ВАХ в MOS-транзисторах

Как известно, в транзисторах на основе MOS-структур управление протекающим током осуществляется за счет эффекта поля – изменения концентрации свободных носителей заряда в приповерхностной области полупроводника под действием внешнего электрического поля [15]. В MOS-транзисторах внешнее поле обусловлено приложенным напряжением на металлический электрод – затвор. Под действием эффекта поля в зависимости от знака и величины приложенного на затворе напряжения  $U_G$  могут быть достигнуты четыре состояния подзатворной приповерхностной области полупроводника: обогащение основными носителями заряда (в дальнейшем будем считать основными носителями электроны), обеднение основными носителями заряда, слабая и сильная инверсия. Полевые транзисторы в активном режиме могут работать только в области слабой или сильной инверсии, т.е. когда образуется поверхностный слой инверсионной по отношению к объему полупроводника проводимости, который становится индуцированным каналом, соединяющим области истока и стока (рис. 1.1а).

Помимо индуцирования инверсионного слоя проводимости эффект поля приводит к вытеснению дырок, образуя область пространственного заряда (ОПЗ), концентрация свободных носителей заряда в которой пренебрежимо мала по сравнению с концентрацией ионов примеси. Инверсионный поверхностный слой оказывается отделенным от квазинейтрального объема полупроводника. Размер ОПЗ примерно на порядок больше глубины инверсионного слоя. В отличие от электронов канала ионы примеси находятся в узлах кристаллической решетки и неподвижны.

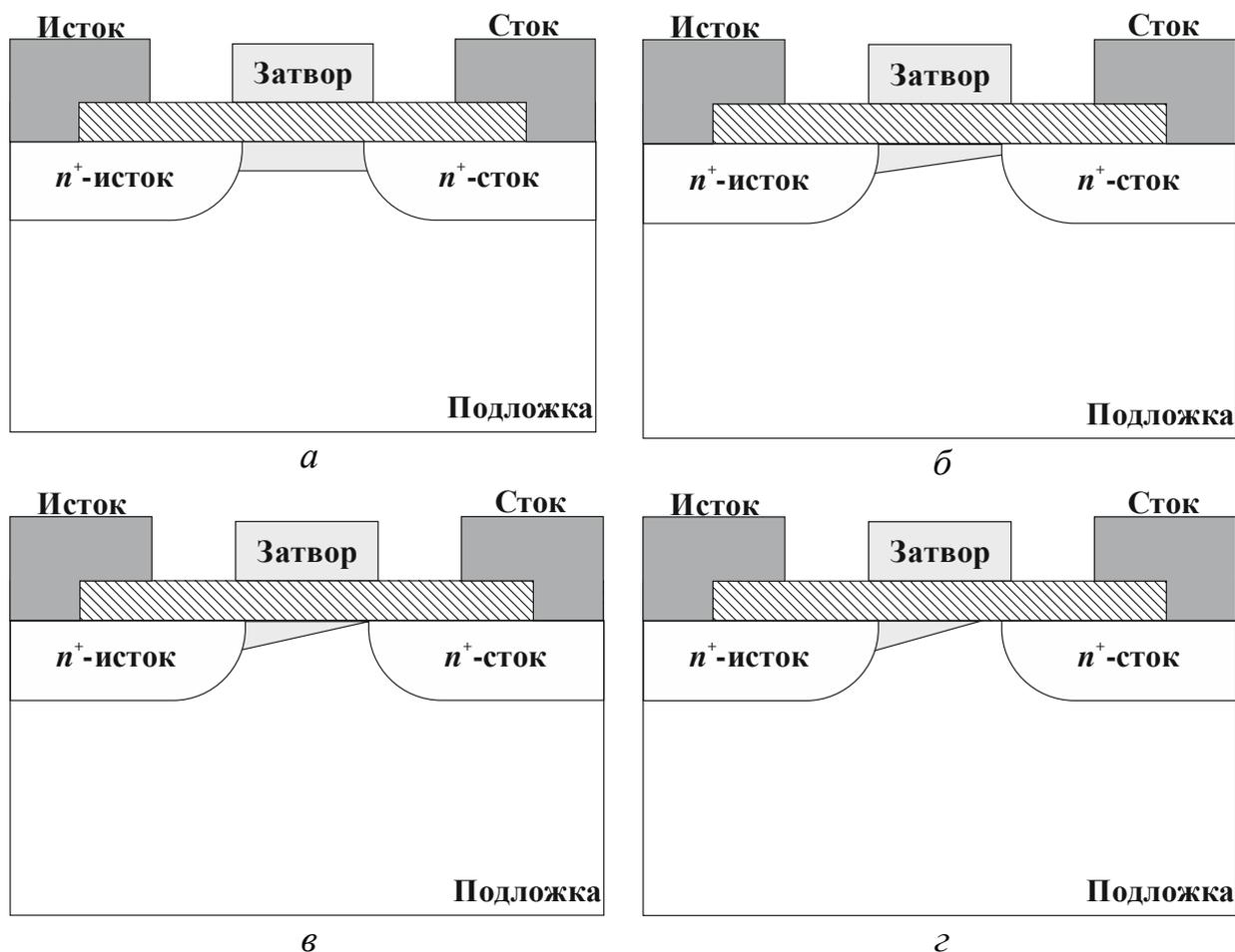


Рис. 1.1. Формирование канала нормально закрытого  $n$ -MOS-транзистора:

- a* – равномерный канал; *б* – суженный канал;
- в* – отсечка канала; *г* – модуляция длины канала

Таким образом, при подаче на затвор напряжения, достаточного для формирования инверсионного канала, т.е. порогового напряжения  $U_{пор}$ , по всей длине затвора на поверхности полупроводника формируется индуцированный  $n-p$ -переход «канал-подложка». В отсутствии напряжения сток-исток  $U_D$  ток через структуру не протекает, и канал характеризуется одинаковым по всей длине поперечным сечением и равномерной концентрацией электронов (рис. 1.1а). Система находится в равновесном состоянии. При подаче напряжения на сток  $U_D$  через транзистор начинает протекать ток стока  $I_D$ , тем больший, чем больше  $U_D$ . При этом падение напряжения, которое возникает от прохождения тока стока по омическому сопротивлению канала, создает дополнительное к напряжению затвора обратное смещение распределенного

по длине канала индуцированного  $n$ - $p$ -перехода «канал-подложка». При малых относительно  $U_G - U_{nop}$  значениях  $U_D$  обратное смещение незначительно относительно поперечного поля затвора, и транзистор работает в линейном режиме. Однако при более высоких значениях  $U_D$  обратным смещением  $n$ - $p$ -перехода «канал-подложка» пренебрегать уже нельзя. Обратное смещение увеличивается от истока к стоку. В этом же направлении расширяется область обеднения, уменьшая поперечное сечение канала и плотность неравновесных электронов  $n$  в канале (рис. 1.1б). То есть, прохождение тока по индуцированному каналу MOS-структуры автоматически превращает его в канал переменного поперечного сечения, которое сужается от истока к стоку.

Сужение канала уменьшает проводимость зауженной части канала, что при неизменном напряжении означает уменьшение тока. В то же время сила тока во всех участках канала одинакова. Необходимое для этого постоянство потока электронов в канале при уменьшении плотности электронов  $n$  обеспечивается за счет увеличения дрейфовой скорости электронов  $v$ , вызванного повышением напряженности продольного (вдоль канала) электрического поля  $E$  в зауженном участке канала. Большая часть напряжения стока падает в зауженной части канала, поэтому напряженность электрического поля там велика. Но, как известно, с ростом  $E$  происходит насыщение дрейфовой скорости, так что с увеличением напряжения стока сечение канала у стока, в конце концов, уменьшается до минимальной величины, при которой дрейфовая скорость электронов  $v$  достигает насыщения. Происходит отсечка канала (рис. 1.1в). Напряжение стока, соответствующее отсечке канала, называется напряжением насыщения.

При дальнейшем росте напряжения стока  $U_D$  дальнейшее сужение канала у стока становится невозможным, и точка канала, соответствующая условию отсечки, сдвигается ближе к истоку (рис. 1.1г). В первом приближении от истока до точки отсечки канала падает одинаковое напряжение  $U_G - U_{nop}$ , независимое от  $U_D$ . Таким образом, при напряжении на стоке большим, чем напряжение отсечки, эффективная длина канала оказывается меньше его

длины при  $U_D = 0$  В, соответственно меньше и его сопротивление [14]. Данный эффект получил название модуляции длины канала или CLM-эффект (*Channel Length Modulation*) в зарубежной литературе. Для случая длинноканального транзистора модуляция длины канала оказывается незначительной относительно его длины, и ток стока в первом приближении не изменяется вплоть до достижения напряжения пробоя сток-исток  $U_{проб}$ . В случае же короткоканального транзистора (длина канала порядка 0,5 мкм) CLM-эффект оказывается значительным, и ток стока продолжает возрастать при  $U_D > U_{D\text{ нас}}$ .

Таким образом, в классических MOS-транзисторах насыщение тока стока связано, во-первых, с уменьшением плотности электронов в поперечном сечении канала и, во-вторых, с насыщением дрейфовой скорости электронов. В то же время, эффект модуляции длины канала в случае короткоканальных приборов вызывает отклонение от строгого насыщения тока. Как будет показано ниже, насыщение тока в LDMOS-транзисторе имеет принципиально иной механизм. Это является следствием его конструктивных особенностей.

## 1.2. Конструкция LDMOS-транзисторов

Базовая конструкция LDMOS-транзистора представлена на рисунке 1.2. LDMOS-транзисторы представляют собой развитие DMOS-структур, поэтому изготавливаются по классической эпитаксиально-планарной кремниевой технологии. В качестве исходного материала используется низкоомная подложка  $p$ -типа проводимости с кристаллографической ориентацией (100). На подложке выращивается эпитаксиальный  $p$ -слой, толщина и удельное сопротивление которого подбираются исходя из требуемого уровня пробивного напряжения  $U_{проб}$ .

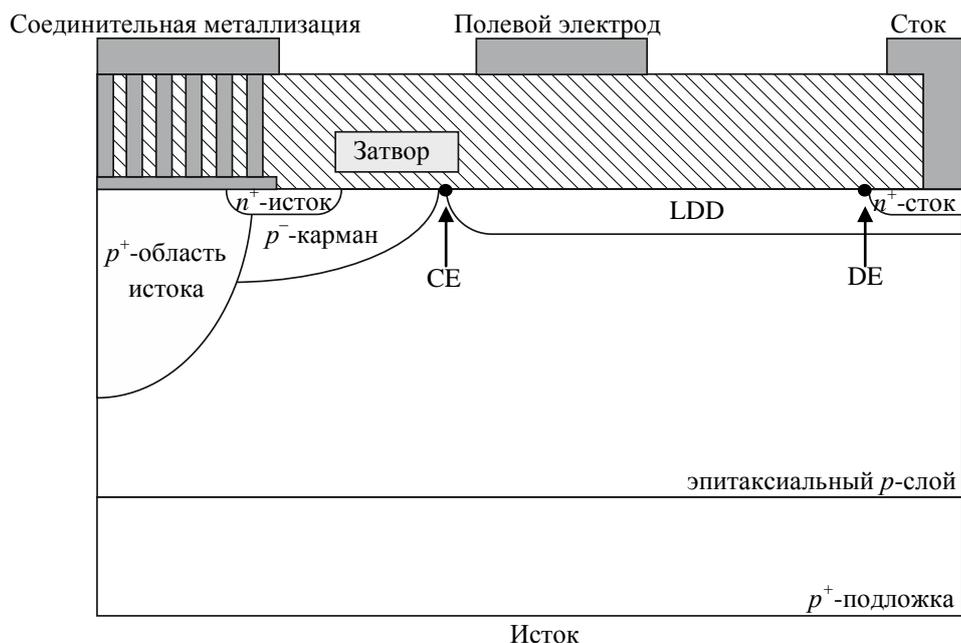


Рис. 1.2. Базовая конструкция LDMOS-транзистора

Контакт истока выводится на обратную поверхность кристалла. Этим достигается минимальная индуктивность истока (ввиду отсутствия необходимости разваривать исток проволочными выводами) и улучшается теплоотвод (ввиду отсутствия необходимости изолировать кристалл от фланца корпуса прибора). С  $n^+$ -областью истока  $p^+$ -подложка соединяется посредством глубокой диффузионной  $p^+$ -области и соединительной металлизации. Диффузионная  $p^+$ -область редко достигает  $p^+$ -подложки. На практике существует «зазор» между подложкой и диффузионной  $p^+$ -областью, концентрация бора в котором соответствует уровню примеси в эпитаксиальном слое, что увеличивает сопротивление истока и снижает крутизну переходной ВАХ прибора.

В качестве материала для затвора используется поликремний, легированный фосфором методом ионной имплантации с высокой дозой. Выбор поликремния в качестве материала затвора дает возможность использовать затвор в качестве маски для последующих операций создания истоковой и стоковой областей. Этот метод самосовмещенного затвора (именно он подразумевается под термином *Double-diffused* в аббревиатуре технологии), позволя-

ет повысить воспроизводимость электрофизических параметров прибора. Длина затвора как правило находится в пределах 0,3-0,8 мкм.

В отличие от классических MOS-транзисторов, где инверсионный канал формируется в равномерно легированном эпитаксиальном слое, в LDMOS-технологии для достижения требуемого уровня порогового напряжения  $U_{пор}$  проводится ионное легирование  $p^-$ -кармана, маской для которого служит поликремниевый затвор. Необходимость  $p^-$ -кармана вызвана в первую очередь тем, что концентрация бора в эпитаксиальном слое LDMOS-транзистора, как правило, мала из-за необходимости достижения высокого уровня  $U_{проб}$ , так что без дополнительного легирования канал может возникнуть уже при нулевом смещении на затворе под действием встроенных зарядов на границе окисла с кремнием. Существует два основных способа создания  $p^-$ -кармана [4, 5, 6]:

- ионное легирование сквозь затвор с последующим кратковременным отжигом. В таком случае профиль залегания примеси при ионном легировании определяется положением фоторезистивной маски (без самосовмещения по затвору) и энергией имплантируемых ионов;
- ионное легирование с относительно низкой энергией и длительной диффузионной разгонкой.

На рисунке 1.3 представлены профили распределения примеси вдоль канала, полученные каждым из способов.

Ключевой особенностью LDMOS-транзистора является дрейфовая область стока или LDD-область (*Lightly Doped Drain*). Она представляет собой протяженную слаболегированную область  $n$ -типа проводимости, простирающуюся от  $n^+$ -стока (на рисунке 1.2 этот край обозначен DE – *drain edge*) до края затвора (обозначен CE – *channel edge*). Именно параметры LDD-области вместе с эпитаксиальным слоем определяют важнейшие параметры LDMOS-структуры: напряжение пробоя сток-исток, сопротивление сток-исток в открытом состоянии  $R_{СИ}$ , выходная ёмкость  $C_{вых}$  и др.

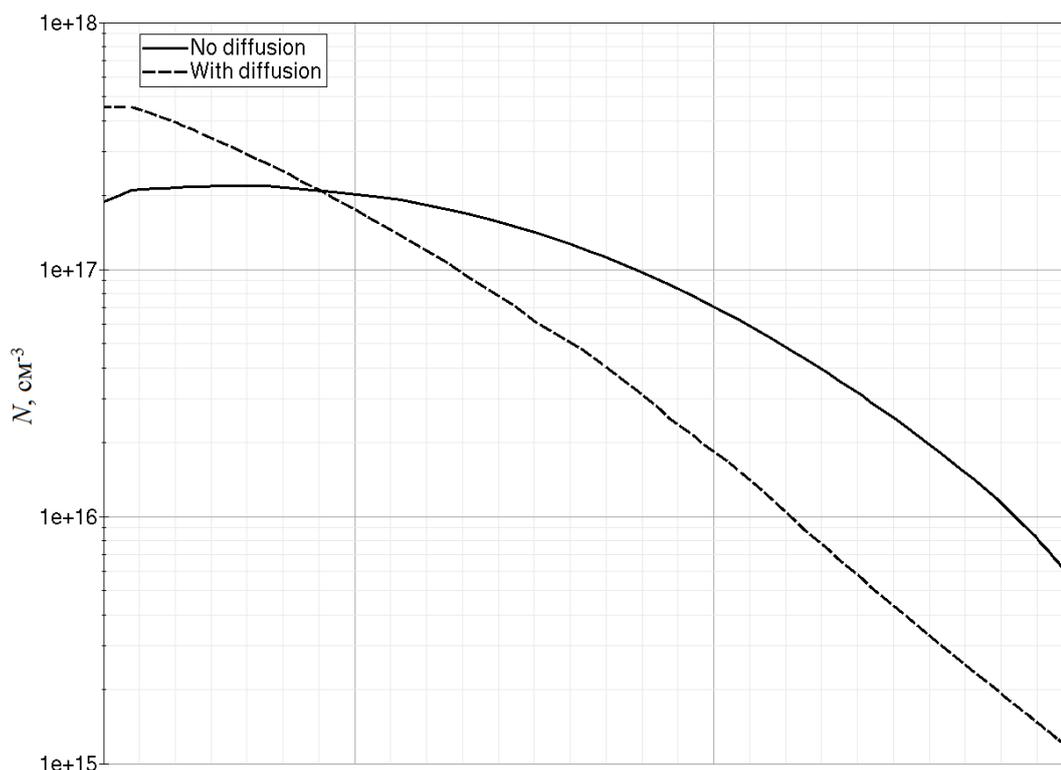


Рис. 1.3. Профили распределения бора вдоль канала LDMOS-транзистора, полученные кратковременным отжигом (сплошная линия) и длительной диффузионной разгонкой (пунктирная линия)

Первые LDMOS-структуры имели равномерно легированную LDD-область [41]. В дальнейшем появились более сложные структуры с отрицательным и положительным градиентом концентрации примеси. Первые представляют собой обычную LDD-область, прилегающий к затвору участок которой подвергается дополнительному ионному легированию – так называемый HDD-участок [88] (рис. 1.4а). При подборе соответствующей конструкции полевого электрода, подобная структура позволяет по сравнению с равномерно легированной LDD-областью снизить  $R_{СИ}$  без потери в межэлектродных ёмкостях и пробивном напряжении [9, 27].

LDD-область с положительным градиентом концентрации примеси в простейшем двухслойном случае представляет собой инвертированную LDD-область с отрицательным градиентом: более высоколегированный участок располагается ближе к  $n^+$ -стоку (у DE), слаболегированный – ближе к затвору [7, 21] (рис. 1.4б). LDD-область с положительным градиентом концентрации

примеси позволяет существенно снизить выходную ёмкость без ухудшения других параметров, а также увеличить  $U_{проб}$ . Принципиальным при этом является то, что уровень легирования слаболегированного участка должен быть ниже, чем в случае простой равномерно легированной LDD-области. Более того, за счет полученного запаса по напряжению пробоя появляется возможность уменьшить общую протяженность LDD-области и добиться снижения как выходной ёмкости, так и сопротивления  $R_{СИ}$  [12].

Также возможно создание LDD-области, совмещающей в себе и отрицательный, и положительный градиенты примеси. Это позволяет реализовать положительные стороны обеих конструкций, причем наблюдается синергетический эффект: улучшение электропараметров оказывается выше, чем у каждой из структур по отдельности [26]. Также известны и более оригинальные конструкции LDD-области, включающие в себя дополнительный  $p$ -карман в LDD-области у границы СЕ [19, 25, 89], четыре подслоя с разными уровнями легирования [38], формирование дополнительного толстого окисла над LDD-областью [37] или наоборот вытравливание в ней канавки [118].

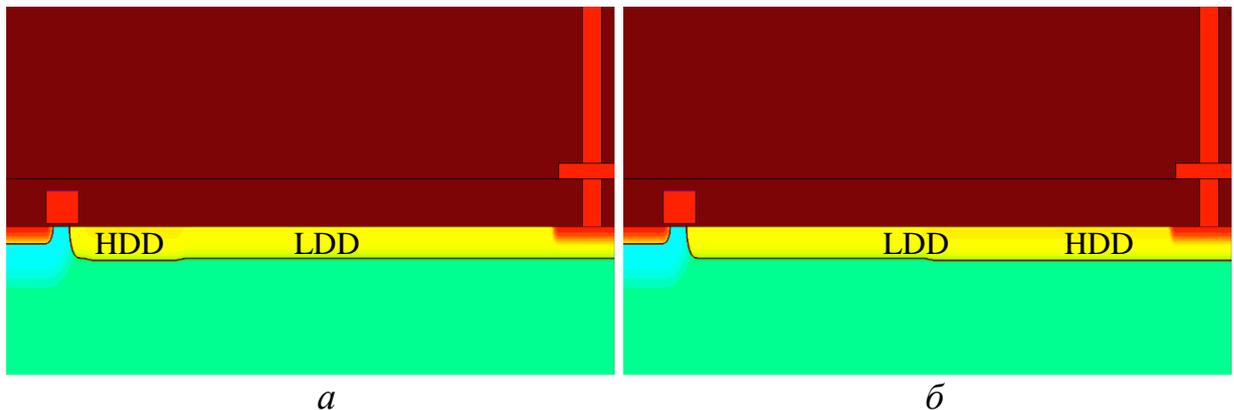


Рис. 1.4. Структура двухслойной LDD-области:

*а* – с отрицательным градиентом концентрации примеси;

*б* – с положительным градиентом концентрации примеси

Другим важным элементом конструкции LDMOS-транзистора выступает плата Фарадея или полевой электрод (ПЭ). ПЭ представляет собой заземленный (соединенный с истоком) проводящий экран, частично перекры-

вающий LDD-область. Влияние ПЭ на LDD-область аналогично влиянию затвора на канальную область: за счет эффекта поля меняется концентрация носителей заряда в приповерхностном слое, при этом подача положительного напряжения питания на сток относительно истока эквивалентна подаче отрицательного напряжения на ПЭ. Однако ввиду большой толщины диэлектрика под ПЭ вместо инверсии проводимости происходит обеднение основными носителями. Это снижает эффективную концентрацию примеси в LDD-области, что дает возможность повысить дозу легирования LDD-области для снижения ее сопротивления и при этом избежать падения  $U_{проб}$ . Кроме того, наличие ПЭ в зависимости от его конструктивных параметров способно существенно сказаться на межэлектродных ёмкостях [13].

В настоящее время существует несколько конструкций ПЭ: ПЭ, выполненный в первом слое металла (рис. 1.5а), ПЭ в виде ступеньки вблизи затвора (рис. 1.5б), а также многоступенчатые ПЭ, допускающие в том числе комбинацию двух предыдущих конструкций (рис. 1.5в,г). ПЭ в слое первого металла представляет собой простейшую конструкцию ПЭ. Ступенчатый ПЭ в сравнении с ПЭ в первом слое металла располагается ближе к LDD-области и потому имеет большее полевое воздействие на нее. Помимо «классических» ступенчатых конструкций существуют их некоторые разновидности, однако различия между ними не столь велики [78]. Существенным недостатком конструкции с ПЭ в форме ступеньки является ее неприменимость для транзисторов, рассчитанных на высокое напряжение питания, так как такие приборы характеризуются большей протяженностью LDD-области, а ступенчатые ПЭ существенно ограничены по длине, т.к. при попытке сделать протяженный ступенчатый ПЭ неизбежно падает  $U_{проб}$ . В результате ПЭ оказывает воздействие лишь на незначительную часть LDD-области мощных транзисторов, соответственно большого прироста электрофизических параметров достичь не удастся [26]. Наиболее эффективной является конструкция многоуровневого ПЭ, где первый уровень (либо уровни) формируется в виде ступеньки над краем затвора, а последний формируется в слое первого ме-

талла. При этом проектирование такого ПЭ затруднено из-за большого числа взаимозависимых конструктивных параметров, определяющих эффективность ПЭ. Кроме того существенно возрастает технологическая сложность конечного изделия. В настоящий момент российские разработчики остановились на варианте двухуровневого ПЭ.

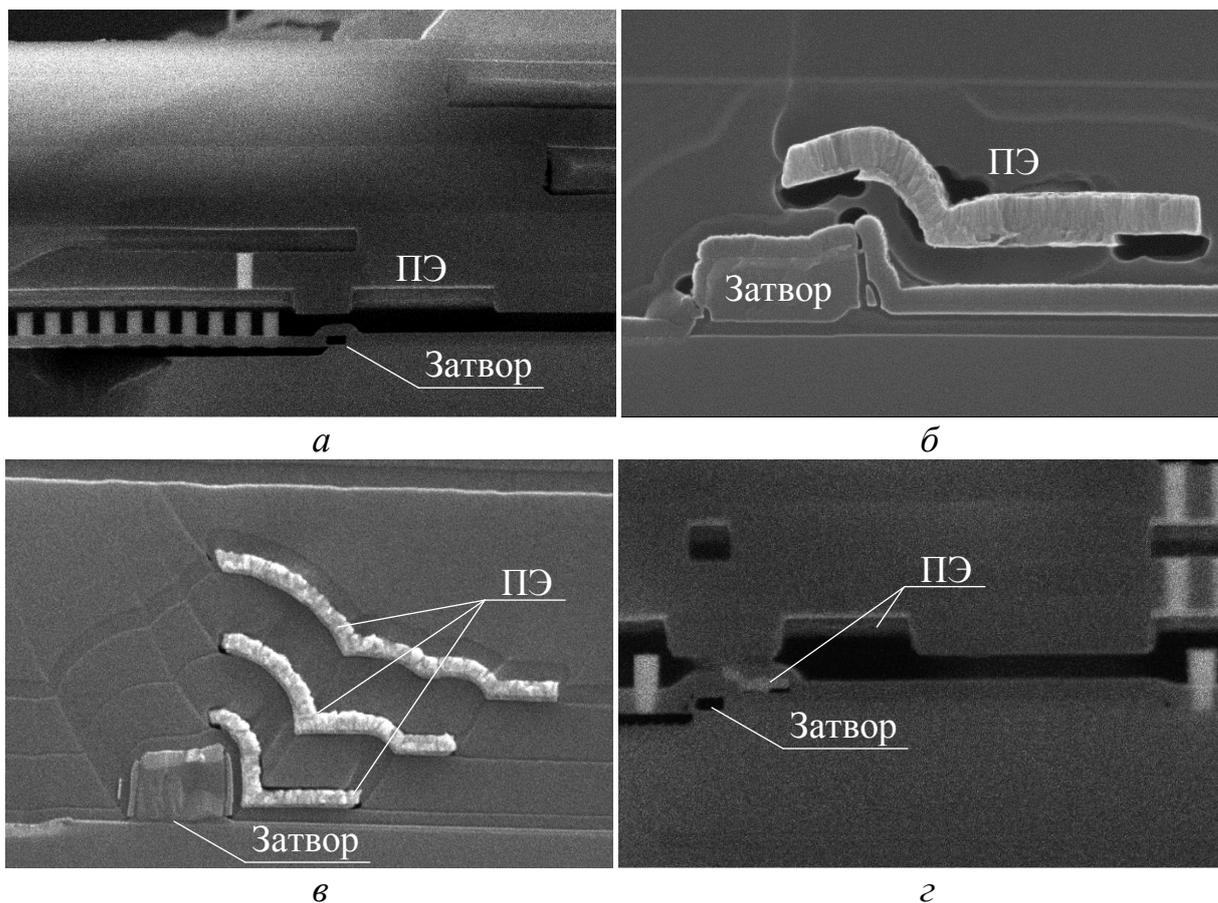


Рис. 1.5. Полевой электрод над LDD-областью LDMOS-транзистора:  
*а* – в слое первого металла; *б* – ступенчатый;  
*в* – трехуровневый ступенчатый;  
*г* – двухуровневый: первый ступенчатый, второй в слое первого металла

### 1.3 Насыщение ВАХ в LDMOS-транзисторах

Семейства выходных и переходных вольт-амперных характеристик мощного СВЧ LDMOS-транзистора с ярко выраженным эффектом квазинасыщения приведены на рисунке 1.6. Как видно даже по общему виду ВАХ LDMOS-транзисторы существенно отличаются от классических MOS-

транзисторов. Причины таких различий объясняются конструкцией LDMOS-транзисторов. Если в первом приближении  $R_{СИ}$  MOS-транзистора целиком определяется сопротивлением канала, то в LDMOS-транзисторах сопротивление канала составляет лишь незначительную часть общего сопротивления сток-исток, а определяющую роль играет сопротивление LDD-области. Как было сказано выше, LDD-область позволяет транзистору выдерживать высокие напряжения питания. Благодаря наличию этой области достигается RESURF-эффект – эффект снижения напряженности электрического поля на поверхности полупроводника (*REduced SURface Field*) [ 59, 65, 119], принцип действия которого проиллюстрирован на рисунке 1.7.

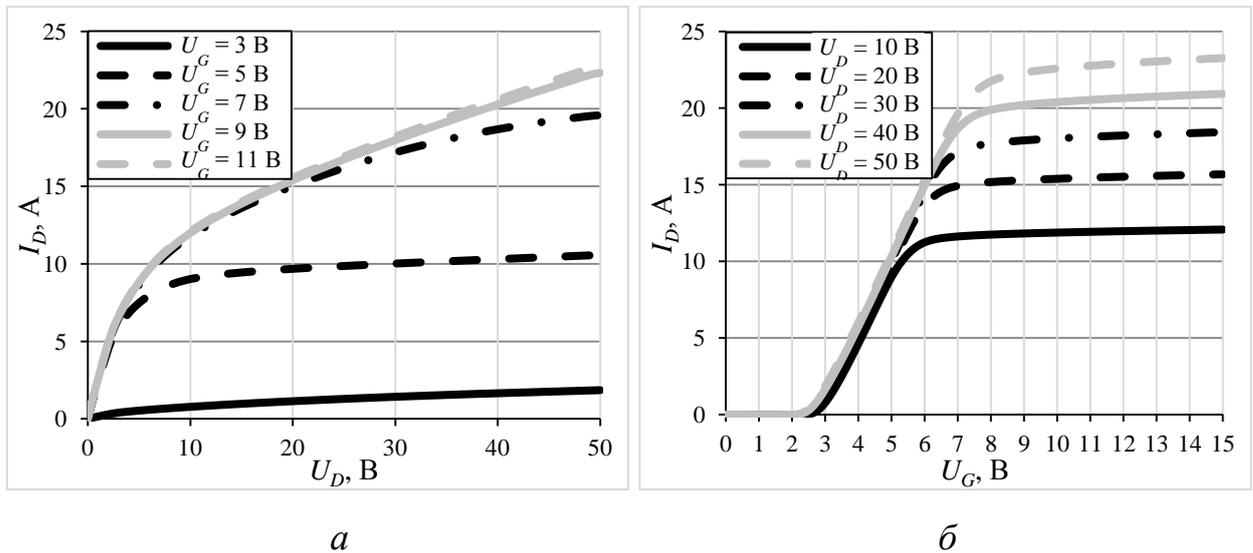


Рис. 1.6. Семейства ВАХ СВЧ LDMOS-транзистора:  
 $a$  – выходных;  $b$  – переходных

LDD-область образует два  $p$ - $n$ -перехода: между  $p^-$ -карманом и LDD-областью и между эпитаксиальным слоем и LDD-областью. Так как концентрация примеси в  $p^-$ -кармане выше, чем в эпитаксиальном слое, то обозначим первый как  $p^+ - n^-$ -переход. Если LDD-область выполнена относительно глубокой либо высоколегированной, то эти два  $p$ - $n$ -перехода оказывают друг на друга малое влияние (рис. 1.7а).

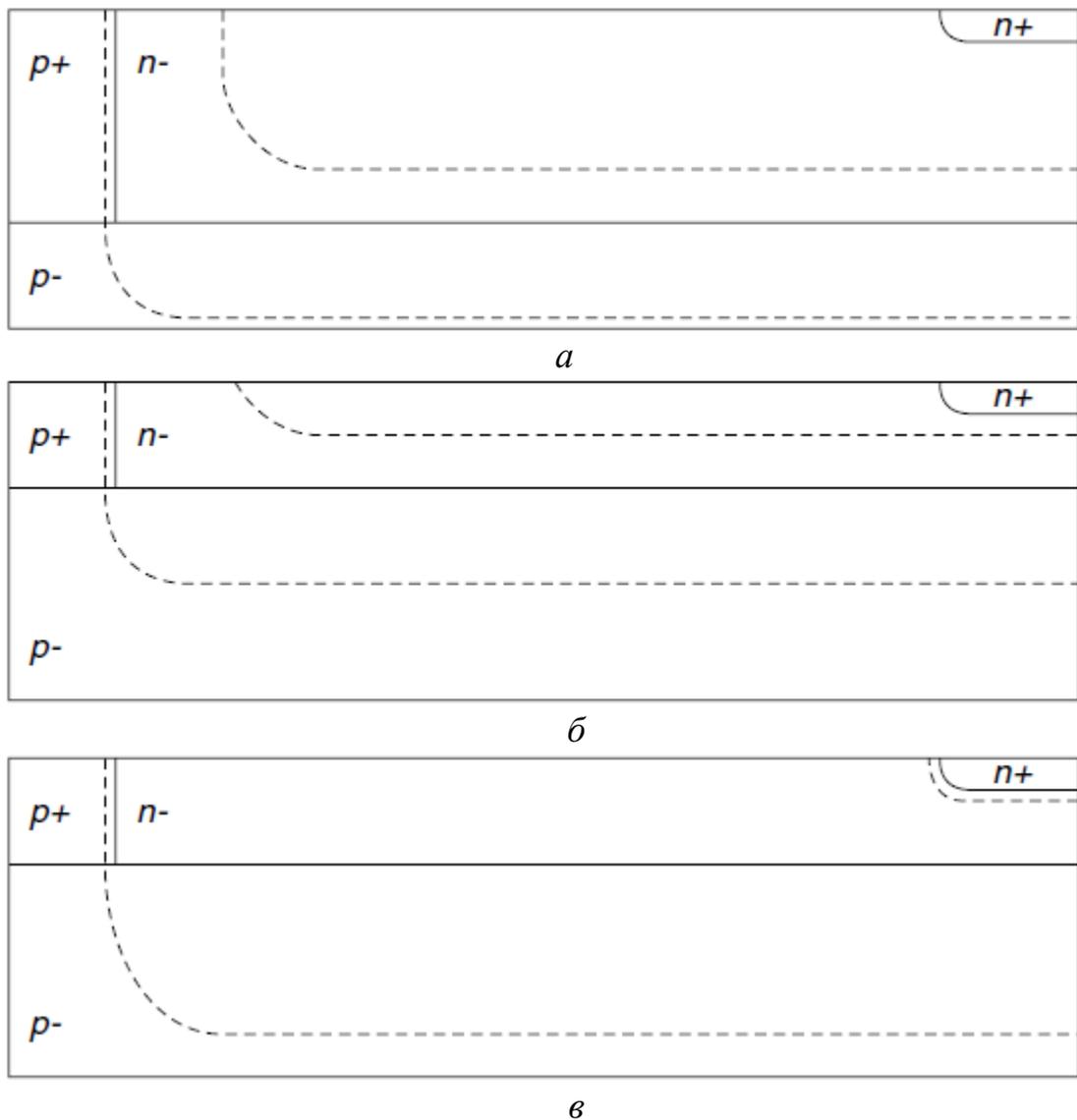


Рис. 1.7. Принципиальная структура LDD-области и схема ее обеднения:  
 а – глубокая LDD-область; б – тонкая LDD-область;  
 в – тонкая LDD-область при высоком напряжении на стоке

В этом случае  $U_{проб}$  определяется  $p^+ - n^-$ -переходом, так как в силу большей концентрации легирующей примеси в  $p^-$ -кармане его ОПЗ будет тоньше. Если же LDD-область достаточно тонка и слаболегирована, то области пространственного заряда переходов будут накладываться друг на друга

(рис. 1.7б). В результате толщина обедненного слоя  $p^+ - n^-$ -перехода окажется существенно больше, нежели в первом случае, что приведет к перераспределению напряженности электрического поля и снижению напряженности на

поверхности. При повышении напряжения на стоке участок LDD-области, расположенный ближе к  $p^-$ -карману, обедняется сильнее, что в конце концов приводит к полному обеднению LDD-области до достижения пробоя (рис. 1.7в). Таким образом напряжение пробоя  $U_{проб}$  становится независимым от степени легирования  $p^-$ -кармана и полностью определяется параметрами LDD-области и эпитаксиального слоя. Этот принцип был предложен в 1979 году Аппельсом (*Appels*) и Ваесом (*Vaes*) [84].

Следствием RESURF-эффекта является расширение ОПЗ не в сторону канала транзистора, а вглубь эпитаксиального слоя [41]. В результате в LDMOS-транзисторах рассмотренное в главе 1.1 падение напряжения вдоль канала существенно ограничено и не существенно при напряжении на затворе, много большем чем  $U_{nop}$  (рис. 1.8). Это означает, что для LDMOS-транзисторов не характерны такие эффекты, как отсечка канала или модуляция его длины [68]. Таким образом, квазинасыщение не может быть объяснено тем же механизмом, что и насыщение в классических MOS-транзисторах.

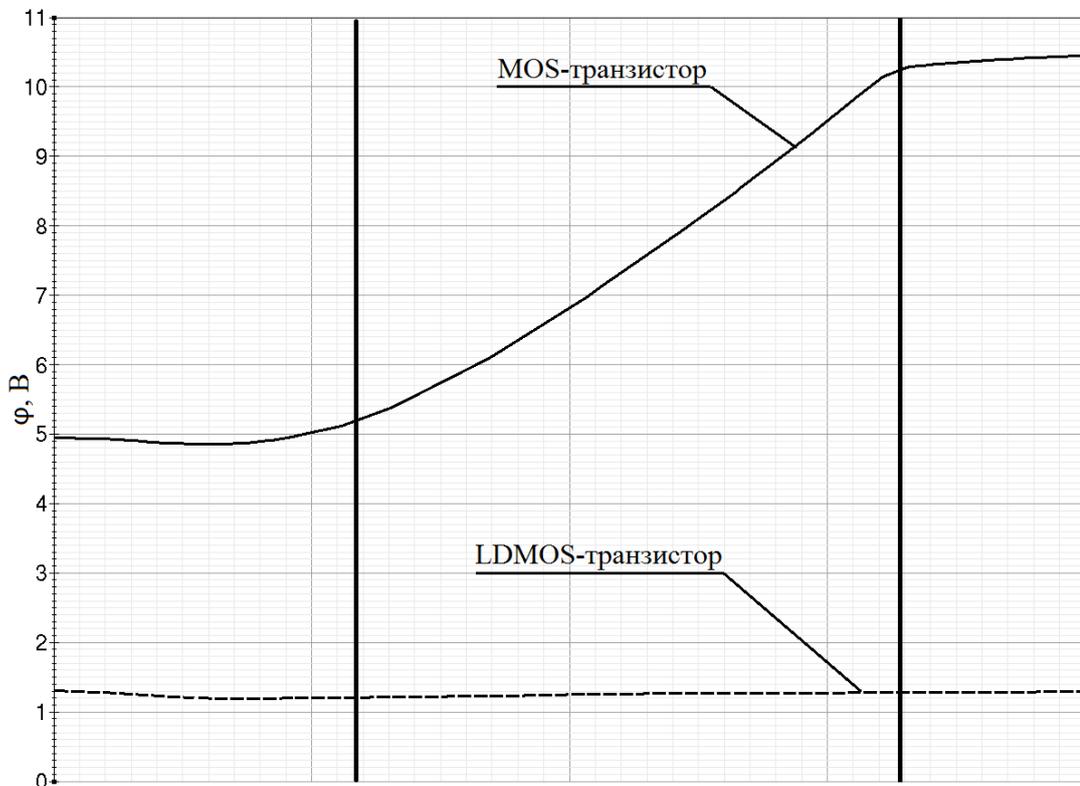


Рис. 1.8 Распределение потенциала в подзатворной области

классического MOS- и LDMOS-транзистора при  $U_D = 10$  В,  $U_G = 15$  В  
выделенный участок соответствует физическому каналу

Существуют различные объяснения эффекта квазинасыщения, рассмотренные, как правило, на примере DMOS-транзисторов [76, 79, 95, 98, 99, 120], а потом распространенные на LDMOS-транзисторы.

Одно из первых объяснений эффекта квазинасыщения было дано Мухаммедом Дарвишем (Mohamed N. Darwish). В [76] он рассмотрел работу VDMOS-транзистора в режиме насыщения и квазинасыщения и показал, что в последнем случае не происходит отсечки канала. Само же квазинасыщение по Дарвишу возникает вследствие насыщения скорости носителей в регионе, расположенном между р-карманами – «шее» структуры (рис. 1.9).

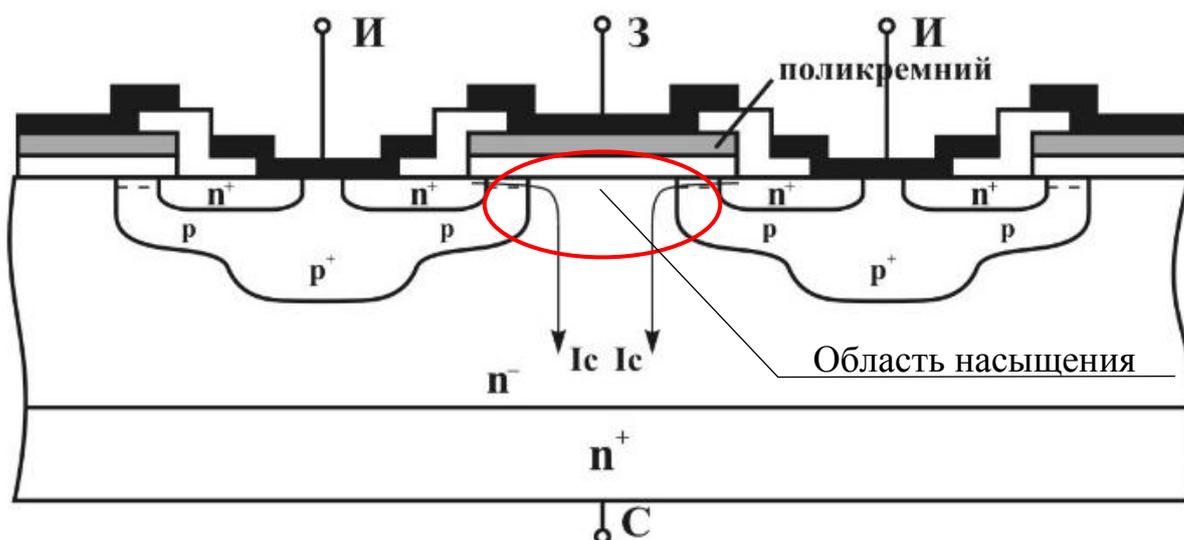


Рис. 1.9. Структура VDMOS-транзистора, показана область, где происходит насыщение скорости носителей

При достижении насыщения скорости, дальнейший рост  $I_D$  происходит за счет роста концентрации электронов  $n$ . По мере протекания тока через  $n^-$ -область к контакту стока на обратной стороне кристалла его путь расширяется, что при неизменной интегральной величине тока означает уменьшение концентрации электронов. На некоторой глубине этот процесс приводит к

падению  $n$  ниже значения равновесной концентрации электронов  $n_0$  и, соответственно, концентрации положительно заряженных ионов  $N_d$  (рис. 1.10).

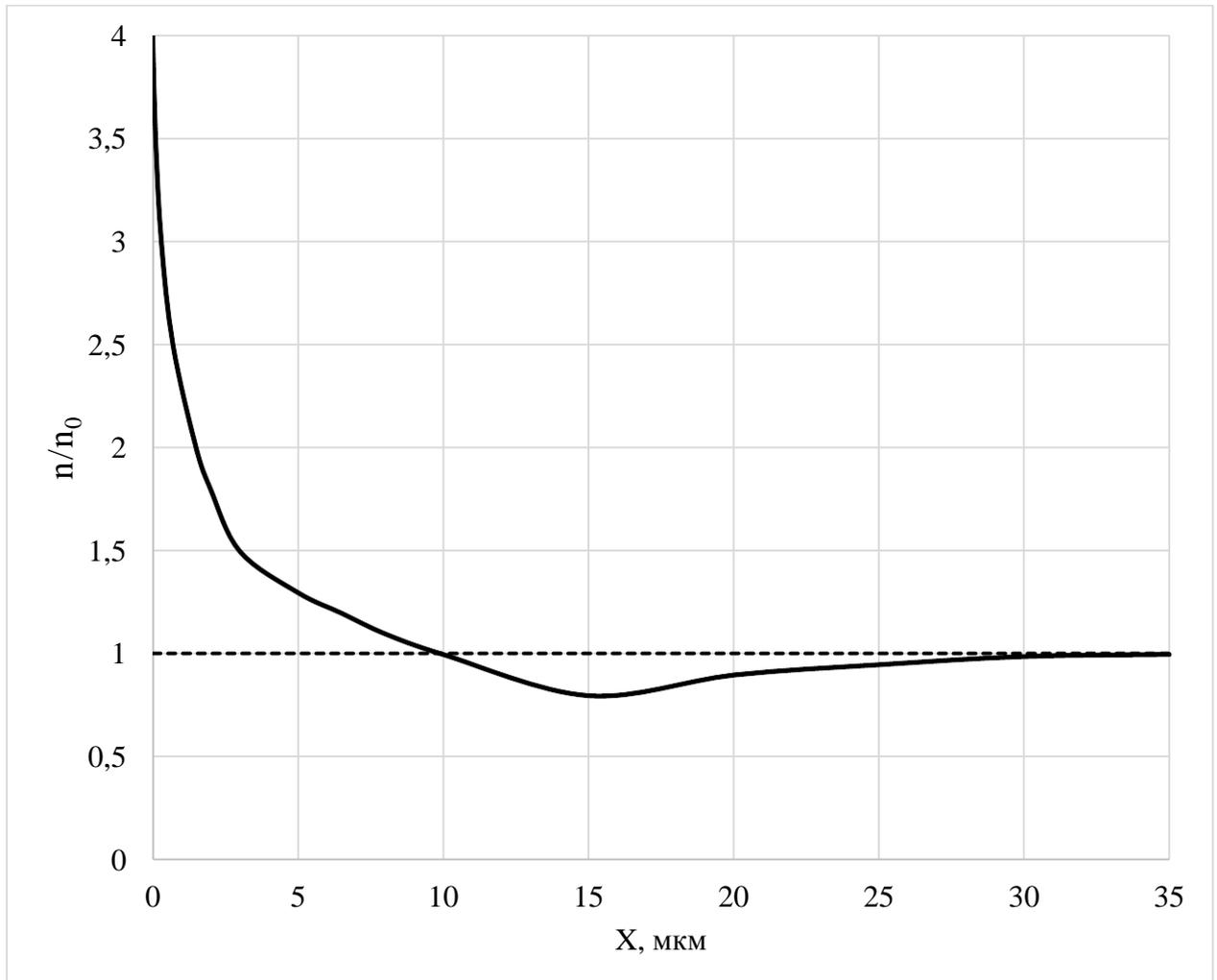


Рис. 1.10. Типовое распределение нормированной концентрации электронов  $n/n_0$  вдоль дрейфовой области VDMOS-транзистора

Таким образом в дрейфовой области возникает электрический диполь, который «поглощает» дополнительно приложенное  $U_D$ , что приводит к квазинасыщению ВАХ.

Джонатан Эванс (Jonathan Evans) и Гехан Амаратунга (Gehan Amaratunga) продолжили исследования Дарвиша в [79], объяснив, как возникновение диполя в стоковой области приводит к зависимости тока стока от  $U_D$ , несмотря на насыщение скорости носителей. Методом численного моде-

лирования они показали, что концентрация носителей у края затвора DMOS-транзистора продолжает возрастать при повышении  $U_D$  (рис. 1.11).

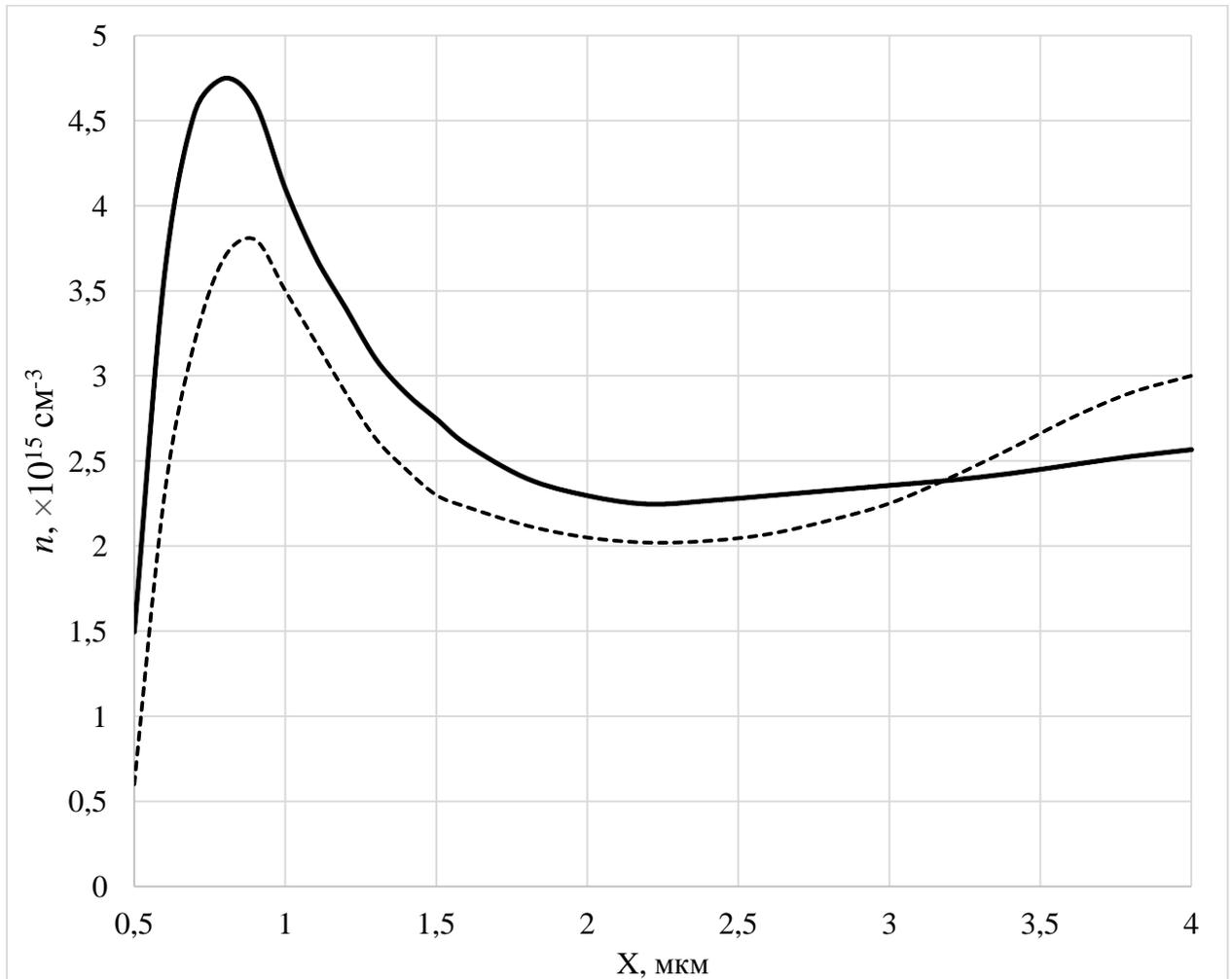


Рис. 1.11. Типовое распределение концентрации электронов вдоль дрейфовой области DMOS-транзистора: сплошная линия —  $U_D = 28 \text{ В}$ ; пунктирная линия —  $U_D = 20 \text{ В}$

Данное обстоятельство авторы объяснили эффектом емкости, возникающим в стоковой области. Согласно их рассуждениям, при повышении напряжения стока постепенно достигается насыщение скорости электронов и в нижней части стоковой области. Это приводит к повышению  $n$  на данном участке. Таким образом, формируются две области с высокой концентрацией электронов, разделенных участком с относительно низким значением  $n$ . Такая структура при повышении  $U_D$  ведет себя подобно емкости, и повышение

концентрации на одной «обкладке» приводит к росту  $n$  на другой. Это и обуславливает характерный вид ВАХ с отклонением от идеального насыщения.

В работе [95], повторяя рассуждение о возникновении в стоковой области DMOS-транзистора диполя, находят иное объяснение отклонению ВАХ от насыщения. Согласно Кройцеру (С. Н. Kreuzer) при высоком напряжении затвора переход исток-канал-сток может быть рассмотрен как  $n^+ - n^-$ -переход. При этом перекрытие затвором стоковой области DMOS-транзистора приводит к тому, что при повышении  $U_G$  происходит дополнительная инжекция носителей через данный  $n^+ - n^-$ -переход, что уменьшает эффективное сопротивление стоковой области и приводит к росту тока стока.

Сходные с Эвансом и Кройцером выводы также звучат в [98, 99]. Все рассмотренные выше работы объединяет вывод о том, что хотя отсечки канала и, соответственно, насыщения скорости носителей в канале не происходит, но насыщение скорости обнаруживается в участке стоковой области, непосредственно примыкающей к каналу. Таким образом авторы данных работ сходятся во мнении о причинах насыщения и расходятся лишь в вопросе отклонения от идеального насыщения при повышении  $U_D$ .

Однако Ляй Ванг (Lei Wang) и другие исследователи [120] показали, что указанный механизм насыщения характерен лишь для относительно малых значений напряжения затвора. Рассматривая уже непосредственно LDMOS-транзистор (в обозначении автора DEMOS – drain-extended MOS), Ванг показал, что при высоких  $U_G$  в результате инжекции электронов из канала концентрация носителей заряда  $n$  в участке стоковой области (LDD-области), примыкающим к каналу (CE), становится выше концентрации легирующей примеси. В результате на границе между каналом и LDD-областью исчезает как таковая область пространственного заряда, что приводит к тому, что напряжение сток-исток падает на остальной части LDD-области, а пик напряженности поля  $E$  смещается к  $n^+$ -стоку (DE). Это проиллюстрировано на рисунке 1.12.

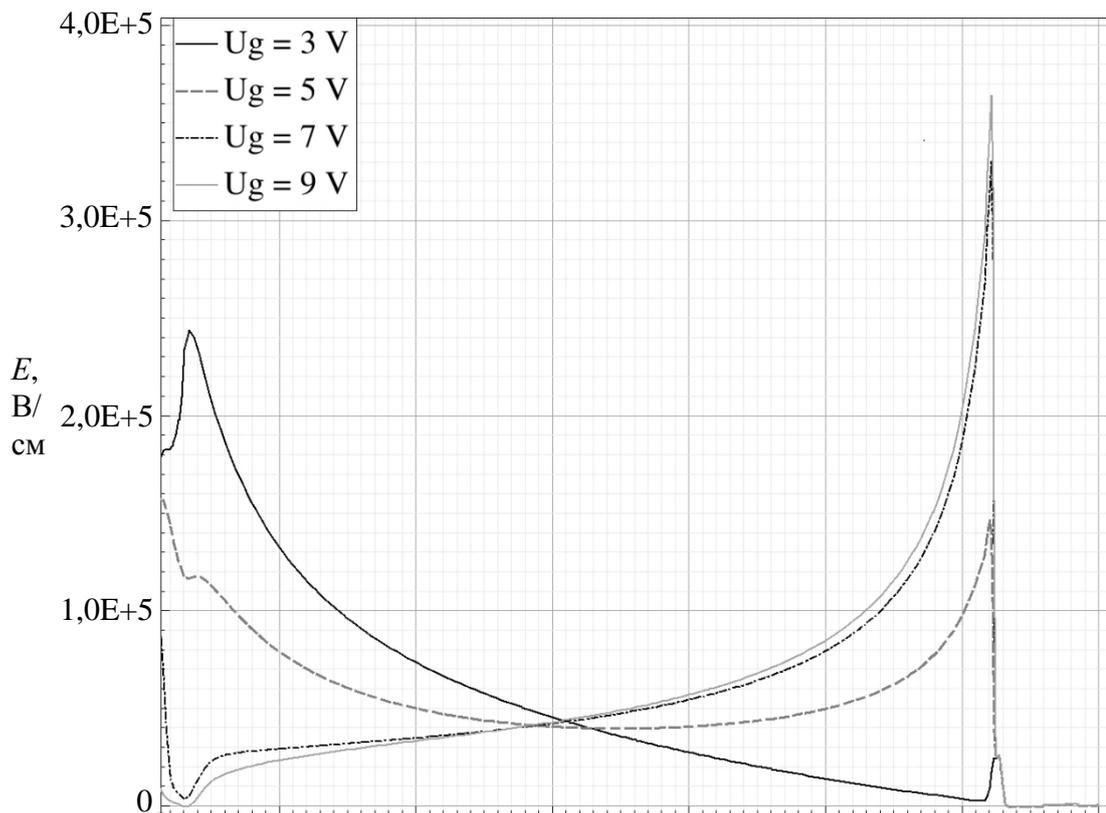


Рис. 1.12. Распределение напряженности электрического поля вдоль LDD-области при разных напряжениях на затворе,  $U_D = 50$  В

Ванг проводит аналогии этого эффекта с эффектом Кирка (*Kirk Effect*) или SCM-эффектом (*Space Charge Modulation*) [112], широко известному по своему проявлению в мощных биполярных транзисторах. Таким образом автор заключает, что в случае больших напряжений на затворе насыщение скорости происходит не у края затвора, а у края  $n^+$ -стока, что и приводит к насыщению выходной ВАХ, однако он в принципе не рассматривает насыщение переходной ВАХ.

Обобщили и дополнили эти исследования Сампат Кумар (B. Sampath Kumar) и Маянк Шривастава (Mayank Shrivastava). Они согласны с Вангом, что первопричиной квазинасыщения ВАХ LDMOS-транзистор выступает эффект Кирка, но отмечают, что сам по себе он не способен объяснить поведение тока стока в этом классе приборов [96, 97]. На рисунке 1.13 представлена зависимость  $n$  в точках CE и DE от напряжения на затворе при разных  $U_D$ . Аналогичные зависимости для  $v$  показана на рисунке 1.14. Первый вы-

вод, который можно сделать из приведенных данных – скорость  $v$  носителей заряда при низком  $U_D$  из диапазона 5-10 В даже при  $U_G = 9$  В ни в DE, ни в SE не достигает достаточно высоких значений для того, чтобы считаться насыщенной. Между тем переходная ВАХ (см. рис. 1.6б) в таком режиме уже насыщена, более того, при низком напряжении на стоке ВАХ насыщается даже раньше, чем при высоком. Таким образом, насыщение скорости носителей, разумеется, является причиной отклонения зависимости тока стока от напряжения затвора от прямой линии, однако одного лишь этого фактора недостаточно для насыщения переходной ВАХ.

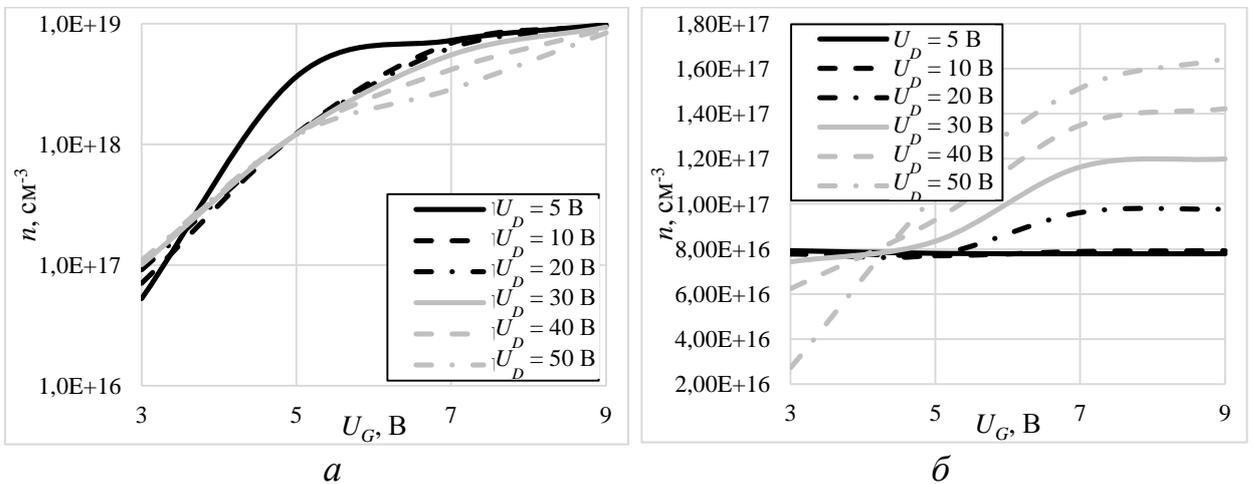


Рис. 1.13. Зависимость концентрации электронов от напряжения на стоке при разных  $U_G$ : а – в точке SE; б – в точке DE

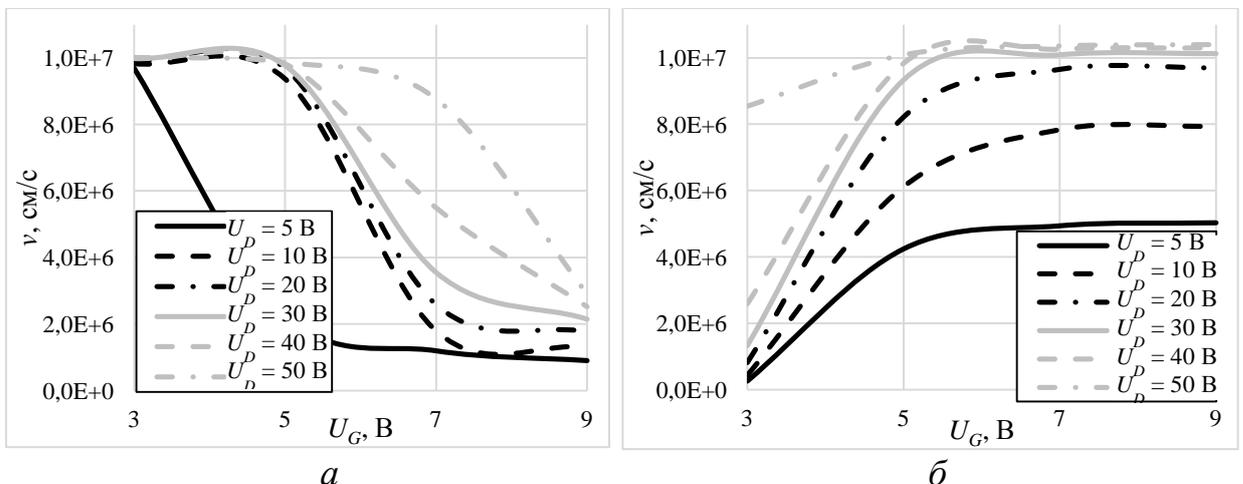


Рис. 1.14. Зависимость скорости электронов от напряжения на затворе при разных  $U_D$ : а – в точке SE; б – в точке DE

Другой, не менее важной, причиной насыщения выступает экранирование поля стока, сопровождающее эффект Кирка. Когда концентрация инжектированных электронов  $n$  превосходит концентрацию ионизированных доноров LDD-области, их суммарное поле начинает экранировать исток от напряжения на стоке. Таким образом повышение напряжения на затворе уменьшает тянущее поле стока, что в конечном итоге вызывает насыщение переходной ВАХ даже если скорость носителей далека от насыщения. Стоит отметить, что повышение  $U_D$  приводит к росту  $E$  у DE, повышая тем самым уровень  $n$  (а следовательно и  $U_G$ ), необходимый для экранирования поля стока. Следовательно, повышение напряжения на стоке означает не только рост тока насыщения, но и увеличение напряжения насыщения.

Для прояснения тонкостей описанных процессов можно обратиться к схеме на рисунке 1.15. На рисунке представлены изменения таких величин как концентрация электронов  $n$ , напряженность электрического поля  $E$ , подвижность  $\mu$  и скорость электронов  $v$  от напряжения затвора при  $U_D = 20$  В в точках CE и DE на глубине 5 нм от границы раздела кремний/оксид кремния. Также на рисунке показана переходная ВАХ. После того как  $U_G$  становится больше порогового напряжения (точка (а)), концентрация инжектированных из канала электронов резко возрастает. В точке (б)  $n$  у CE становится больше концентрации доноров  $N_d$ . Возникает эффект Кирка:  $E$  у CE резко снижается, в то время как у DE резко возрастает. Вследствие этого происходит восстановление подвижности  $\mu$  у CE и ее деградация у DE. Данный эффект усугубляется с дальнейшим ростом  $U_G$ . В точке (в) скорость электронов у DE достигает насыщения, что приводит к падению крутизны ВАХ. Однако  $E$  у DE продолжает нарастать, а вместе с ней ток стока. Но в конечном итоге продолжающийся с повышением  $U_G$  рост инжекции приводит к тому, что совокупный заряд электронов начинает экранировать поле стока. Таким образом повышение  $U_G$  приводит, с одной стороны, к усилению эффекта Кирка, а с другой к росту экранирующего поля. Эти два явления уравнивают друг друга, и в точке (г)  $E$  у DE насыщается и более не зависит от приращения  $U_G$ .

Подвижность также достигает своего конечного значения и сохраняется постоянной. Это ознаменует независимость тока стока от напряжения затвора, что и выражает квазинасыщение переходной ВАХ (точка д).

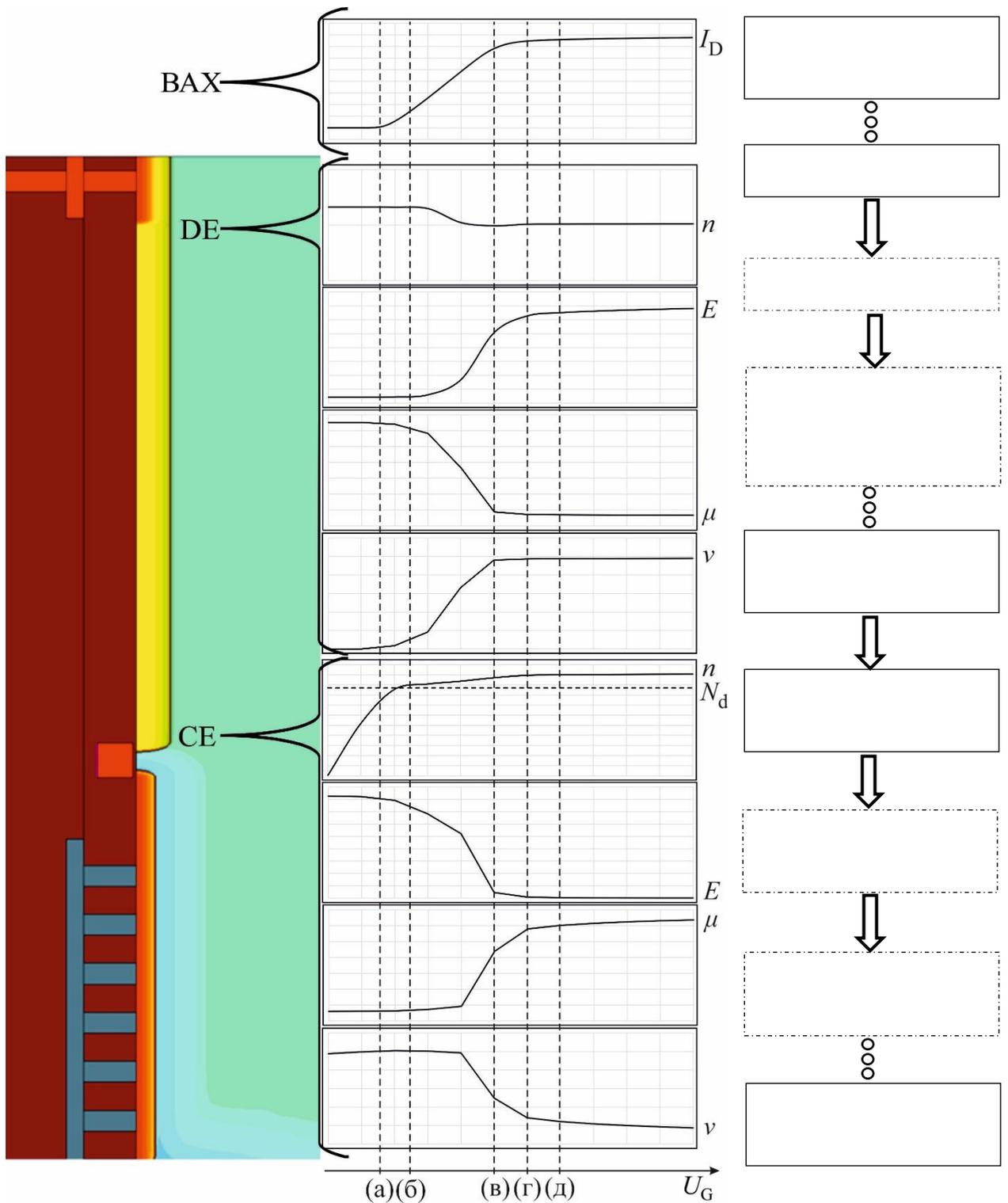


Рис. 1.15. Схема, поясняющая возникновение эффекта квазинасыщения

## 1.4 Негативные эффекты, вызываемые квазинасыщением ВАХ

После рассмотрения физических эффектов, лежащих в основе квазинасыщения, следует отдельно разобрать вызываемые им негативные последствия для параметров MOS-транзисторов и приборов на их основе.

Основной проблемой, вызываемой квазинасыщением переходной ВАХ, является сокращение протяженности линейного участка. Это накладывает свои ограничения при работе транзистора в качестве усилительного элемента в усилителях мощности. В таких приборах для усиления какого-либо электрического сигнала он подается на затвор транзистора вместе с напряжением смещения, задающим рабочую точку транзистора (режим работы транзистора при отсутствии входного сигнала). Так как напряжение на затворе определяет уровень тока стока, то выходной сигнал, снимаемый со стока, содержит в себе полную информацию о форме входного сигнала, обладая при этом в 10-100 раз большей мощностью.

Однако, строго говоря, это справедливо лишь при работе на линейном участке переходной ВАХ, когда приращение тока стока зависит от напряжения на затворе по линейному закону. Ввиду наличия насыщения переходной ВАХ, начиная с некоторого значения  $U_G$ , увеличение входного сигнала не будет вызывать такое же увеличение тока стока, как при более слабом сигнале. При достижении же полного насыщения ток стока вовсе перестает зависеть от входного сигнала. Это приводит к искажению формы входного сигнала.

Сокращение линейного участка ввиду квазинасыщения означает, что, начиная с некоторого уровня выходной мощности входной, сигнал будет сильнее искажаться транзистором по сравнению с гипотетическим прибором, характеризующимся аналогичным максимальным током, но с идеальным насыщением ВАХ. Схематично это продемонстрировано на рисунке 1.16. Если в точках А и А' (совпадают) форма выходного сигнала транзисторов с и без квазинасыщения совпадают, то в точках В и В' при одинаковом уровне

мощности выходного сигнала его форма будет существенно отличаться. Таким образом усугубляется проблема выбора между высокой точностью передачи входного сигнала и мощностью выходного сигнала.

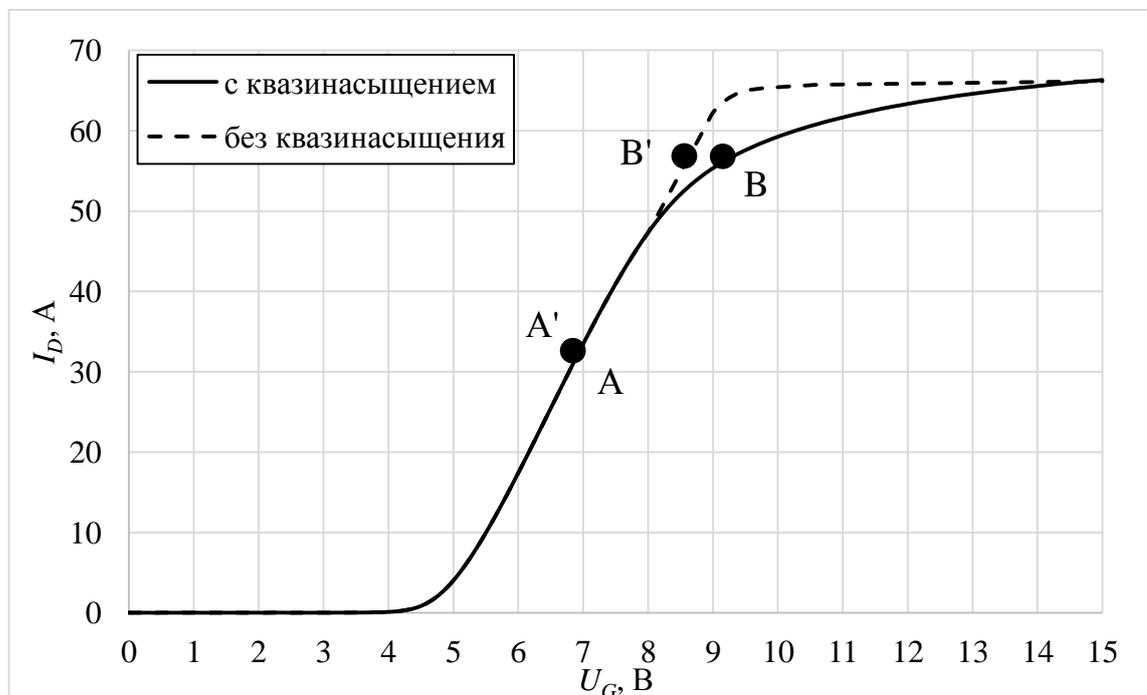


Рис. 1.16. Схематический режим работы транзистора с сильно выраженным квазинасыщением и транзистора с идеальным насыщением

Еще бóльшие проблемы может создать квазинасыщение выходной ВАХ. В усилителях мощности транзисторы зачастую работают при напряжениях, превосходящих напряжение питания. В определенные моменты времени фактическое напряжение на стоке транзисторного кристалла составляет два напряжения питания даже при отсутствии выбросов напряжения. При учете выбросов оно может быть и более. Если транзистор характеризуется высокой выраженностью квазинасыщения, то при таком увеличении напряжения на стоке в момент открывания транзистора происходит существенный рост тока по сравнению с идеально насыщенным транзистором. Так как этот ток представляет собой постоянную составляющую, то не приводит к росту выходной импульсной мощности, а лишь вызывает дополнительный нагрев кристалла. Это приводит к двум негативным факторам. Во-первых, дополни-

тельное тепло необходимо рассеивать, иначе произойдет перегрев кристалла, снижение подвижности носителей заряда и, следовательно, уменьшение мощности, причем уже не только постоянной, но и импульсной. Во-вторых, из-за увеличения постоянного тока уменьшается КПД прибора в целом.

Отсутствие полноценного насыщения выходных ВАХ означает, что при повышении напряжения сток-исток переходная ВАХ будет сдвигаться влево (рис. 1.17). Это может вызвать трудности при проектировании усилителя мощности на основе данного транзистора и определении рабочей точки, вплоть до того, что фактическая рабочая точка при напряжении питания будет не соответствовать требуемому классу усилителя.

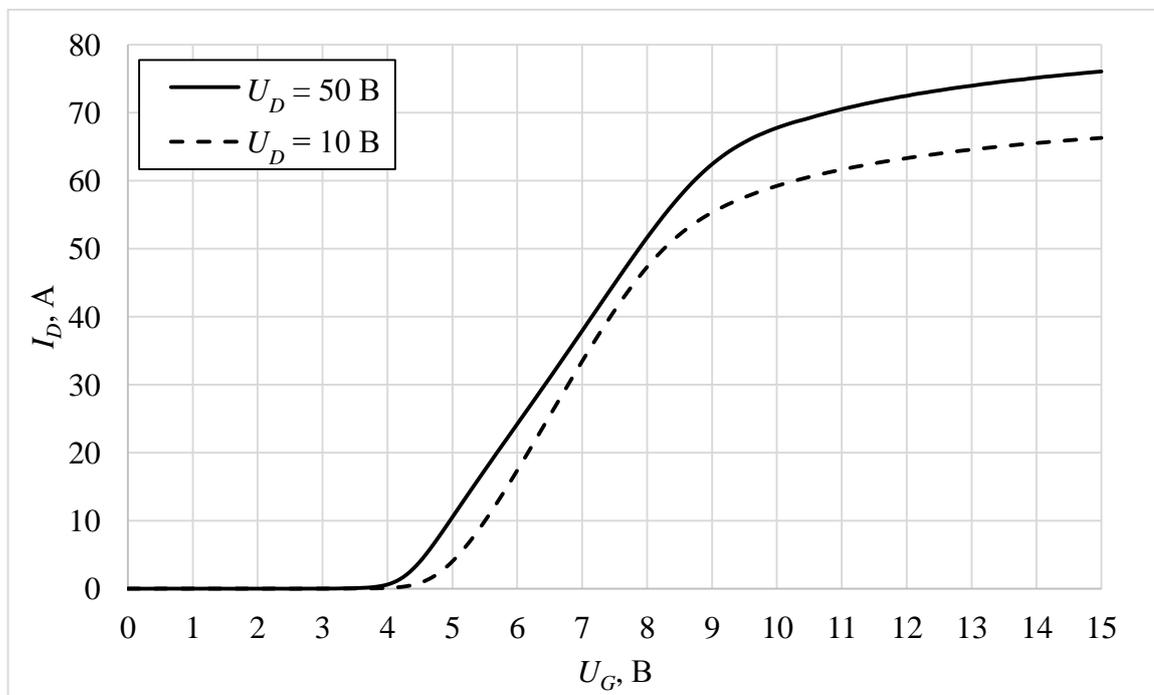


Рис. 1.17. Сдвиг переходной ВАХ при повышении  $U_D$

К другим неприятным моментам, вызываемых квазинасыщением, можно отнести разброс тока покоя между однотипными усилителями ввиду разброса номиналов нагрузки и напряжения питания. Кроме того, как будет показано в главе 3.1, степень выраженности квазинасыщения (наклон ВАХ) различна для разных напряжений на затворе. Это вызывает дополнительные

искажения при передаче входного сигнала. Этот эффект невозможно полностью подавить, однако его влияние не критично.

Также, в статье [100] указывалось, что минимизация эффекта квази-насыщения позволяет добиться лучшей линейности передаточной характеристики (на самом линейном участке) и повысить устойчивость транзисторной структуры к пробоем через паразитный биполярный транзистор, приводящему к катастрофическому отказу прибора [74].

При этом в статье [108] утверждалось, что снижение эффекта квази-насыщения положительно сказывается на надежности прибора и благодаря снижению инжекции горячих электронов в подзатворный диэлектрик, являющейся одной из основных причин постепенной деградации электростатических характеристик приборов во время работы [57, 67, 106].

В целом, можно заключить, что, хотя степень выраженности квази-насыщения не относится к основным параметрам LDMOS-транзисторов, она может существенно затруднить работу разработчиков приборов на основе данных изделий и отрицательно сказаться на конечных параметрах. Потому там, где это не вступает в противоречие с другими задачами, целесообразно стремиться к минимизации эффекта квази-насыщения.

## ВЫВОДЫ К ГЛАВЕ 1

1. Насыщение выходной ВАХ MOS-транзисторов вызывается отсечкой канала и насыщением дрейфовой скорости носителей заряда в результате прохождения тока стока по омическому сопротивлению канала, создающего дополнительное падение напряжения.

2. В LDMOS-транзисторах происходит насыщение не только выходной, но и переходной ВАХ. Причем насыщение выходной ВАХ выражено значительно слабее, чем в MOS-транзисторах (квазинасыщение).

3. Ввиду конструктивных особенностей в LDMOS-транзисторах падение напряжения на омическом сопротивлении пренебрежимо мало, соответ-

ственно отсечки канала не происходит. Основным конструктивным элементом, определяющим квазинасыщение, является LDD-область.

4. Причиной квазинасыщения ВАХ LDMOS-транзисторов выступают насыщение дрейфовой скорости носителей заряда в LDD-область. Положение участка LDD-области, где происходит насыщение зависит от величины приложенного напряжения затвор-исток. В случае относительно невысоких напряжений насыщение обнаруживается в участке LDD-области, непосредственно примыкающей к каналу.

5. В случае высоких напряжений затвор-исток, характерных для работы усилителей мощности, проявляется эффект Кирка. Данный эффект приводит к насыщению дрейфовой скорости в участке LDD-области, примыкающим к высоколегированной области стока, и экранированию свободными носителями поля стока. Суперпозиция этих двух явления приводит к квазинасыщению как переходной так и выходной ВАХ.

6. Эффект квазинасыщения ВАХ негативно сказывается на параметрах LDMOS-транзисторов и приборов на их основе и может привести к снижению их надежности.

## ГЛАВА 2. МОДЕЛЬ СВЧ LDMOS-ТРАНЗИСТОРА

### 2.1. Возможности и состав пакета САПР Sentaurus TCAD

Исследование эффекта квазинасыщения в мощных СВЧ LDMOS-транзисторах целесообразно проводить методом компьютерного моделирования. Преимущества моделирования перед реальным экспериментом хорошо известны: численный эксперимент требует несравненно меньше времени, менее затратен в финансовом плане и позволяет подробно рассмотреть все электрофизические характеристики, такие как распределение электрического поля, рекомбинация носителей заряда и т.д.

Основным средством моделирования различных электронных изделий в настоящий момент являются системы автоматизированного проектирования (САПР) – программные средства исследования и разработки современных полупроводниковых приборов [17, 18]. Решение задач автоматизации проектирования полупроводниковых приборов осуществляется на основе разработки системы взаимосвязанных моделей, обеспечивающих цикл «сквозного» проектирования. Такие комплексы программ должны выполнять задачи трех взаимосвязанных этапов:

- моделирование физической структуры прибора в соответствии с технологическим процессом его создания;
- моделирование необходимой совокупности электрофизических характеристик и параметров прибора;
- синтез электрических моделей для схемотехнических расчетов с учетом режимов работы реальных приборов, что придает такому подходу к моделированию «сквозной» характер.

Одним из основных элементов автоматизированного проектирования является приборно-технологическое моделирование с помощью TCAD (*Technology Computer Aided Design*) [42]. TCAD – область научных знаний и прикладных программных инструментов, позволяющая осуществлять много-

мерное моделирование полупроводниковых структур, используя в качестве исходной информации описание топологии и технологического процесса их изготовления.

TCAD представляют собой комплекс программных модулей, интерактивных оболочек и средств визуализации, позволяющих решать следующие задачи:

- моделирование отдельных технологических операций: расчет профилей распределения примеси, толщин и электрофизических параметров слоев и т.д.;
- моделирование полупроводниковых структур, получаемых в результате последовательности технологических операций, т.е. моделирование прохождения партии реальных изделий по технологическому маршруту;
- расчет численными методами электрических, оптических, электромагнитных и прочих характеристик полупроводниковых структур;
- выполнение экстракции схемотехнических параметров прибора по его электрическим характеристикам, расчет фрагментов схем;
- проведение планирования эксперимента, в том числе с прохождением «виртуальной партии» по технологическому маршруту с расщеплением входных технологических параметров;
- выполнение оптимизации параметров технологических операций и всего технологического маршрута в целом с целью получения заданных характеристик изделия.

На сегодняшний день разработан широкий спектр пакетов приборно-технологического моделирования полупроводниковых приборов: Silvaco (США) [35], MicroTec (Канада) [34], Crosslight TCAD (Канада) [32], Visual TCAD (Сингапур) [31], Global TCAD Solutions (Европа, Австрия) [33], General-purpose Semiconductor Simulator (США) [29] и т. д. Однако наиболее мощными и наиболее привлекательными продуктами такого плана являются САПР Sentaurus TCAD компании Synopsys [36] и Silvaco TCAD компании Silvaco [35].

Модели LDMOS-транзисторов, использованные в данной работе, были построены на основе САПР Sentaurus TCAD. Как марка Sentaurus TCAD появился в 2005 году, после того как в 2004 году компания Synopsys, один из мировых лидеров в области САПР СБИС, объединилась со швейцарской компанией ISE AG, занимавшей ведущие позиции в сфере приборно-технологического моделирования. Sentaurus TCAD объединила в себе преимущества средств приборно-технологического проектирования обеих компаний.

САПР Sentaurus TCAD представляет собой комплекс независимых программ, позволяющих проводить моделирование технологии и конструкции, а также электрических, тепловых, оптических и других параметров полупроводниковых приборов [1]. Результаты моделирования в отдельных программных модулях пакета могут быть переданы в другие модули данного программного комплекса или в сторонние программы, что позволяет проводить сквозное моделирование полупроводниковых приборов от технологии до электрических параметров, а также SPICE-моделей. Программные модули САПР Sentaurus TCAD управляются с помощью командных файлов, написанных на специальных языках программирования. В командных файлах содержится исходная информация, необходимая для моделирования: конструктивно-топологические параметры, технологических маршрутов и режимы операций, режимы расчета электрических параметров, используемые модели технологических операций и физических эффектов [39].

В современные версии добавлены новые модели технологических процессов, такие, как модели лазерного и импульсного отжига примесей, улучшенные модели диффузии примесей и др. Данные модели позволяют имитировать с требуемой точностью техпроцесс кремниевой фабрики ПАО «Микрон» (г. Зеленоград), а также зарубежных производителей. В новых версиях TCAD реализована полная поддержка моделирования технологии и электрических характеристик приборов на широкозонных полупроводниках – SiC, GaN и др.

В новых версиях существенно переработан математический блок решения систем дифференциальных уравнений. Это позволило значительно улуч-

шить сходимость уравнений при решении таких сложных в вычислительном плане задач, как, например, расчет выходной вольтамперной характеристики транзисторов и диодов, а также моделирование электрофизических характеристик приборов на основе широкозонных полупроводников.

В новых версиях реализовано распараллеливание и многопоточность расчета, что позволяет полностью использовать возможности современных многоядерных процессоров и существенно сокращать затраты машинного времени на моделирование.

Разработан новый генератор высококачественной расчетной сетки, адаптирующейся под конструктивные особенности прибора и профили распределения примесей. Использование этого генератора взамен устаревших позволяет существенно увеличить точность и скорость расчета, а также улучшить сходимость систем уравнений.

В новых версиях реализованы средства разработки SPICE-моделей, а также программы для анализа влияния разброса технологических параметров на электрические характеристики. Добавлены средства моделирования, позволяющие определять оптимальные конструктивно-технологические параметры для снижения чувствительности электрических характеристик приборов к технологическим разбросам.

В состав приборно-технологической Sentaurus САПР входят более 30 программных модулей для моделирования технологии и топологии, структур, сеток и электрофизических параметров полупроводниковых приборов [107]. Вместе с тем далеко не все они необходимы для решения задачи данной работы. Блок схема проекта моделирования СВЧ LDMOS-транзистора представлена на рисунке 2.1.

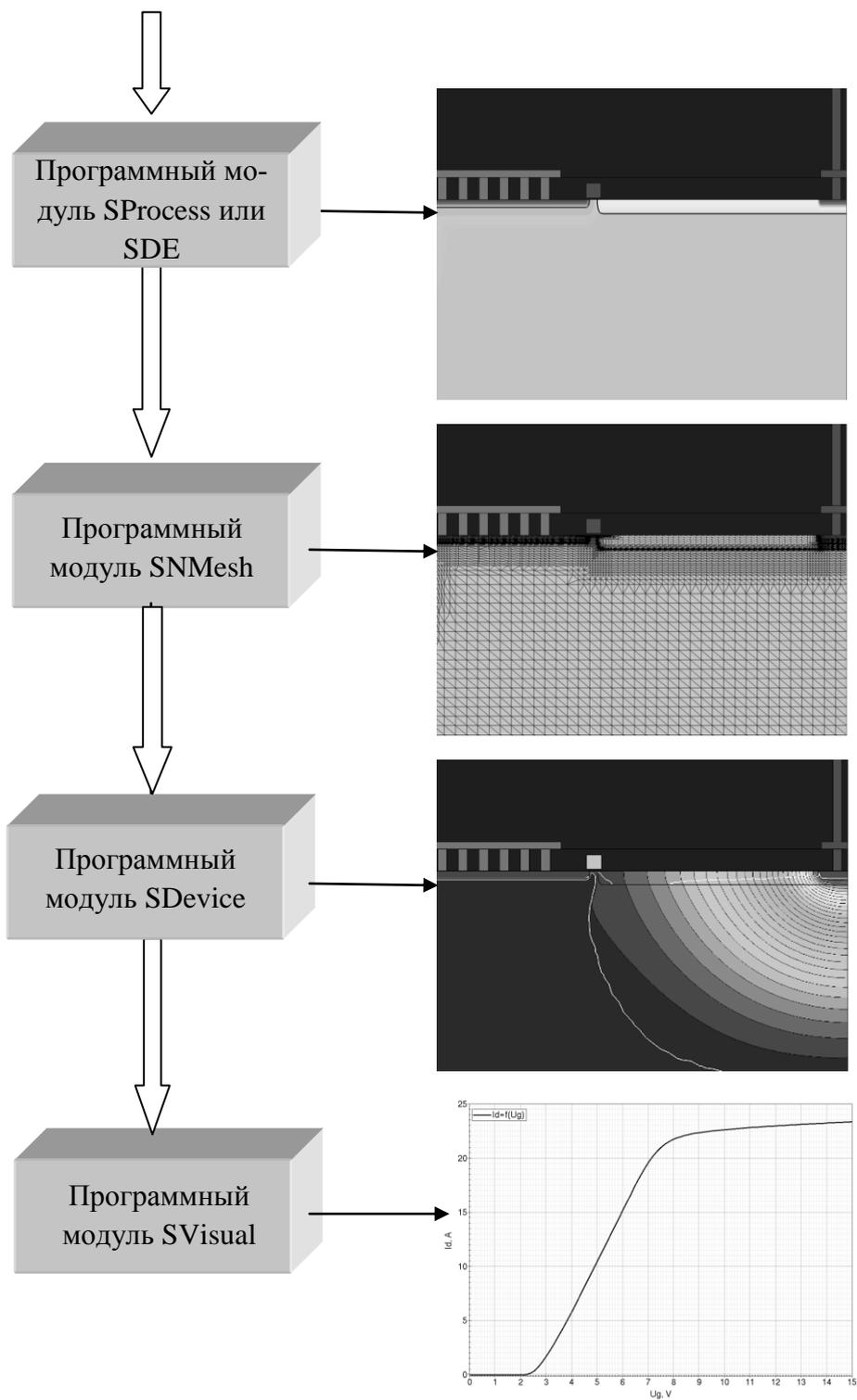


Рис. 2.1. Блок-схема проекта для исследования LDMOS-структур в среде САПР Sentaurus TCAD

Организацию процесса моделирования обеспечивает графическая управляющая оболочка Sentaurus Workbench (SWB), интегрирующая программные модули, внутренний интерфейс между ними и конечным пользователем.

Основной программный модуль Sentaurus Process (SProcess) предназначен для одно-, двух- и трёхмерного сквозного моделирования технологических маршрутов при проектировании и изготовлении полупроводниковых структур различного функционального назначения.

Генерацию высококачественных одно-, двух- и трёхмерных конечно-элементных сеток для последующего расчета электропараметров обеспечивает генератор сеток Sentaurus Mesh (SNMesh), позволяющий создавать сетки, параллельные осям, а также сетки тензорного типа.

Модуль Sentaurus Structure Editor (SDE) в отличие от SProcess является средством структурного моделирования полупроводниковых приборов. Формирование структуры при этом включает в себя генерацию геометрической модели по слоям структуры вместе с контактами, задание аппроксимирующих профилей легирования и определение процесса построения вычислительной конечно-элементной сетки [93].

Основной модуль Sentaurus Device (SDevice) предназначен для двумерного и трехмерного моделирования полупроводниковых приборов с учетом различных электрофизических приближений: диффузионно-дрейфового, гидродинамического, с учетом квантовых поправок, механических напряжений и т. д. Обеспечивает расчет, анализ и оптимизацию различного рода параметров и характеристик (электрофизических, тепловых, оптических и т. д.) для широкого ряда полупроводниковых структур от кремниевых MOS-нанотранзисторов и мощных биполярных транзисторов до гомо- и гетероструктур на сложных материалах типа  $A^3B^5$ , карбиде кремния и т. д.

Программные модули SVisual и Inspect предназначены для визуального отображения результатов моделирования, расчета параметров и характеристик моделируемых полупроводниковых приборов.

Строго говоря, в данной работе для анализа эффекта квазинасыщения ВАХ использовались две различные модели LDMOS-транзистора: технологическая и структурная. Технологическая модель подразумевает последовательное моделирование технологических операций в соответствии с технологическим маршрутом изготовления реальных мощных СВЧ LDMOS-транзисторов. Соответственно, она характеризуется большим соответствием между рассчитанными и реальными электропараметрами. Технологическая модель хороша при проведении оптимизации уже существующей технологии, так как рассчитанные при ее использовании оптимальные параметры конструкции и режимы технологических операций при должной калибровке могут быть использованы как первое приближение в реальном технологическом процессе.

В отличие от технологической модели в структурной модели геометрические границы материалов, распределения примеси и т.д. задаются непосредственно, а не через параметры технологических операций. Это позволяет абстрагироваться от непосредственных режимов технологических операций что удобно, когда сама технология создания различных областей и слоев исследуемой структуры не важна, зато необходима точность их геометрических размеров и взаиморасположения. Структурное моделирование оказывается предпочтительным при исследовании новой конструкции, когда важны не столько значения электропараметров разрабатываемой структуры, сколько их зависимости от тех или иных конструктивных параметров. Немалым преимуществом является также то, что расчет при структурном моделировании проходит на порядок быстрее, нежели чем при технологическом.

В данной работе для проверки гипотез, получения основных зависимостей и качественных поведений электропараметров СВЧ LDMOS-транзисторов использовалась структурная модель, а роль технологической модели сводилась к проверке полученных результатов и нахождения (на основе данных, полученных от структурного моделирования) оптимальных параметров технологических процессов для дальнейшего совершенствования разработанных приборов.

## 2.2 Технологическое моделирование

В данной работе для создания технологической модели СВЧ LDMOS-транзистора использовался программный модуль SProcess. В качестве основы для моделирования использовалась отработанная технология создания мощных СВЧ LDMOS-транзисторов АО «Микрон» и запатентованная топология [44, 45]. Управление ходом моделирования осуществляется с помощью командного файла, в котором описана вся технология изготовления прибора, топологические параметры, применяемые математические модели и другие данные. Результатом моделирования является виртуальная структура, представляющая собой сетку, в узлах которой указаны значения таких параметров, как тип материала, тип примесей, их концентрации и т.д. Эти данные заносятся в один или несколько файлов и в дальнейшем используются для расчета электропараметров.

Ниже рассмотрены модели технологических операций, использованные при разработке технологической модели LDMOS-транзистора.

**Фотолитография.** Как известно, топологию любой полупроводниковой структуры задает фотолитография, и моделирование любого технологического процесса бесполезно в отрыве от нее. Вместе с тем сама модель фоторезистивной маски весьма проста. В SProcess существует два механизма имитации фоторезистивной маски. Первый заключается в наложении на структуру условного аморфного (для исключения каналирования) диэлектрического материала. Для этого служит команда *photo*. Для удаления маски служит команда *strip resist*. Также можно удалять и другие материалы. Для определения маски служит команда *mask*.

Второй способ – объявление маски внутри иной команды (*deposit, etch, implant*). При этом наложения отображаемого слоя фоторезиста не подразумевает, и команда *strip* не требуется. В таком случае края маски воспринимаются как границы области структуры, к которой применяется основная команда.

**Ионная имплантация.** Наиболее достоверной с физической точки зрения моделью ионной имплантации является метод Монте-Карло, заключающийся в моделировании прохождения каждого иона через объем легируемой подложки. Метод обладает высокой точностью, но чрезвычайно трудоемок в расчетах. При наличии отработанной технологии и снятых реальных профилей распределения примеси после имплантации предпочтительней оказывается использование аппроксимирующих аналитических функций распределения, параметры которых подбираются по совпадению с экспериментальными распределениями. Подобранные параметры заносятся в специальные таблицы для каждого сочетания примесь/легируемый материал и каждой энергии легирования. Такой метод позволяет существенно снизить время расчетов при сохранении приемлемой точности. По этой причине в данной работе моделирование ионной имплантации осуществлялось методом аппроксимирующих функций распределения. В SProcess для этого служит команда *implant*.

Для построения аппроксимирующей функции могут использоваться таблицы данных: *Dios*, *Tasch*, *Taurus* и др. *Dios* – таблица данных из предыдущей версии программного пакета (ISE TCAD), данные для нее взяты из [70, 83, 111]. Таблица *Tasch* составлена из данных Техасского университета в Остине [28]. Таблица *Taurus* была составлена на основе обширных исследований по моделированию процесса ионной имплантации методом Монте-Карло [117] и показала наибольшее совпадение с экспериментальными профилями, полученными АО «Микрон», поэтому в данной работе использовалась именно она.

В качестве аппроксимирующей функции в данной работе использовалось распределение Пирсон-4, ввиду наилучшего совпадения с реальными профилями распределения примеси. Для случая одномерного легирования в однородную аморфную мишень распределение Пирсон-4 записывается следующим образом:

$$N(x) = N_m |b_2 x'^2 + b_1 x' + b_0|^{\frac{1}{2b_2}} \cdot \exp \left[ -\frac{\frac{b_1 + 2a_0}{b_2}}{\sqrt{|4b_0 b_2 - b_1^2|}} \operatorname{arctg} \frac{2b_2 x' + b_1}{\sqrt{|4b_0 b_2 - b_1^2|}} \right],$$

где:  $N(x)$  – концентрация примеси на глубине  $x$ ;  $N_m$  – нормирующий множитель;  $x' = x - R_p$ ;  $R_p$  – нормальный пробег;  $a_0, b_0, b_1, b_2$  – константы, которые выражаются через интегральные параметры распределения следующим образом:

$$\begin{aligned} a_0 &= -\gamma' \mu_2^{1/2} (\beta' + 3) / A, \\ b_0 &= -\mu_2 (4\beta' - 3\gamma'^2) / A, \\ b_1 &= a_0, \\ b_2 &= -(2\beta' - 3\gamma'^2 - 6) / A, \end{aligned}$$

где:  $A = 10\beta' - 12\gamma'^2 - 18$ ,  $\mu_2 = \Delta R_p$  – среднеквадратичное отклонение,  $\gamma'$  – нормированный коэффициент асимметрии,  $\beta' = 2,8 + 2,4\gamma'^2$  – нормированный коэффициент затухания (аппроксимируется квадратичным многочленом).

Для расчета радиационных повреждений используется модель Хоблера (Hobler) [54, 90, 91]. Для моделирования имплантации через диэлектрические слои используется метод NRS (numerical range scaling) [104].

SProcess позволяет учитывать при моделировании угол между структурой и ионным лучом (обозначен ion beam на рисунке 2.2) в градусах с учетом системы координат  $X_W Y_W Z_W$ , связанной с пластиной (рис. 2.2). При создании  $p^-$ -кармана используется режим мультилегирования. В этом режиме легирование проводится в несколько этапов, число которых равно значению параметра *число*, с дозой равной *доза/число*. После каждого шага легирования структура поворачивается в своей плоскости на угол  $360/\text{число}$ . Начальный угол задает параметр *rotation*=<угол> (по умолчанию  $-90^\circ$ ).

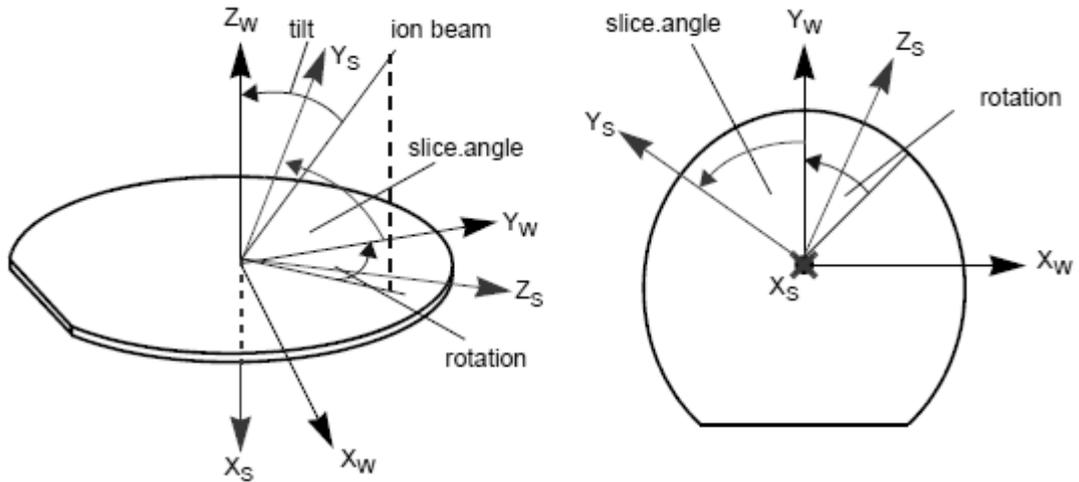


Рис. 2.2 Определение направления ионного пучка в системе координат  $X_w Y_w Z_w$ , связанной с пластиной

Следует отметить, что в системе координат при моделировании в модуле Sprocess ось  $X_s$  направлена в глубину пластины, а оси  $Y_s$  и  $Z_s$  лежат в плоскости пластины. Угол между осями  $Y_w$  и  $Y_s$  `slice.angle` по умолчанию принимается равным  $-90^\circ$ .

**Диффузия.** Процессы диффузии примеси в полупроводнике описываются с помощью законов Фика. Первый закон Фика записывается следующим образом:

$$J = -D\nabla C - Z\mu NE,$$

где:  $J$  – поток диффундирующей примеси;  $D$  – коэффициент диффузии атомов примеси;  $\nabla$  – оператор градиента;  $C = C(x, y, z, t)$  – концентрация примеси;  $Z$  – зарядовое состояние ионов примеси (+1 – для акцепторов, -1 – для доноров);  $\mu$  – подвижность заряженных ионов;  $N = N(x, y, z, t)$  – концентрация ионизированных атомов примеси;  $E$  – напряженность внутреннего электростатического поля, созданного градиентом концентрации ионизированных атомов примеси.

Второй закон Фика имеет вид:

$$\frac{\partial C}{\partial t} = \nabla(D\nabla C + Z\mu NE)$$

Современные модели диффузии рассматривают этот процесс на атомистическом уровне, позволяющем объяснить и смоделировать возникающие основные физические эффекты. Генерация вакансий, вызванная в том числе ионной имплантацией, и неравновесные процессы (например, на границе раздела SiO<sub>2</sub>-Si при окислении) определяют «дальнодействующие» эффекты. «Локальные» эффекты обусловлены концентрацией примеси: кулоновское взаимодействие атомов с заряженными вакансиями; возникновение ускоряющих диффузию внутренних электростатических полей; эффекты кластеризации и преципитации примесей; генерация заряженных вакансий в результате деформации решетки.

В данной работе использовалась модель *ChargedPair*. Это трехпоточковая модель многочастичной диффузии, в которой рассматриваются парные взаимодействия вида  $A^Z + I^C \leftrightarrow AI^{(Z+C)}$  и  $A^Z + V^C \leftrightarrow AV^{(Z+C)}$  между атомами легирующей примеси A, междоузлиями I и вакансиями V с учетом их зарядовых состояний Z для примеси и C для точечных дефектов путем совместного решения системы из трех диффузионных уравнений, определяющих движение каждого типа частиц в отдельности с учетом описанных выше взаимодействий. Она представляет собой хороший вариант соблюдения баланса между вычислительными затратами и точностью расчета. Для инициализации моделирования диффузионного процесса в SProcess используется команда *diffuse*.

Система уравнений для расчета концентраций примеси и дефектов в модели *ChargedPair* имеет вид:

$$\begin{cases} \frac{\partial C_A}{\partial t} = -\nabla \cdot J_A - R_A^{clus} \\ \frac{\partial C_{Xtot}}{\partial t} = -\nabla \cdot J_{X^-} - \nabla \cdot J_A - R_{IV} - R_A^{clus} \end{cases},$$

где:  $C_A$  – концентрация примеси;  $C_{Xtot} = C_X + C_{AX}$  – концентрация дефектов (двух типов: междоузлий I и вакансий V), включая пары дефект-примесь, но исключая кластеры;  $J_A$  – поток пар AI и AV;  $J_X$  – поток дефектов;  $R_A^{clus}$  – из-

менение концентрации примеси в результате кластеризации;  $R_{IV}$  – скорость рекомбинации междоузлий и вакансий;

Уравнение для концентрации пар дефект-примесь имеет вид:

$$C_{AX} = C_A^+ C_{X^0} \sum_c k_{AX^c} k_{X^c} \left( \frac{n}{n_i} \right)^{-c},$$

где:  $c$  – зарядовое состояние дефекта;  $C_A^+$  – концентрация активированной примеси;  $C_{X^0}$  – концентрация нейтральных дефектов;  $k_{X^c}$  – равновесные константы.

Уравнение для  $J_A$  и  $J_X$  записываются следующим образом:

$$J_A = - \sum_{c,X} D_{AX^c} \left( \frac{n}{n_i} \right)^{-c-z} \nabla \left( C_A^+ \frac{C_{X^0}}{C_{X^0}^*} \left( \frac{n}{n_i} \right)^z \right)$$

$$J_X = - \frac{\sum_c k_{X^c} D_{X^c} \left( \frac{n}{n_i} \right)^{-c} C_X^*}{\sum_q k_{X^q} \left( \frac{n}{n_i} \right)^{-q}} \nabla \left( \frac{C_X}{C_X^*} \right),$$

где:  $D_{AX^c}$  – коэффициент диффузии пар примесь-дефект при зарядовом состоянии  $c$ ;  $D_{X^c}$  – коэффициент диффузии дефектов при зарядовом состоянии  $c$ ;  $z$  – зарядовое состояние примеси;  $C_{X^0}^*$  и  $C_X^*$  – равновесные концентрации дефектов в нейтральном и заряженном состоянии.

Стоит отметить, что *diffuse* является универсальной командой, позволяющей симулировать различные высокотемпературные операции: диффузионная разгонка, окисление, эпитаксиальное наращивание. При моделировании задается атмосфера, в которой проводится процесс. Среди доступных опций: O<sub>2</sub>, H<sub>2</sub>O, N<sub>2</sub>, H<sub>2</sub>, HCl. Также есть возможность задать сложную атмосферу, состоящую из нескольких компонент. Для более точного моделирования реальных технологических процессов для атмосферы можно указать парциальное давление, либо поток газа для каждого компонента.

Построенная в SProcess модель LDMOS-транзисторной структуры представлена на рисунке 2.3.

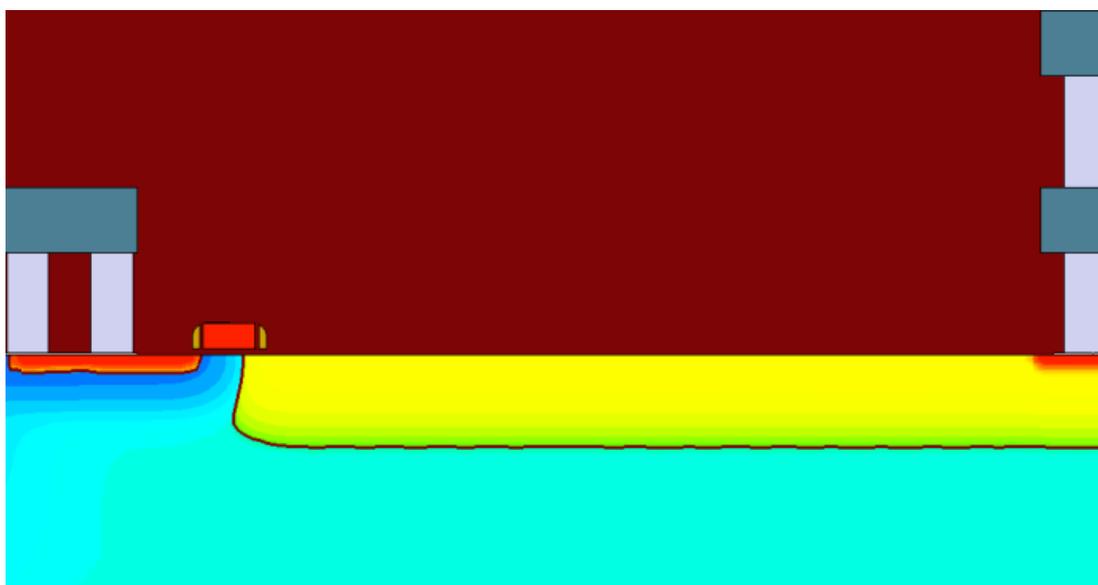


Рис. 2.3. Модель LDMOS-транзистора, построенная в SProcess

**Осаждение и травление.** Не смотря на сложный характер протекающих физико-химических процессов при реальных производственных операциях, их моделирование не требует сложных алгоритмов. При расчете в SProcess происходит абстрагирование от протекающих реакций с их заметой на простые механические действия: указанный материал добавляется либо убирается на границе существующей структуры с газом (атмосферой). После добавления в материале строится сетка по существующему алгоритму. Для моделирования газофазных процессов осаждения в SProcess используется команда *deposit*, а моделирование травления осуществляется при помощи команды *etch*.

### 2.3 Структурное моделирование

В САПР Sentaurus TCAD для структурного моделирования используется модуль SDE. SDE применяется также при технологическом моделировании, когда в SProcess создаются все ключевые области транзисторной струк-

туры (затвор, сток, исток, LDD-область и т.д.), а в SDE – второстепенные, например, межслойные диэлектрики и слои металлизации. Такой подход практически не сказывается на точности рассчитываемых параметров, но существенно экономит время.

В отличие от модуля технологического моделирования SProcess SDE подразумевает четкое задание положения геометрических границ разных материалов и профилей распределения примеси в моделируемой структуре.

Профиль распределения примеси может быть задан разными командами в зависимости от типа профиля. Для задания профилей эпитаксиального слоя, поликремниевого затвора, исходной подложки используется равномерный профиль. Автолегирование из подложки при эпитаксиальном наращивании моделируется заданием отдельного профиля.

Профили для областей, созданных ионной имплантацией или диффузионной разгонкой ( $n^+$ -сток и исток, глубокая  $p^+$ -область,  $p^-$ -карман, LDD-область), задаются согласно закону распределения Гаусса. Программно распределение задается через указание концентраций примеси в двух точках: на поверхности раздела Si-SiO<sub>2</sub> (максимум концентрации) и на глубине, соответствующей положению  $p$ - $n$ -перехода в реальных структурах. На основании этих данных автоматически производится построение гауссианы распределения примеси по глубине (рис. 2.4).

Ввиду отсутствия промежуточных стадий создания диффузионных областей, расчетная сетка в модели, построенной в SDE, может быть изначально оптимизирована для расчетов электропараметров. Построенная в SDE структурная модель LDMOS-транзистора представлена на рисунке 2.5.

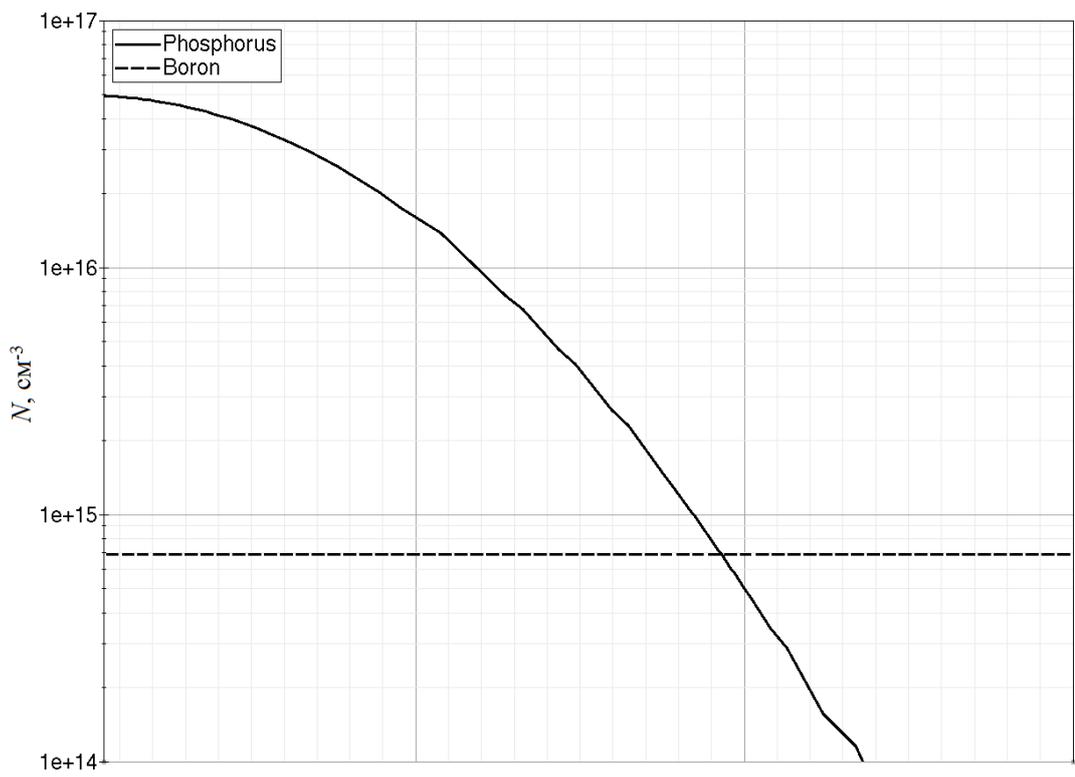


Рис. 2.4. Профиль распределения примеси по глубине в LDD-области

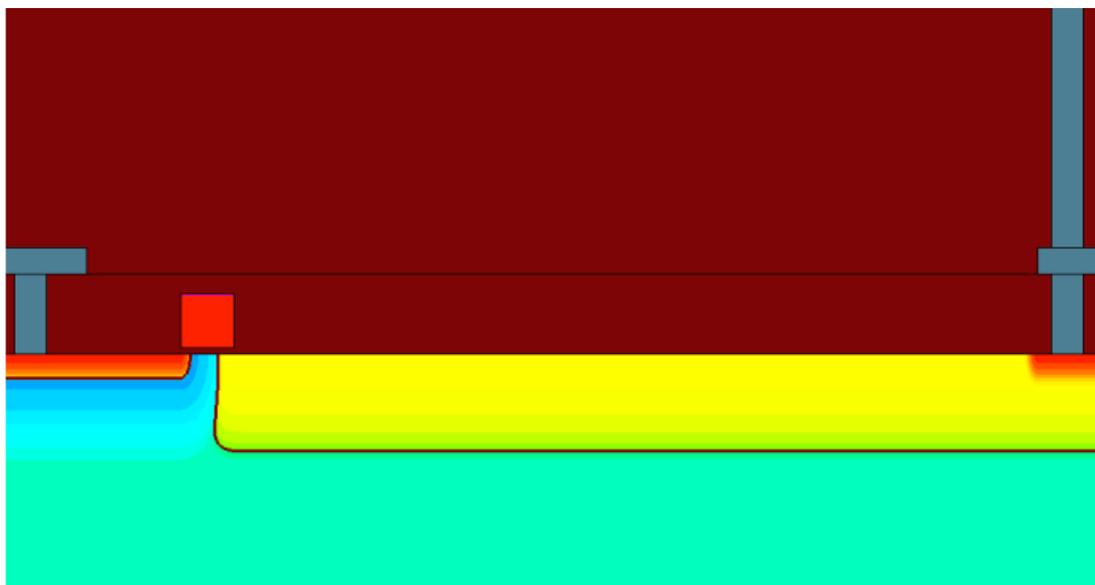


Рис. 2.5. Модель LDMOS-транзистора, построенная в SDE

## 2.4. Оптимизация сетки

Расчет электрофизических параметров виртуального прибора выполняется численными методами по узлам сетки. Если модель построена в модуле технологического проектирования SProcess, то ее сетка изначально оптимизирована для расчета моделирования технологических операций. Поэтому перед расчетом электропараметров необходимо оптимизировать ее геометрические параметры, исходя из физических соображений: в неактивных областях шаг сетки следует увеличить, чтобы ускорить процесс расчетов, а в областях, где протекают процессы переноса носителей заряда и результаты расчётов должны быть точнее, шаг сетки уменьшается. Точные размеры минимального и максимального шага сетки, а также закон перехода между ними подбирается эмпирически. Для оптимизации сетки в САПР Sentaurus TCAD служит программный модуль Sentaurus Mesh (SNMesh) использующий триангуляцию Делоне (Delaunay) [75].

Схема оптимизации сетки состоит из двух разделов. В первом определяются области, для которых требуется переработать сетку. Здесь же указываются параметры новой сетки и правила, по которым она должна быть построена. В этом же разделе задаются правила построения сетки. В данной работе использован метод MaxTransDiff, подразумевающий сравнение значений выбранной величины (в данной работе DopingConcentration – суммарная концентрация примеси) внутри одной ячейки сетки. Итого алгоритм построения сетки в каждой заданной области выглядит следующим образом:

1. Определяется размер ячейки сетки.
2. Если размер ячейки больше указанного максимального значения, то ячейка разделяется на две.
3. Если размер ячейки меньше указанных минимальных значения, то ячейка не меняется, начинается проверка следующей ячейки.
4. Определяется максимальное и минимальное значение суммарной концентрации примеси в данной ячейке. Если их разница больше определенного

значения, то ячейка разделяется на две. В противном случае ячейка не меняется, начинается проверка следующей ячейки.

5. Повторить с пункта 1.

Второй раздел описывает положение и геометрические размеры областей с заданными параметрами настройки сетки в пределах указанной структуры.

В данной работе с целью оптимизации была переработана вся сетка структуры с увеличением размеров элементарной ячейки в исходной подложке и межслойной диэлектрике, и уменьшением в таких областях как LDD-область, подзатворная область,  $n^+$ -сток. Изменения расчетной сетки до и после оптимизации проиллюстрированы на рисунке 2.6.

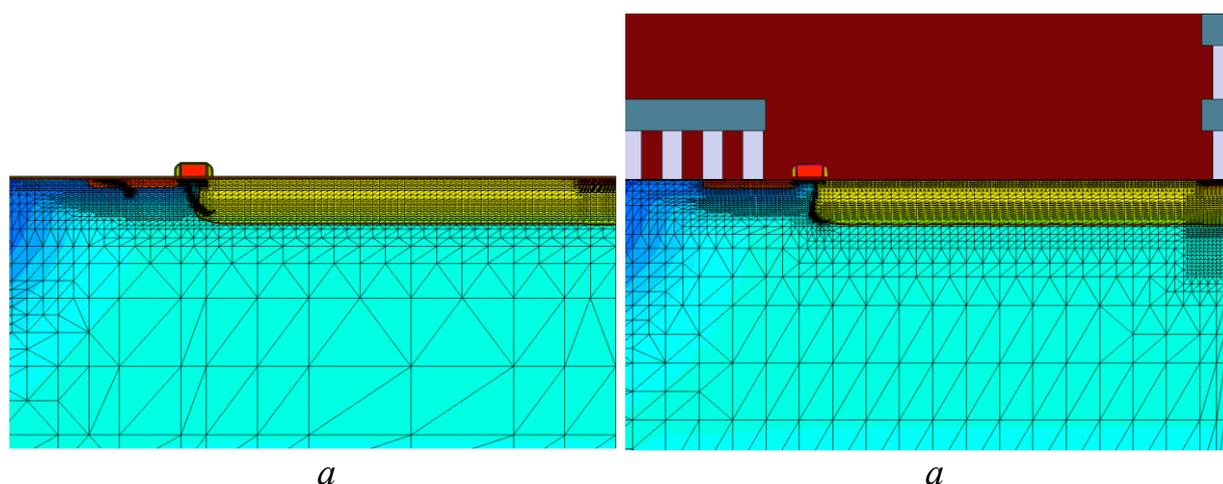


Рис. 2.6. Расчетная сетка:  
*а* – до оптимизации (построенная в SProcess);  
*б* – после оптимизации в SNMesh

## 2.5. Расчет и визуализация электропараметров

Основой для численного моделирования исследуемых LDMOS-структур как приборов, расчет их электрофизических параметров и характеристик, является решение системы уравнений в частных производных, описывающей статическое и динамическое поведение носителей в полупроводнике под влиянием внешних полей. В данной работе рассматривается диффу-

зионно-дрейфовая модель, в которой основные электрофизические параметры рассчитываются путем решения фундаментальной системы уравнений, состоящей из уравнения Пуассона, уравнений непрерывностей для электронов и дырок, а также выражений для электронного и дырочного токов:

$$\left\{ \begin{array}{l} \nabla(\varepsilon \cdot \nabla \psi) = -q(p - n + N_D^+ - N_A^-) - \text{уравнение Пуассона} \\ \nabla J_n = -q(G - R) + q \frac{\partial n}{\partial t} \\ \nabla J_p = q(G - R) - q \frac{\partial p}{\partial t} \end{array} \right\} - \text{уравнения непрерывности,}$$

$$\left\{ \begin{array}{l} J_n = -q(\mu_n n \cdot \nabla \psi - D_n \nabla n) \\ J_p = -q(\mu_p p \cdot \nabla \psi + D_p \nabla p) \end{array} \right\} - \text{уравнения токов}$$

где  $\varepsilon$  – относительная диэлектрическая проницаемость;  $\psi$  – электростатический потенциал;  $q$  – заряд электрона;  $p$  – концентрация дырок;  $n$  – концентрация электронов;  $N_D^+$  – концентрация ионизированных атомов донорной примеси;  $N_A^-$  – концентрация ионизированных атомов акцепторной примеси;  $J_n$ ,  $J_p$  – плотности электронного и дырочного токов соответственно;  $R$  – скорость рекомбинации электронов и дырок;  $G$  – скорость генерации электронов и дырок;  $\mu_n$ ,  $\mu_p$  – подвижности электронов и дырок соответственно;  $D_n$ ,  $D_p$  – коэффициенты диффузии электронов и дырок соответственно.

Данная система уравнений решается с помощью программного модуля SDevice методом сеток с использованием алгоритма Ньютона при изменяемых граничных условиях, а также с учётом соответствующих моделей физических процессов, происходящих в структуре [3]. В качестве начальных и граничных условий расчета задаются потенциалы на электродах модели. В процессе расчета потенциал одного или нескольких электродов увеличивается, и для каждого нового значения потенциала рассчитывается состояние структуры путем решения приведенной системы уравнений.

Программный модуль Sentaurus Device (SDevice) предназначен для моделирования поведения полупроводниковых приборов при воздействии различных внешних факторов, включая подачу напряжения. SDevice объединяет

в себе современные физические модели и численные методы для моделирования большинства существующих на сегодняшний день полупроводниковых структур, начиная с субмикронных MOS-транзисторов и заканчивая гетероструктурами и лазерами. Модуль SDevice содержит множество моделей процессов, происходящих в полупроводниковых приборах: дрейфовая диффузия, термодинамические эффекты, гидродинамические модели и многие другие. SDevice также включает в себя большой набор средств для решения нелинейных уравнений, поддерживает Spice-модели.

Модель LDMOS-транзистора представляется в SDevice как «виртуальный прибор», свойства которого дискретизированы по узлам неоднородной сетки. Следовательно, непрерывные функции, такие как напряженность электрического поля или протекающий ток, разбиты на конечное число дискретных точек, и значения этих функций между узлами сетки могут быть получены путем интерполяции. Граничные и начальные условия на электродах прибора как правило задаются нулевыми, а уже в ходе расчетов постепенно доводятся до требуемого значения. Такой подход упрощает расчеты и оказывается менее времязатратным.

Ниже описаны модели электрофизических процессов, используемые в данной работе при расчете электропараметров, а также приведены команды модуля SDevice, необходимые для их учета [2].

**Сужение запрещенной зоны.** Для учета сужения запрещенной зоны кремния используется модель Слотбоома (Slotboom) [54, 64, 110]. Это осуществляется командой *ffectiveIntrinsicDensity(BandGapNarrowing(Slotboom))*.

Сужение запрещенной зоны рассчитывается по формуле:

$$\Delta E_g^0 = E_{ref} \left[ \ln \left( \frac{N_{tot}}{N_{ref}} \right) + \sqrt{\left( \ln \left( \frac{N_{tot}}{N_{ref}} \right) \right)^2 + 0.5} \right],$$

где:  $N_{tot}$  – суммарная концентрация примеси,  $N_{ref} = 1,3 \cdot 10^{17}$  и  $E_{ref} = 6,92 \cdot 10^{-3}$  – константы модели.

**Подвижность носителей заряда.** Точный расчет подвижности носителей заряда  $\mu$  исключительно важен, так как именно ее деградация приводит к квазинасыщению ВАХ. В SDevice существует множество различных моделей, учитывающих изменения подвижности носителей под действием различных факторов. Они объединены в блок *Mobility(...)*, где в скобках указываются классы моделей, а в скобках последним – конкретные модели. Ниже перечислены модели, использованные в данной работе.

*DopingDependence(Masetti)* – учет зависимость подвижности носителей от концентрации примесей, используется модель Мазетти (Masetti) [60]. В этой модели подвижность рассчитывается по следующей формуле:

$$\mu_{dop} = \mu_{min1} \cdot \exp\left(-\frac{P_c}{N_A + N_D}\right) + \frac{\mu_{const} - \mu_{min2}}{1 + ((N_A + N_D)/C_r)^\alpha} - \frac{\mu_1}{1 + (C_s/(N_A + N_D))^\beta},$$

где  $N_A$  и  $N_D$  – концентрации примеси акцепторного и донорного типа соответственно.

Значение констант модели приведены в таблице 2.1.

Таблица 2.1  
Константы модели Мазетти

Параметр	Значения		Единицы измерения
	для электронов	для дырок	
$\mu_{min1}$	52,2	44,9	см <sup>2</sup> /В
$\mu_{min2}$	52,2	0	см <sup>2</sup> /В
$\mu_1$	43,4	29,0	см <sup>2</sup> /В
$P_c$	0	$9,23 \cdot 10^{16}$	см <sup>-3</sup>
$C_r$	$9,68 \cdot 10^{17}$	$2,23 \cdot 10^{17}$	см <sup>-3</sup>
$C_s$	$3,43 \cdot 10^{20}$	$6,10 \cdot 10^{20}$	см <sup>-3</sup>
$\alpha$	0,68	0,719	–
$\beta$	2	2	–

*Enormal* – учет деградации  $\mu$  на поверхности кремниевой подложки (границе раздела Si/SiO<sub>2</sub>) под действием нормального к поверхности электрического поля  $F_{\perp}$ , что актуально для канальной области и участка LDD-области, расположенного под полевым электродом. В данной работе использовалась модель Ломбарди (*Lombardi*) [58]. В этой модели отдельно учитыва-

ется влияние на подвижность носителей заряда рассеяния на акустических фононах  $\mu_{ac}$  и рассеяние на неровностях поверхности раздела  $\mu_{sr}$  :

$$\mu_{ac} = \frac{B}{F_{\perp}} + \frac{C((N_A + N_D + N_2)/N_0)^{\lambda}}{F_{\perp}^{1/3}(T/300)^k}; \quad \mu_{sr} = \left( \frac{(F_{\perp}/F_{ref})^A}{\delta} + \frac{F_{\perp}^3}{\eta} \right)^{-1}$$

Значение констант модели приведены в таблице 2.2.

Таблица 2.2  
Константы модели Ломбарди

Параметр	Значения		Единицы измерения
	для электронов	для дырок	
$B$	$4,75 \cdot 10^7$	$9,925 \cdot 10^6$	см/с
$C$	$5,80 \cdot 10^2$	$2,947 \cdot 10^3$	см <sup>5/3</sup> ·В <sup>-2/3</sup> ·с <sup>-1</sup>
$N_0$	1	1	см <sup>-3</sup>
$N_2$	1	1	см <sup>-3</sup>
$\lambda$	0,125	0,0317	–
$k$	1	1	–
$\delta$	$5,82 \cdot 10^{14}$	$2,0546 \cdot 10^{14}$	см <sup>2</sup> /В·с
$A$	2	2	–
$\eta$	$5,82 \cdot 10^{30}$	$2,0546 \cdot 10^{30}$	В <sup>2</sup> ·см <sup>-1</sup> ·с <sup>-1</sup>

Итоговая подвижность рассчитывается в соответствии с правилом Маттиссена (Matthiessen's rule):

$$\frac{1}{\mu_{E\perp}} = \frac{1}{\mu_{dop}} + \frac{1}{\mu_{ac}} + \frac{1}{\mu_{sr}},$$

где  $\mu_{dop}$  – подвижность, рассчитанная с учетом влияния концентрации примеси.

Одной из основных причин квазинасыщения является насыщение скорости носителей, вызываемое деградацией  $\mu$  в сильном электрическом поле. Для учета деградации подвижности в электрическом поле служит команда *HighFieldSaturation(GradQuasiFermi)*, использующая модель Канали (Canali) [48, 49], согласно которой:

$$\mu_{E\parallel} = \frac{(\alpha + 1)\mu_{low}}{\alpha + \left[ 1 + \left( \frac{(\alpha + 1)\mu_{low}F_{hfs}}{v_{sat}} \right)^{\beta} \right]^{1/\beta}},$$

где:

$\beta = \beta_0 \left( \frac{T}{300} \right)^{\beta_{exp}}$  – коэффициент, зависящий от температуры

$v_{sat} = v_{sat,0} \left( \frac{300}{T} \right)^{\nu_{exp}}$  – скорость насыщения носителей заряда

$F_{hfs}$  – движущая сила, в данной работе качестве движущей силы используется градиент квазиуровней ферми:  $F_{hfs} = |\nabla\Phi|$

$\mu_{low}$  – подвижность носителей при низком значении электрического поля, при учете всех прочих моделей подвижности, соответствует  $\mu_{E\perp}$ .

Значение констант модели приведены в таблице 2.3.

Таблица 2.3  
Константы модели Канали

Параметр	Значения		Единицы измерения
	для электронов	для дырок	
$\beta_0$	1,109	1,213	–
$\beta_{exp}$	0,66	0,17	–
$\alpha$	0	0	–
$v_{sat,0}$	$1,07 \cdot 10^7$	$8,37 \cdot 10^6$	см/с
$\nu_{exp}$	0,87	0,52	–

**Генерация и рекомбинация.** Процессы генерации и рекомбинации носителей зарядов учитываются при измерении напряжения пробоя. Существует множество моделей, учитывающих воздействие разных факторов. Модели объединены в блок *Recombination(...)*. Ниже перечислены модели, использованные в данной работе.

*SRH(DopingDependence)* – рекомбинация Шокли-Рида-Холла с учетом зависимости от концентрации примесей [52, 53, 55, 62]. Согласно модели скорость рекомбинации неравновесных носителей заряда выражается формулой:

$$R = \frac{np - n_i^2}{\tau_p(n + n_1) + \tau_n(p + p_1)},$$

где:

$$n_1 = n_i \exp\left(\frac{E_{trap}}{kT}\right),$$

$$p_1 = n_i \exp\left(-\frac{E_{trap}}{kT}\right),$$

$k$  – постоянная Больцмана,  $E_{trap}$  – разница между уровнем Ферми и энергетическим уровнем ловушки.

В данной модели время жизни неравновесных носителей заряда записывается следующим образом:

$$\tau_{dop} = \tau_{min} + \frac{\tau_{max} - \tau_{min}}{1 + ((N_A + N_D)/N_{ref})^\gamma}$$

Значение констант модели приведены в таблице 2.4.

Таблица 2.4  
Константы модели Шокли-Рида-Холла

Параметр	Значения		Единицы измерения
	для электронов	для дырок	
$\tau_{min}$	0	0	с
$\tau_{max}$	$1 \cdot 10^{-5}$	$3 \cdot 10^{-6}$	с
$N_{ref}$	$1 \cdot 10^{16}$	$3 \cdot 10^{16}$	см <sup>-3</sup>
$\gamma$	1	1	–

*CDL(DopingDependence)* – рекомбинация на парных дефектных энергетических уровнях Холла с учетом зависимости от концентрации примесей [63]. В данной модели присутствует ловушки с двумя различными энергетическими уровнями и уравнение скорости рекомбинации записывается так:

$$R = R_1 + R_2 + \left(\sqrt{R_{12}^2 - S_{12}} - R_{12}\right) \cdot \frac{\tau_{n1}\tau_{p2}(n + n_2)(p + p_1) - \tau_{n2}\tau_{p1}(n + n_1)(p + p_2)}{r_1 r_2},$$

где:

$$S_{12} = \frac{1}{\tau_{n1}\tau_{p2}(1-\varepsilon)} \left( 1 - \frac{\tau_{n1}\tau_{p2}}{\tau_{n2}\tau_{p1}} \varepsilon \right) (np - n_i^2)$$

$$r_1 = \tau_{n1}(p - p_1) + \tau_{p1}(n - n_1)$$

$$r_2 = \tau_{n2}(p - p_2) + \tau_{p2}(n - n_2)$$

$$R_1 = \frac{np - n_i^2}{r_1}$$

$$R_2 = \frac{np - n_i^2}{r_2}$$

$$R_{12} = \frac{r_1 r_2}{2r_{12}\tau_{n1}\tau_{n2}\tau_{p1}\tau_{p2}(1-\varepsilon)} + \frac{\tau_{n1}(p + p_1) + \tau_{p2}(n + n_2)}{2\tau_{n1}\tau_{p2}(1-\varepsilon)} + \frac{\varepsilon[\tau_{n2}(p + p_2) + \tau_{p1}(n + n_1)]}{2\tau_{n2}\tau_{p1}(1-\varepsilon)},$$

где:

$$\varepsilon = \exp\left(\frac{E_{t2} - E_{t1}}{kT}\right)$$

Времена жизни  $\tau_{n1}$ ,  $\tau_{n2}$ ,  $\tau_{p1}$ , и  $\tau_{p2}$  рассчитываются аналогично рекомбинации Шокли-Рида-Холла.

*Avalanche* – учет лавинной генерации электронно-дырочных пар (ударной ионизации), используется при расчете напряжения пробоя. Используется модель ван Оверстратена (van Overstraeten) и де Мана (de Man) [50, 66]. Лавинная генерация рассчитывается по формуле:

$$G_{av} = \alpha_n n v_n + \alpha_p p v_p,$$

где:

$$\alpha = \gamma a \exp\left(-\frac{\gamma b}{F_{hfs}}\right) - \text{коэффициент ионизации,}$$

где:

$F_{hfs}$  – движущая сила, в данной работе качестве движущей силы используется

градиент квазиуровней ферми:  $F_{hfs} = |\nabla\Phi|$

$$\gamma = \frac{th(\eta\omega_{op}/2kT_0)}{th(\eta\omega_{op}/2kT)},$$

где:  $T_0$  – температура кристаллической решетки;  $T$  – температура фононного газа.

Значение констант модели приведены в таблице 2.5.

Таблица 2.5

Константы модели ван Оверстратена и де Мана

Параметр	Значения		Единицы измерения
	для электронов	для дырок	
$a$	$7,03 \cdot 10^5$	$1,582 \cdot 10^6$	$\text{см}^{-1}$
$a^*$	$7,03 \cdot 10^5$	$6,71 \cdot 10^5$	$\text{см}^{-1}$
$b$	$1,231 \cdot 10^6$	$2,036 \cdot 10^6$	$\text{В/см}$
$b^*$	$1,231 \cdot 10^6$	$1,693 \cdot 10^6$	$\text{В/см}$
$E_0$	$4 \cdot 10^5$	$4 \cdot 10^5$	$\text{В/см}$
$\eta\omega_{op}$	0,063	0,063	эВ

Параметры  $a^*$  и  $b^*$  используются когда напряженность поля превышает значение  $E_0$ , в противном случае используются  $a$  и  $b$ .

SDevice управляется только командным файлом и не имеет графического интерфейса. Для отображения рассчитанных в SDevice зависимостей служит программный модуль SVisual. SVisual имеет простой графический интерфейс и позволяет обрабатывать полученные графики при помощи набора простых функций. Кроме того SVisual способен рассчитывать и экстрагировать различные электропараметры, такие как пороговое напряжение  $U_{пор}$  или разницы токов при определенных напряжениях  $\Delta I_{D20-40}$  (см. главу 1.3).

## ВЫВОДЫ К ГЛАВЕ 2

1. Исследование эффекта квазинасыщения в LDMOS-транзисторах целесообразно проводить методом компьютерного моделирования.

2. Основным средством моделирования различных электронных изделий в настоящий момент являются системы автоматизированного проектирования – САПР. В данной работе использовался САПР Sentaurus TCAD.

3. В данной работе для анализа эффекта квазинасыщения ВАХ использовались две различные модели LDMOS-транзистора: технологическая и структурная.

4. Технологическая модель подразумевает последовательное моделирование технологических операций технологического маршрута изготовления реальных мощных СВЧ LDMOS-транзисторов.

5. В структурной модели геометрические границы материалов, распределения примеси и т.д. задаются непосредственно, а не через параметры технологических операций.

6. В данной работе для проверки гипотез, получения основных зависимостей и качественных поведений электропараметров СВЧ LDMOS-транзисторов использовалась структурная модель. Роль технологической модели сводилась к проверке полученных результатов и нахождения оптимальных параметров технологических процессов для дальнейшего совершенствования разработанных приборов.

## ГЛАВА 3. ВЛИЯНИЕ КОНСТРУКТИВНЫХ ПАРАМЕТРОВ LDMOS-ТРАНЗИСТОРОВ НА НАСЫЩЕНИЕ ВАХ

### 3.1 Моделирование эффекта квазинасыщения

Задачей данной главы является анализ влияния конструктивных особенностей различных элементов конструкции СВЧ LDMOS-транзистора на проявление квазинасыщения выходной и переходной ВАХ при помощи моделей, описанных в главе 2. Также проводится поиск путей оптимизации структуры с целью минимизировать отрицательный эффект квазинасыщения ВАХ.

Для понимания влияния конструктивных элементов на степень выраженности квазинасыщения необходимо установить связь квазинасыщения с физическими величинами и процессами, протекающими в структуре. Это можно осуществить при помощи структурной модели LDMOS-транзистора (см. рис. 2.5). Данная модель является упрощенной: в ней отсутствует полевой электрод, а LDD-области характеризуется равномерным распределением примеси. ВАХ указанной модели приведены на рисунке 1.6.

Физические причины и механизмы, приводящие к насыщению выходной и переходной ВАХ LDMOS-транзисторов, были изложены в главе 1. Было показано, что ключевым эффектом, приводящим к квазинасыщению, является эффект Кирка. Проявление эффекта Кирка в LDMOS-транзисторах заключается в следующем. При повышении напряжения на затворе  $U_G$  при фиксированном напряжении стока  $U_D$  из канальной области в LDD-область инжектируется все больше электронов. При определенном  $U_G$  плотность инжектированных носителей  $n$  превысит концентрация легирующей примеси в LDD-области. Это приведет к снижению напряженности электрического поля  $E$  в LDD-области у края затвора (CE) и росту  $E$  на границе LDD/  $n^+$ -сток (DE). Рост поля у DE вызывает насыщение скорости электронов. Также по мере повышения  $n$  суммарное поле электронов начинает экранировать поле стока. В совокупности эти два эффекта вызывают квазинасыщение переходной ВАХ.

На рисунке 3.1 представлена динамика изменения напряженности электрического поля  $E$  в LDD-области упрощенной модели LDMOS-транзистора в точках CE и DE при повышении  $U_G$ .

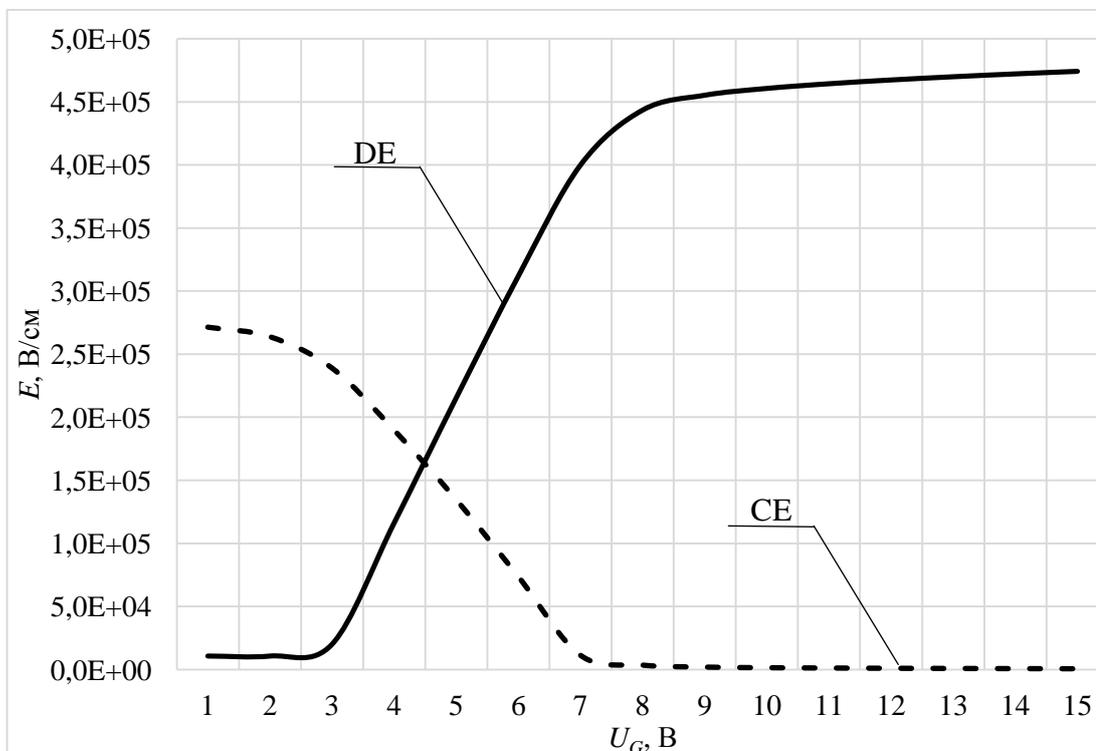


Рис. 3.1. Зависимость напряженности электрического поля в точках CE и DE от напряжения на затворе,  $U_D = 50$  В

Иначе на напряженность поля сказывается  $U_D$  (рис. 3.2). Видно, что при любых напряжениях на затворе повышение  $U_D$  вызывает рост  $E$  по всей LDD-области. Таким образом, повышение  $U_G$  вызывает перераспределение  $E$  вдоль LDD-области, а повышение  $U_D$  приводит к росту  $E$  во всех точках.

Используя данные, полученные в ходе моделирования поведения LDMOS-структуры при подаче различных значений  $U_D$  и  $U_G$ , можно установить, как взаимодействие указанных факторов приводит к насыщению переходной и выходной ВАХ модели LDMOS-транзистора. Подробная схема насыщения переходной ВАХ была приведена в главе 1.3. Ввиду этого остановимся на рассмотрении выходной ВАХ.

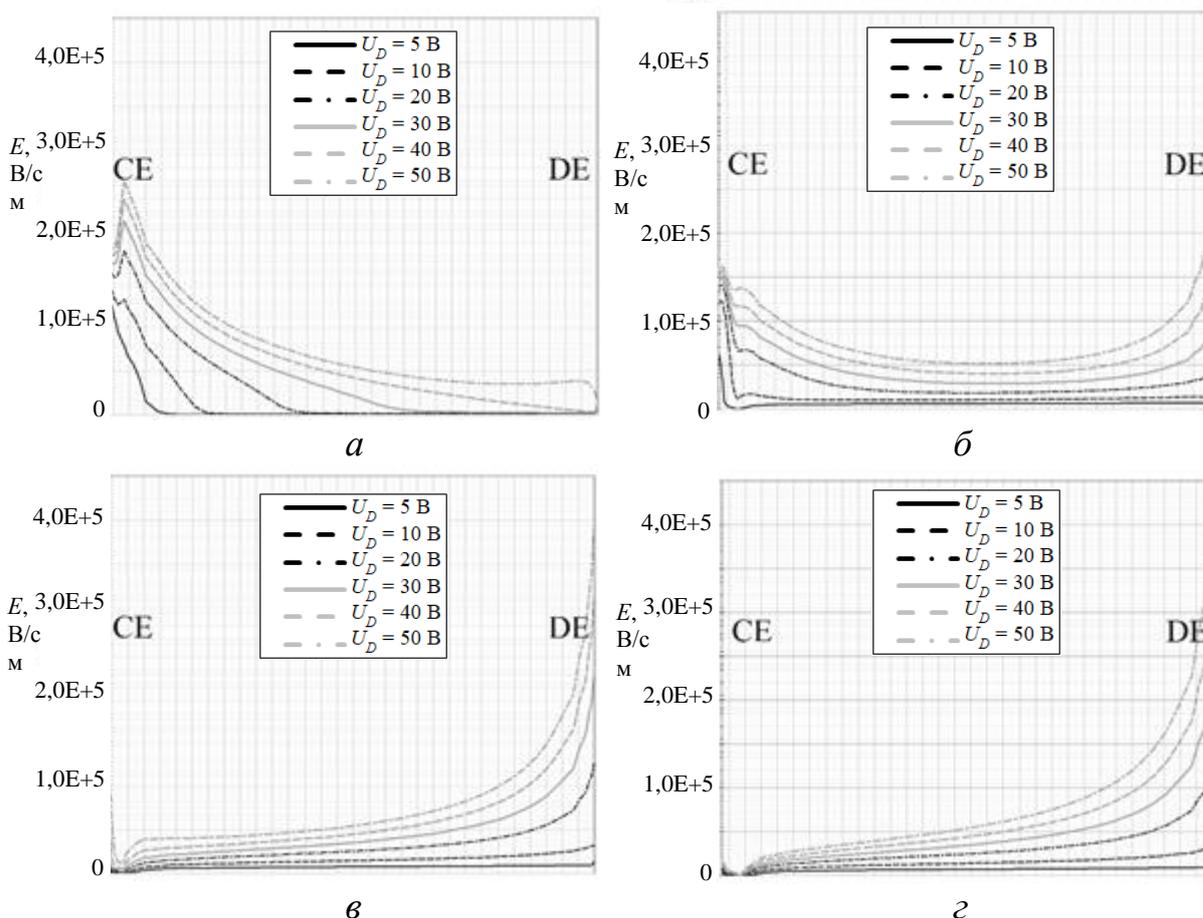


Рис. 3.2. Распределение напряженности электрического поля вдоль LDD-области при разных напряжениях на стоке и заданных напряжениях на затворе:

$a - U_G = 3 \text{ В}; б - U_G = 5 \text{ В}; в - U_G = 7 \text{ В}; г - U_G = 9 \text{ В}$

При рассмотрении выходной ВАХ из рисунка 1.6а видно, что режим на затворе влияет: на плавности перехода к квазинысщению; на величину наклона участка квазинысщения к горизонтальной оси. Идеальная переходная ВАХ характеризуется горизонтальным участком насыщения, т.е. полной независимостью тока стока от напряжения на стоке  $U_D$ . Соответственно, для описания квазинысщения можно использовать выходное сопротивление, однако для большей наглядности целесообразно вести параметр, равный разнице токов стока при напряжениях на стоке, при которых квазинысщение выражено четко, в нашем случае при  $U_D = 20 \text{ В}$  и  $U_D = 40 \text{ В}$  (рис. 1.6а). Назовем эту величину приращением тока стока  $\Delta I_D$ . На рисунке 3.3 представлены зависимости абсолютного  $\Delta I_{D20-40}$  и относительного  $\Delta I_{D20-40}/I_{D20}$  приращения токов стока от напряжения на затворе. Как видно, минимальное относитель-

ное приращение тока наблюдается при  $U_G = 5$  В. Из рисунка 3.1 видно, что этот минимум соответствует почти равному значению напряженности поля на обоих концах LDD-области.

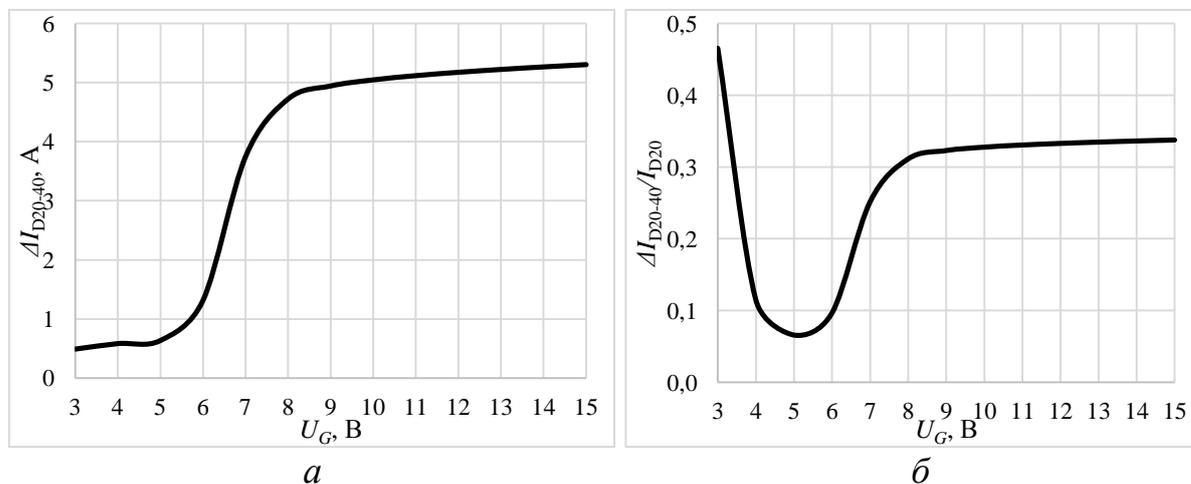


Рис. 3.3 Зависимость разницы тока стока при  $U_D$  20 и 40 В от напряжения на затворе: *а* – абсолютная; *б* – относительная

Для понимания как причин такого поведения, так и самого механизма квазинасыщения выходной ВАХ, можно провести анализ прохождения тока по LDD-области. Как известно, плотность тока может быть определена как:

$$j = qnv,$$

где  $q$  – элементарный заряд;  $n$  – концентрация носителей заряда;  $v$  – скорость носителей заряда.

Таким образом, для понимания механизма насыщения тока стока достаточно проследить характер изменения концентрации  $n$  и скорости носителей заряда  $v$  при различных значениях  $U_G$  и  $U_D$ . На рисунке 3.4 представлены зависимости  $n$  в точках СЕ и DE, а на рисунке 3.5 зависимости  $v$  от напряжения на стоке при разных  $U_G$ .

Изменения концентрации  $n$  и скорости носителей заряда  $v$  при разных напряжениях на затворе имеют различный характер. Рассмотрим каждый случай отдельно [20].

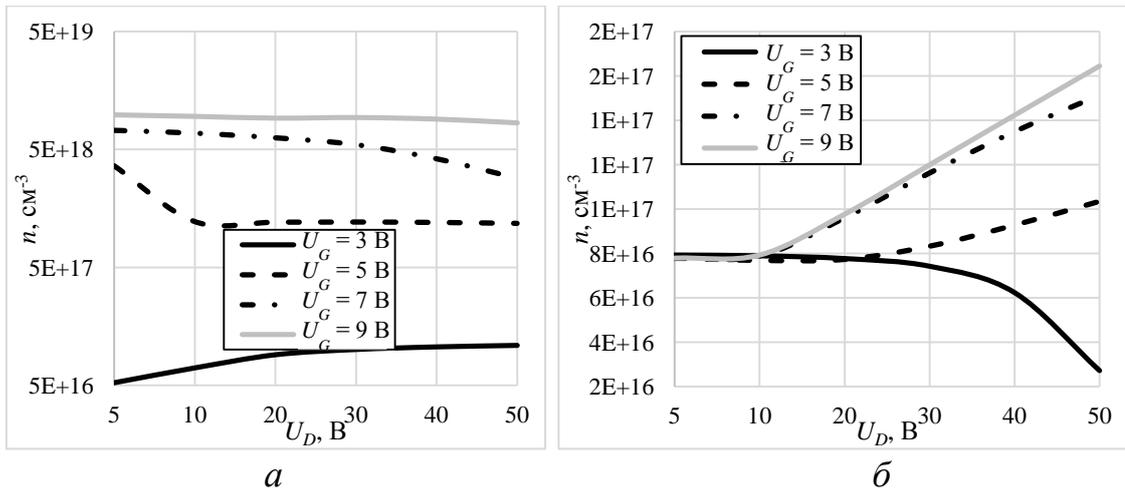


Рис. 3.4. Зависимость концентрации электронов от напряжения на стоке при разных  $U_G$ :  $a$  – в точке CE;  $b$  – в точке DE

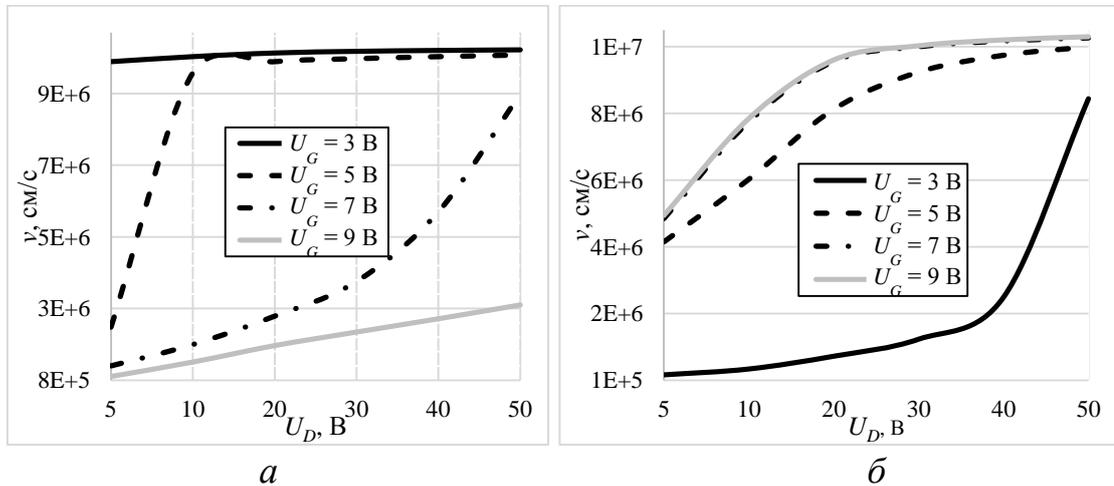


Рис. 3.5. Зависимость скорости электронов от напряжения на стоке при разных  $U_G$ :  $a$  – в точке CE;  $b$  – в точке DE

При напряжении на затворе  $U_G = 3 \text{ В}$  проводимость канала невелика, напряженность поля сосредоточена у CE (рис. 3.2a). Ввиду этого скорость электронов в точке CE насыщена уже при незначительном  $U_D$  (рис. 3.5a). В то же время скорость электронов  $v$  у DE быстро возрастает с повышением напряжения на стоке (рис. 3.5б). Это приводит к тому, что по мере повышения  $U_D$  время пролета электронов вдоль LDD-области к DE снижается, а время пролета из канала в LDD-область остается постоянным. Благодаря этому с повышением  $U_D$  концентрация электронов в LDD-области, и в частности у DE, снижается (рис. 3.4б). Таким образом, при  $U_G = 3 \text{ В}$  причиной отклонения от линейного закона нарастания тока при повышении напряжения является

насыщение скорости носителей заряда на участке CE. Однако, ввиду упомянутого существенного роста  $v$  вдоль LDD-области, квазинасыщение тока происходит плавно, и относительный прирост тока стока  $\Delta I_{D20-40}/I_{D20}$  оказывается весьма значительным (рис. 3.3б).

При  $U_G = 7$  В картина противоположна случаю  $U_G = 3$  В: из-за эффекта Кирка максимум  $E$  смещается к DE (рис. 3.2в), скорость электронов  $v$  в данной точке выходит на насыщение (рис. 3.5б), что и ограничивает рост тока. У CE напряженность поля минимальна и скорость далека от насыщения (рис. 3.5а). Это означает, что скорость, с которой электроны влетают в LDD-области, а следовательно и число влетевших электронов, с повышением  $U_D$  растет, в то время как скорость, с которой они вылетают из LDD-области в  $n^+$ -сток, остается приблизительно постоянной. Следовательно, разница в числе влетевших и вылетевших электронов возрастает с ростом  $U_D$ , и  $n$  в DE повышается, что и влечет за собой рост тока стока, несмотря на насыщение  $v$ .

Случай  $U_G = 9$  В представляет собой дальнейшее развитие уже описанных процессов:  $E$  полностью сосредоточена у DE (рис. 3.2г), благодаря чему скорость носителей заряда в данной точке насыщается уже при  $U_D = 20$  В (рис. 3.5б), в то время как у CE остается относительно малой даже при  $U_D = 50$  В (рис. 3.5а). Однако, резкий рост  $n$  в DE (рис. 3.4б) способен компенсировать насыщение скорости, и ток  $j$  на участке квазинасыщения продолжает уверенно расти.

При  $U_G = 5$  В наблюдается промежуточная ситуация: проводимость канала такова, что концентрация инжектированных электронов превосходит  $N_{LDD}$ , но эффект Кирка еще выражен не настолько сильно, так что напряженность поля высока и в CE, и в DE (рис. 3.2б). Соответственно, скорость электронов в этих точках сопоставима, и с повышением  $U_D$  насыщается как в CE (полностью), так и в DE (частично). Это приводит к тому, что при повышении напряжения стока  $n$  у CE практически не меняется (рис. 3.4а), а у DE  $n$  растет достаточно слабо (рис. 3.4б). Таким образом, с ростом  $U_D$   $n$  и  $v$  слабо меняются на границе LDD/ $n^+$ -сток, и рост тока выражен слабо.

Таким образом причиной отклонения от линейного закона нарастания тока стока при повышении напряжения на стоке в LDMOS-транзисторах является насыщение дрейфовой скорости электронов в зависимости от напряжения на затворе на том или ином участке LDD-области [81]. Вместе с тем, насыщение скорости не способно вызвать полную независимость тока стока от напряжения на стоке: ток продолжает нарастать, но не по линейному закону.

Последнее обстоятельство особенно справедливо для дискретных мощных LDMOS-транзисторов, которые в силу необходимости работать на высоких напряжениях питания имеют протяженную LDD-область с малой длиной перекрытия затвором. Ввиду этих конструктивных особенностей напряженность электрического поля в дискретных мощных LDMOS-транзисторах достигает значений, необходимых для насыщения скорости электронов  $v$ , лишь на краях LDD-области в отличие от интегральных LDMOS-транзисторов, рассмотренных в работах [85, 86, 96, 97].

Отметим, что максимально приближенная к идеальному насыщению ВАХ достигается при напряжении на затворе, при котором напряженность электрического поля распределена равномерно по всей длине LDD-области, что соответствует середине линейного участка переходной ВАХ.

Обладая пониманием механизма квазинасыщения и его связью с физическими величинами, мы можем объяснить влияние параметров того или иного элемента конструкции СВЧ LDMOS-транзистора на выраженность квазинасыщения. Рассмотрим влияние этих конструктивных параметров на переходную и выходную ВАХ отдельно.

### 3.2 Исследование насыщение переходной ВАХ

Переходная ВАХ может быть условно разбита на три участка (рис. 3.6):

- подпороговый участок 1, в котором напряжение на затворе  $U_G$  не достигает величины, необходимой для формирования полноценно проводящего канала, поэтому ток стока  $I_D$  относительно мал;
- линейный участок 2, в котором ток стока в первом приближении линейно возрастает с ростом напряжения на затворе;
- участок насыщения 3, где зависимость  $I_D(U_G)$  существенно отклоняется от линейного закона, быстро переходит в практически горизонтальную прямую, т.е. перестаёт зависеть от напряжения на затворе.

На примере упрощенной модели LDMOS-транзистора (без полевого электрода и с равномерно легированной LDD-областью) рассмотрим влияние его конструктивно-технологических параметров на каждый участок ВАХ [22].

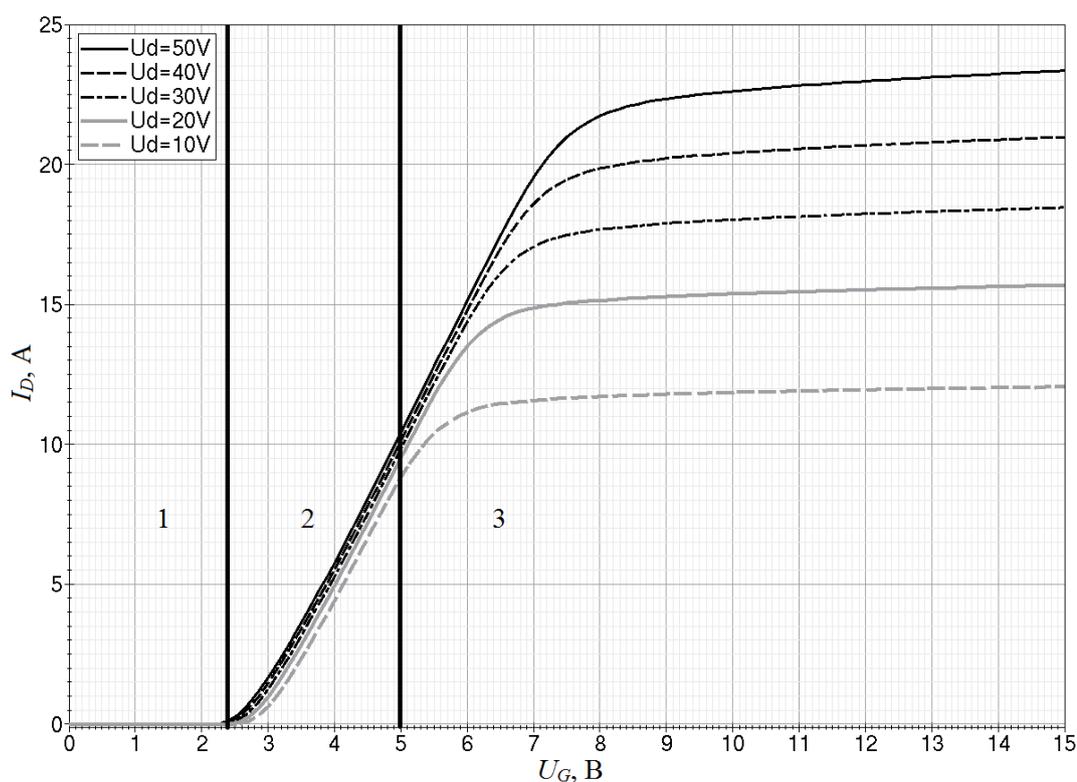


Рис. 3.6. Переходная ВАХ мощного СВЧ LDMOS-транзистора при разных напряжениях на стоке:  
1 – подпороговый участок; 2 – линейный участок;  
3 – участок квазинасыщения

### Подпороговый участок

Как видно из рисунка 3.7 при повышении напряжения на стоке  $U_D$  напряжение и ток, при которых наступает насыщение, повышаются. Это объясняется тем, что большее напряжение на стоке требует большей концентрации электронов у края затвора, а следовательно и  $U_G$ , для своего экранирования. Другим следствием повышения  $U_D$  является некоторое снижение порогового напряжения. Этот эффект выражен тем сильнее (рис. 3.7), чем больше концентрация примеси в LDD-области.

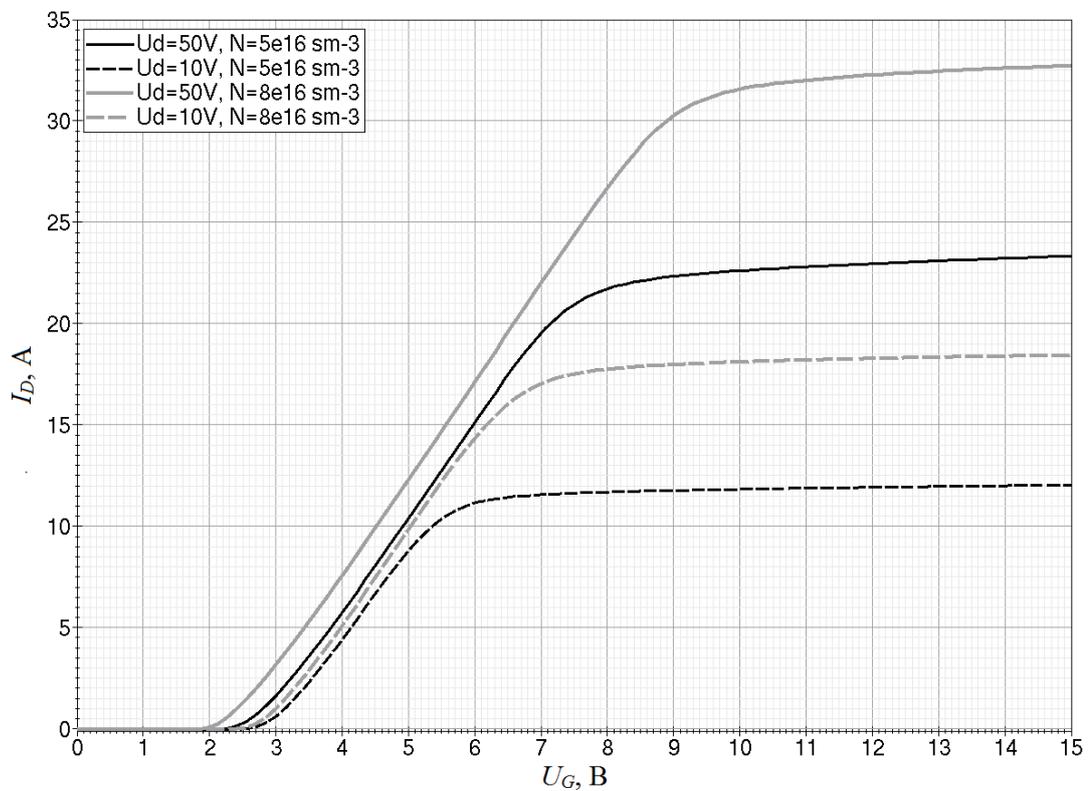


Рис. 3.7. Переходные ВАХ мощного СВЧ LDMOS-транзистора при разных напряжениях на стоке и концентрации легирующей примеси

Изменение порогового напряжения обусловлено DIBL-эффектом (*Drain-Induced Barrier Lowering*), который хоть и ослабляется в LDMOS-транзисторах благодаря RESURF-эффекту, но не исчезает полностью. В LDMOS-транзисторах при повышении напряжения на стоке ОПЗ слабо распространяется в канальную область (рис. 3.8), однако концентрация дырок  $N_p$

в канале (рис. 3.9а) при повышении напряжения на стоке меняется сильно (рис. 3.9б).

Помимо концентрации примеси в LDD-области на пороговое напряжение также влияют: длина затвора, концентрация примеси в  $p^-$ -кармане, толщина подзатворного окисла.

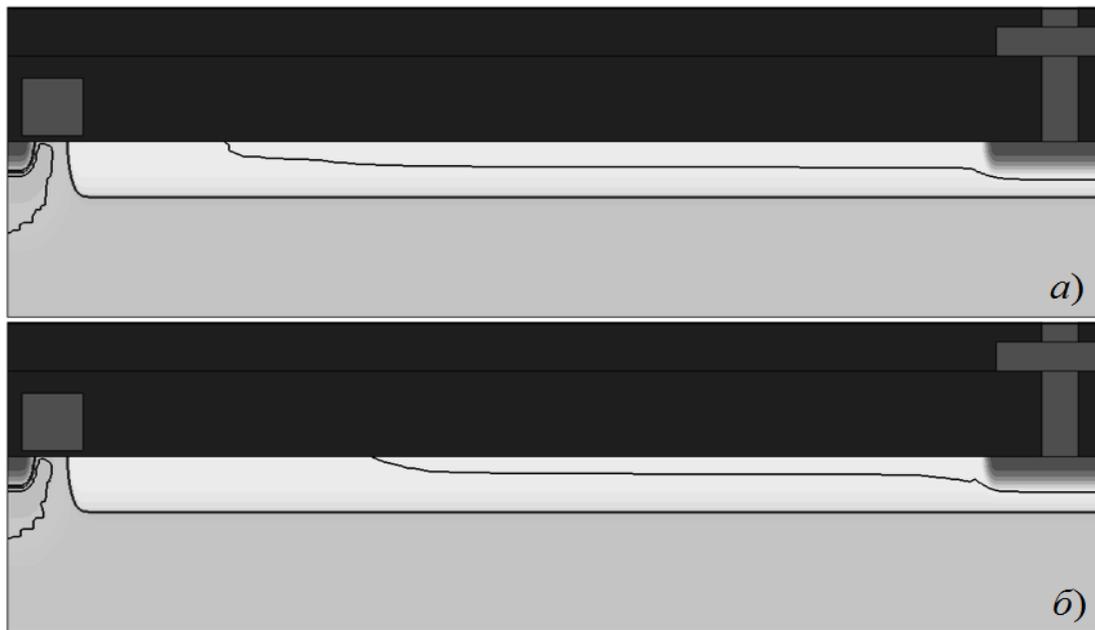


Рис. 3.8. ОПЗ перехода LDD – эпитаксиальная пленка при  $U_G = 0$ :  
 $a - U_D = 10$  В;  $b - U_D = 20$  В.

Черная линия ограничивает необедненный участок

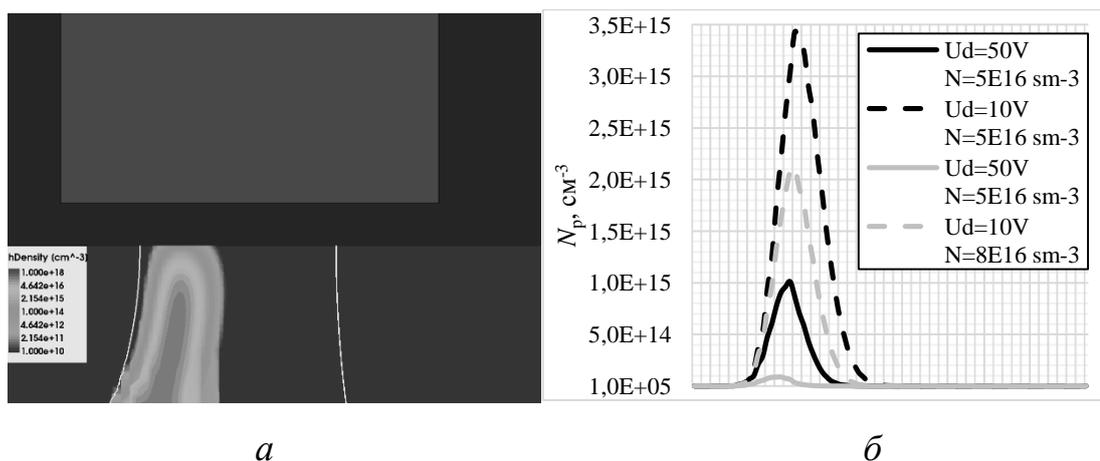


Рис. 3.9. Распределение концентрации дырок  $N_p$  в канальной области LDMOS-структуры на глубине 1 нм от поверхности кремния:

$a -$  двухмерное распределение при  $U_D = 10$  В;

$b -$  при разных  $U_D$  и концентрации примеси в LDD-области

## Линейный участок

На наклон линейного участка в первую очередь влияет толщина подзатворного окисла (рис. 3.10), что объясняется изменением величины падения напряжения на подзатворном окисле.

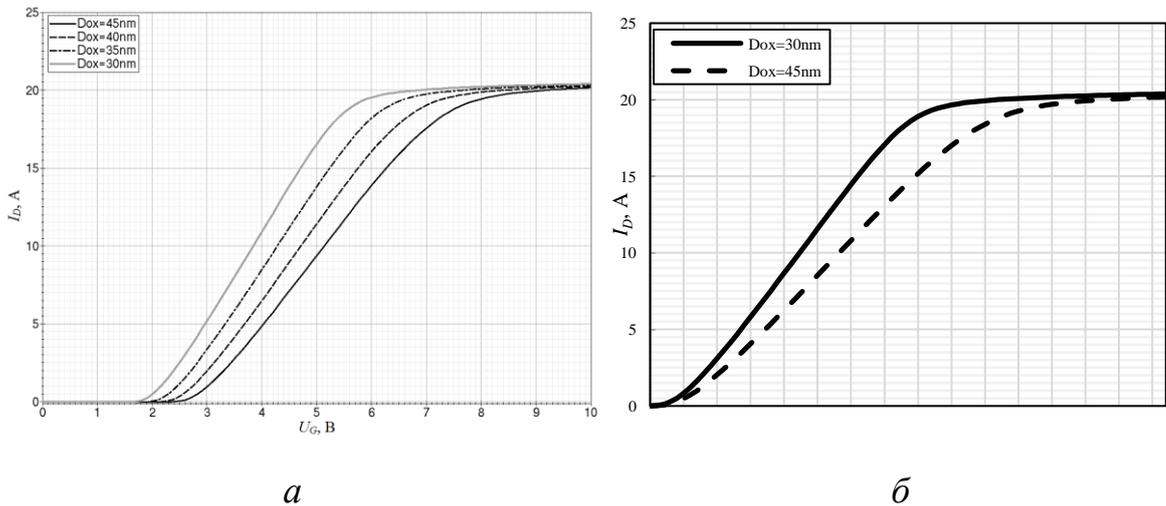


Рис. 3.10. Переходные ВАХ мощного СВЧ LDMOS-транзистора при разных толщинах подзатворного окисла:

*а* – с подпороговым участком; *б* – без подпорогового участка

Увеличение длины затвора также приводит к увеличению угла наклона линейного участка переходных ВАХ, однако его влияние практически незаметно. Увеличение же концентрации примеси в  $p^-$ -кармане уменьшает угол наклона. На рисунке 3.11 представлены смоделированные LDMOS-транзисторные структуры при разных концентрациях примеси в  $p^-$ -кармане, обеспечивающих разный уровень  $U_{пор}$ , и соответствующие им линейные участки переходных ВАХ.

Другим параметром, наиболее сильно влияющим на наклон линейного участка переходной ВАХ, выступает глубина  $D_{p^+}$   $p^+$ -истока (рис. 3.12). В первом приближении можно считать, что общее сопротивление  $R$  LDMOS-транзистора представляет собой последовательное соединение трёх резисторов:

$$R = R_{\text{истока}} + R_{\text{канала}} + R_{\text{стока}}$$

где  $R_{\text{истока}}$  – истоковый резистор, представляющий собой сумму последовательно соединённых сопротивлений от контакта истока на подложке до канала, в которой главной составляющей является сопротивление слаболегированной  $p^+$ - области истока в эпитаксиальной пленке;  $R_{\text{канала}}$  – каналный резистор, зависящий от уровня легирования области канала  $p^-$ -кармана;  $R_{\text{стока}}$  – стоковый резистор, представляющий собой сопротивление от края канала до стокового контакта, в котором доминирующей составляющей является сопротивление  $n^-$ - LDD-области.

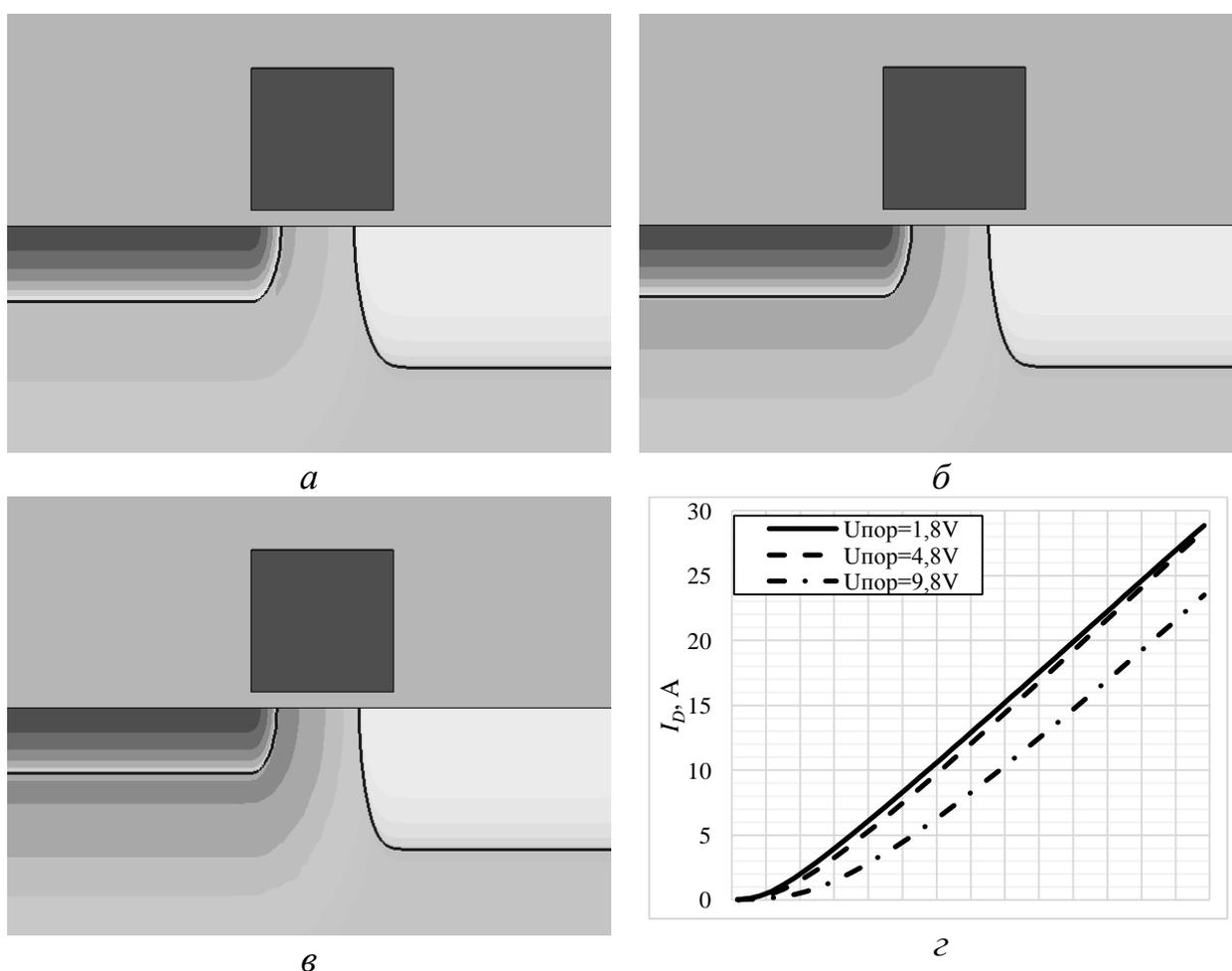


Рис. 3.11. Модель СВЧ LDMOS-транзистора при разных концентрациях примеси в  $p^-$ -кармане, обеспечивающих пороговые напряжения:

$a - U_{\text{пор}} = 1,8\text{ В}$ ;  $б - U_{\text{пор}} = 4,8\text{ В}$ ;  $в - U_{\text{пор}} = 9,8\text{ В}$ ;

$z -$  соответствующие им линейные участки переходных ВАХ

Из всех трех составляющих общего сопротивления  $R$  от напряжения на затворе  $U_G$  зависит только  $R_{\text{канала}}$ . Как показывают расчёты, экспоненциальный характер данной зависимости в сумме с постоянным сопротивлением стока и истока даёт близкую к линейной зависимость общего сопротивления от напряжения на затворе, что согласуется с известным видом переходной ВАХ. Разумеется, чем меньше номинал резисторов стока и истока, тем больший вклад в общее сопротивление вносит канал, тем круче меняется характеристика при уменьшении его сопротивления под действием напряжения на затворе  $U_G$ .

Вместе с тем, как видно из рисунка 3.12, даже значительное увеличение глубины  $p^+$ -области, а, следовательно, уменьшение сопротивления истока, вызывает незначительный рост максимального тока. Это связано с тем, что ни конфигурация, ни сопротивление истоковой области практически не влияют на квазинасыщение, ключевое влияние на которое оказывают эффекты, происходящее в LDD-области.

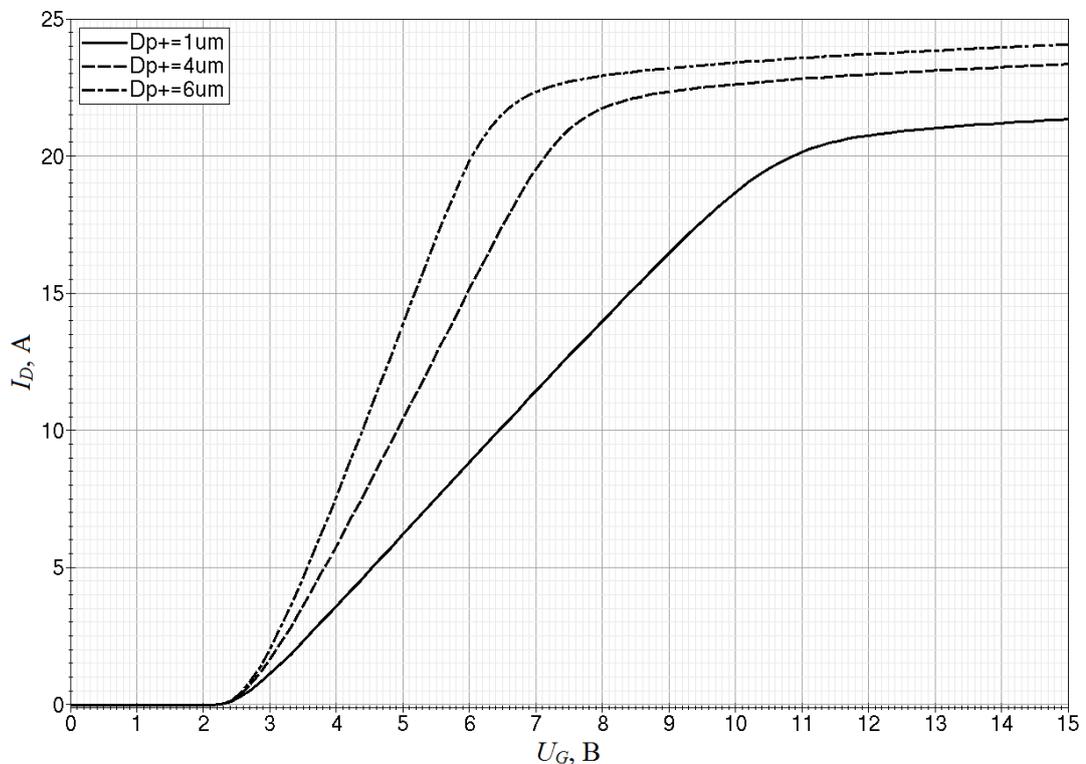


Рис. 3.12. Переходные ВАХ мощного СВЧ LDMOS-транзистора при разных глубинах  $D_{p^+}$   $p^+$ -истока

### Участок насыщения

На участок насыщения главным образом влияют параметры LDD-области. Исходя из сказанного выше, можно ожидать, что степень легирования LDD-области влияет на переходную ВАХ LDMOS-транзистора аналогичным образом, что и глубина  $p^+$ -области. Однако, ее влияние в действительности противоположное: повышение концентрации легирующей примеси в LDD-области сдвигает точку насыщения переходной ВАХ в сторону больших  $U_G$ , при этом практически не меняет наклон ее линейного участка (рис. 3.13).

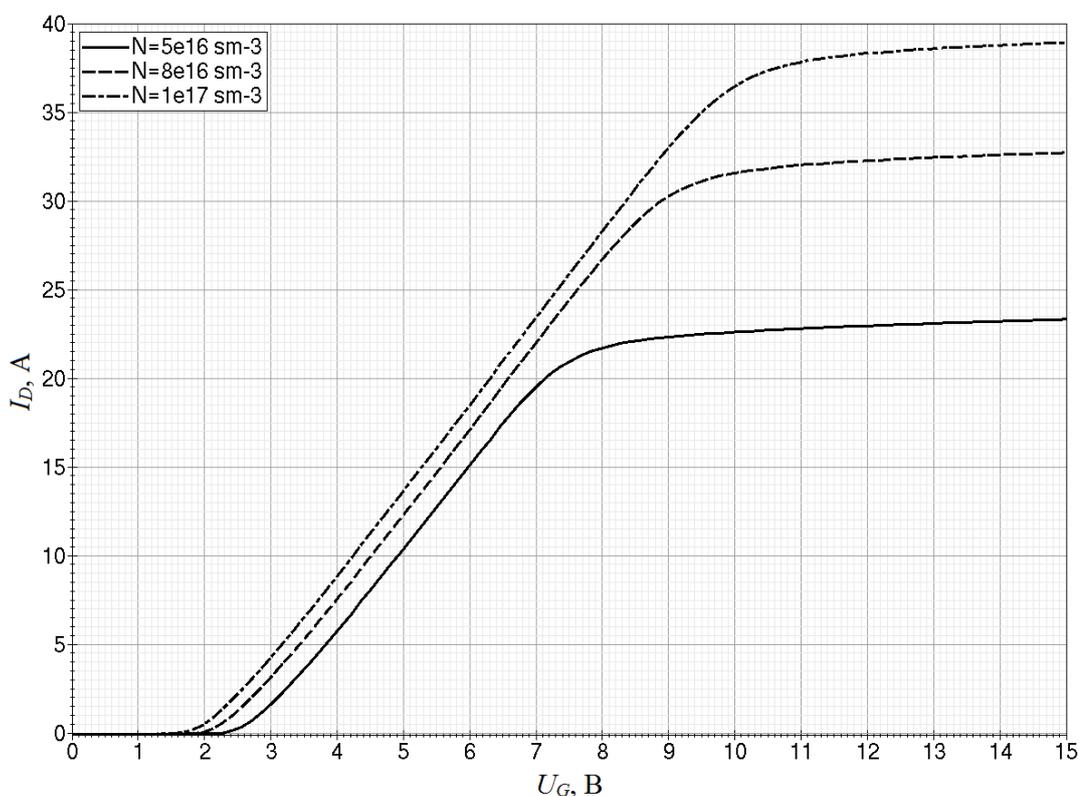


Рис. 3.13. Переходная ВАХ мощного СВЧ LDMOS-транзистора при разных поверхностных концентрациях примеси в LDD-области

Так как необходимым начальным условием для возникновения насыщения переходной ВАХ является превышение концентрации инжектированных электронов над концентрацией примеси в LDD-области, то повышение последней естественным образом вызывает увеличение

напряжения на затворе, необходимого для наступления насыщения, что в свою очередь означает рост тока насыщения  $I_{D \text{ нас}}$ . На рисунке 3.14 показаны переходные ВАХ двух вариантов LDMOS-транзисторов: с глубокой  $p^+$ -областью и с повышенной концентрацией примеси в LDD-области. Параметры структур подобраны так, чтобы их сопротивления сток-исток в открытом состоянии были равными. Видно, что несмотря на бóльший наклон линейного участка, в структуре с глубокой  $p^+$ -областью ток насыщения значительно ниже.

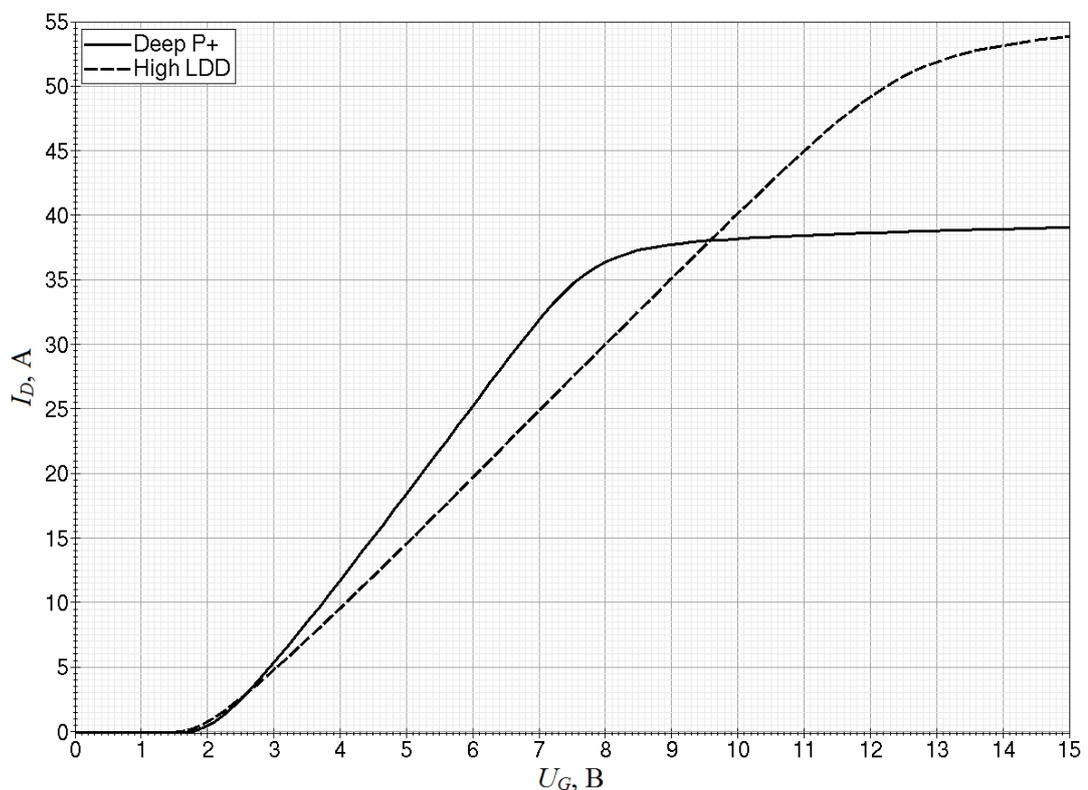


Рис. 3.14. Переходные ВАХ мощных СВЧ LDMOS-транзисторов с глубокой  $p^+$ -областью и с повышенной концентрацией примеси в LDD-области

Уменьшение длины LDD-области (рис. 3.15) приводит к тому, что насыщение наступает на больших  $U_G$ . Происходит это из-за того, что при неизменном напряжении на стоке меньшая длина LDD-области приводит к распределению напряженности поля по меньшей длине. При этом напряженность поля  $E$  во всех точках LDD-области оказывается выше (в том

числе в DE), как если бы на структуру подали на сток дополнительное напряжение  $U_D$ . Соответственно для экранирования бóльшего поля стока требуется бóльшая концентрация инжектированных электронов, а следовательно и  $U_G$ .

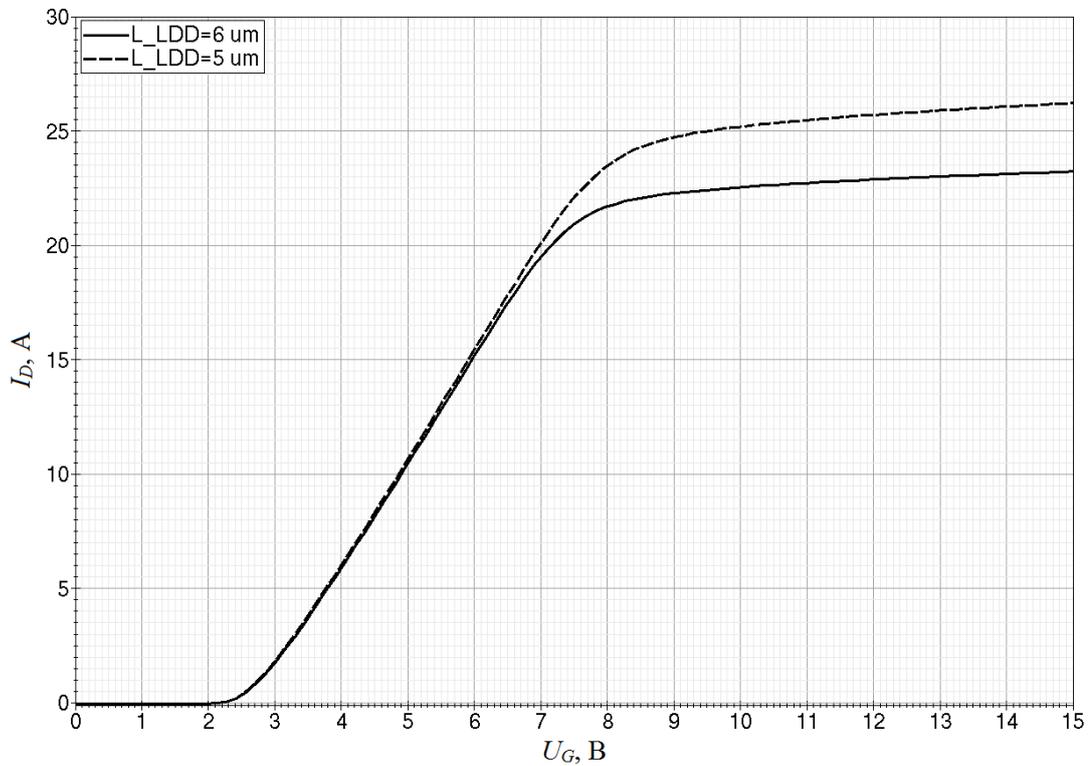


Рис. 3.15. Переходная ВАХ мощного СВЧ LDMOS-транзистора при разных длинах LDD-области

Как уже отмечалось в главе 1.2, на распределение поля по LDD-области оказывает сильное влияние конфигурация полевого электрода. Влияние ПЭ в первом слое металла на насыщение ВАХ можно проследить по графику на рисунке 3.16. Как видно из приведенного рисунка, чем больше длина перекрытия полевым электродом LDD-области при неизменной концентрации в ней, тем меньше оказывается ток насыщения.

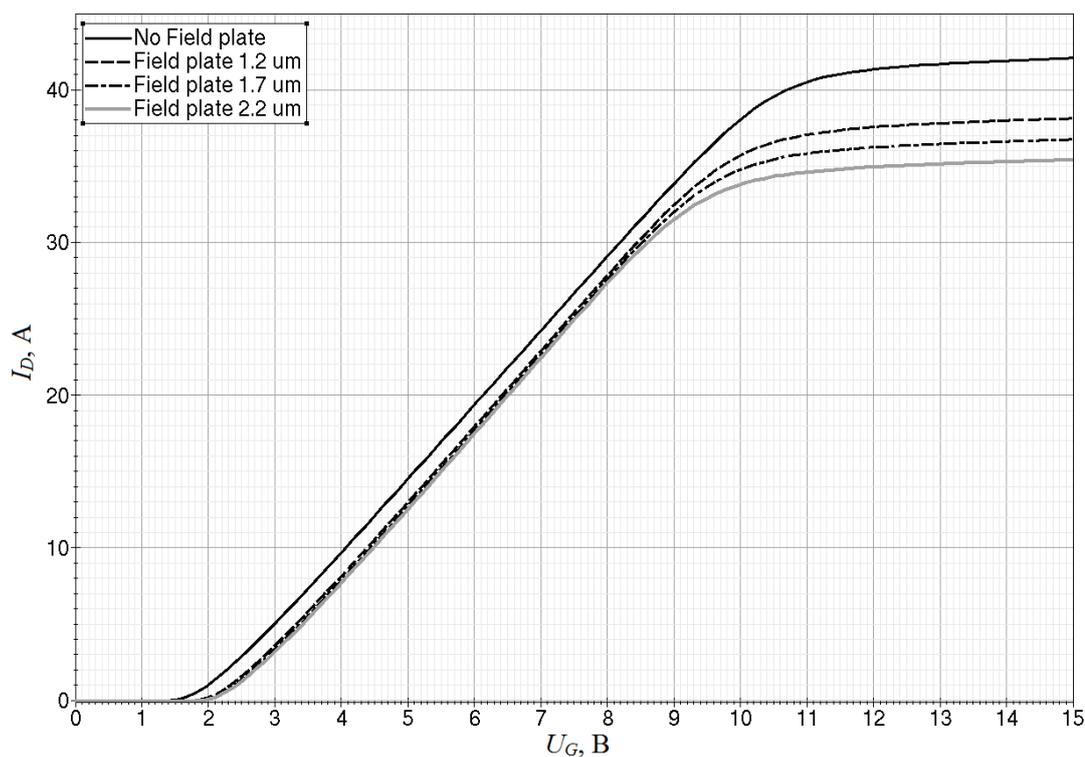


Рис. 3.16. Переходная ВАХ мощного СВЧ LDMOS-транзистора при разных длинах перекрытия полевым электродом LDD-области

Ступенчатый ПЭ характеризуется более сильным воздействием на LDD-области, так что снижение тока насыщения в случае его использования оказывается бóльшим, а в случае использования двухуровневого ПЭ – еще бóльшим. Данный эффект объясняется тем, что в результате перераспределения напряженности поля в LDD-области под действием ПЭ (рис. 3.17) напряжённость поля  $E$  возрастает непосредственно под краем полевого электрода и уменьшается на краях LDD-области, особенно в DE, что означает, что экранирование стока происходит при более низком  $U_G$ .

Стоит, однако, иметь ввиду, что введение ПЭ приводит к росту оптимальной концентрации примеси, при которой напряжение пробоя  $U_{\text{проб}}$  достигает максимума, а как было показано выше, повышение концентрации в LDD-области вызывает рост тока насыщения. На рисунке 3.18 показана переходная ВАХ LDMOS-транзисторов с оптимальной концентрацией примеси в LDD-области с ПЭ и без ПЭ.

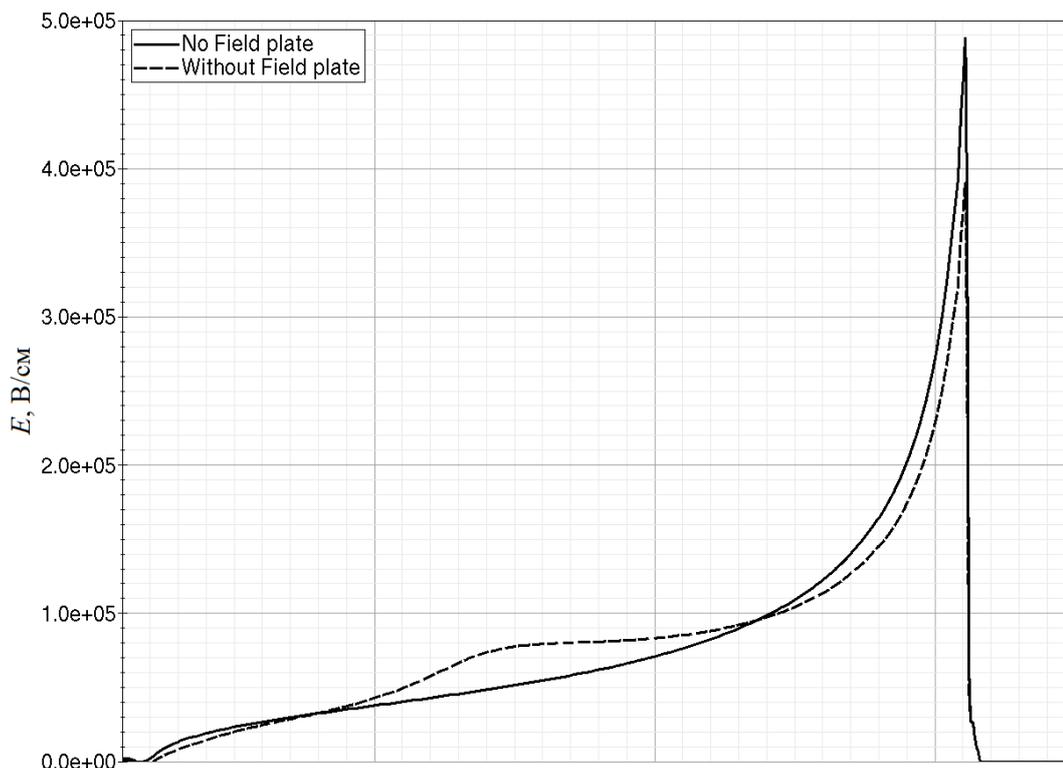


Рис. 3.17. Распределение напряженности электрического поля вдоль LDD-области с и без полевого электрода,  $U_D = 50$  В,  $U_G = 15$  В

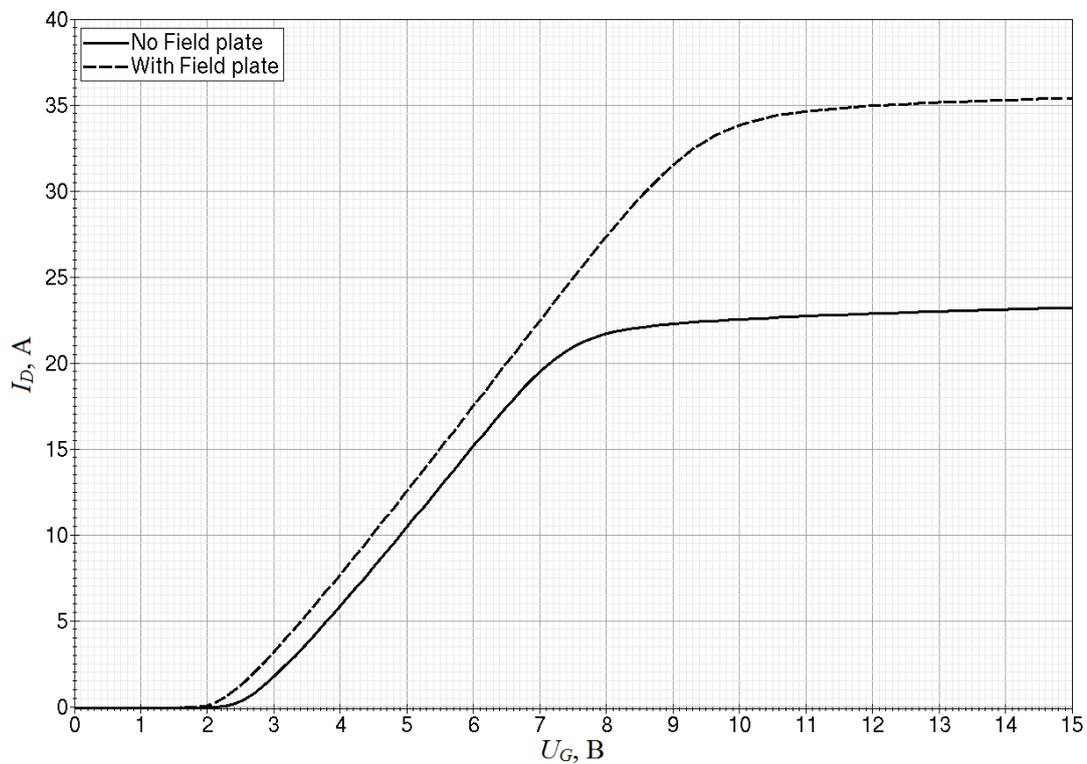


Рис. 3.18. Переходная ВАХ мощного СВЧ LDMOS-транзистора с полевым электродом и без полевого электрода при оптимальных концентрациях примеси в LDD-области

На эффект насыщения оказывает влияние сложный латеральный профиль легирования LDD-области. Все многообразие конструкций двухслойных LDD-областей в упрощенном виде можно свести к выделению внутри LDD-области HDD-участка с повышенным относительно базового уровнем концентрации примеси (рис. 3.19). Далее, перемещая этот участок от CE до DE, можно получить в первом приближении все многообразие структур с двухслойной LDD-областью. Во всех случаях концентрация примеси в LDD-области  $N_{LDD}$  одинакова, протяженность HDD-участка равна 1 мкм, концентрация в нем превосходит  $N_{LDD}$  в пять раз. Положение HDD-участка задается относительно края затвора; соответственно, при расстоянии между краем затвора и HDD  $h = 0,2$  мкм высоколегированный участок заходит под CE, а при  $h = 5,0$  мкм – доходит до DE.

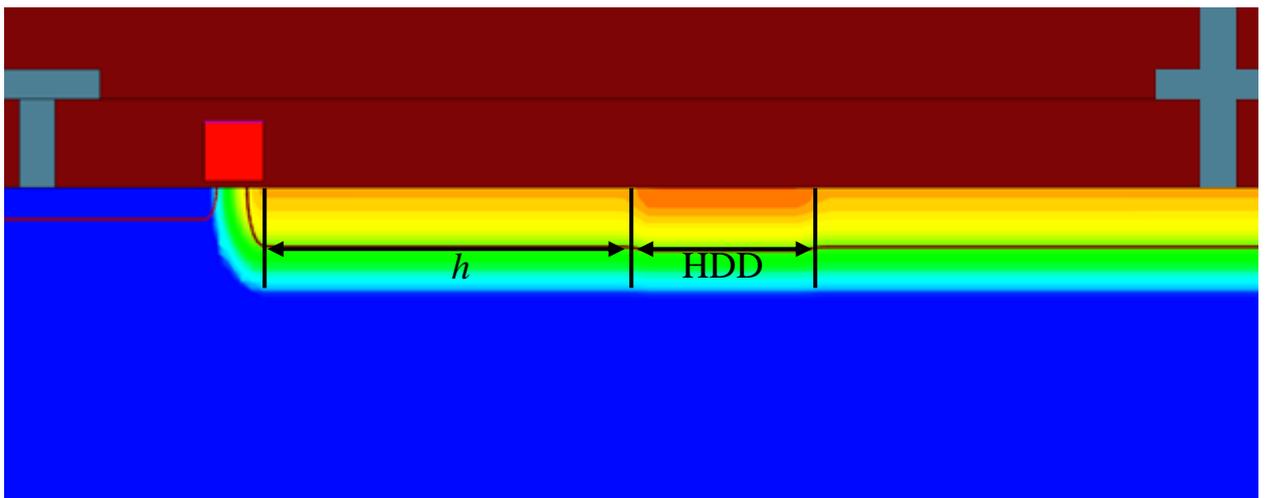


Рис. 3.19. Распределение фосфора в LDD-области с HDD-участком

На рисунке 3.20 представлена переходная ВАХ LDMOS-транзистора при разных положениях HDD-участка, а также для сравнения структура без HDD (равномерно легированная LDD-область). Из приведенного графика видно, что наибольший  $I_{D\text{нас}}$  обеспечивает размещение HDD-участка ближе к середине LDD-области при  $h = 2,6$  мкм. Когда HDD-участок смещается близко к  $n^+$ -стоку, насыщение наступает при меньшем  $U_G$ , а структура с

HDD-участком у края затвора характеризуется меньшим наклоном ВАХ, что означает меньшую крутизну.

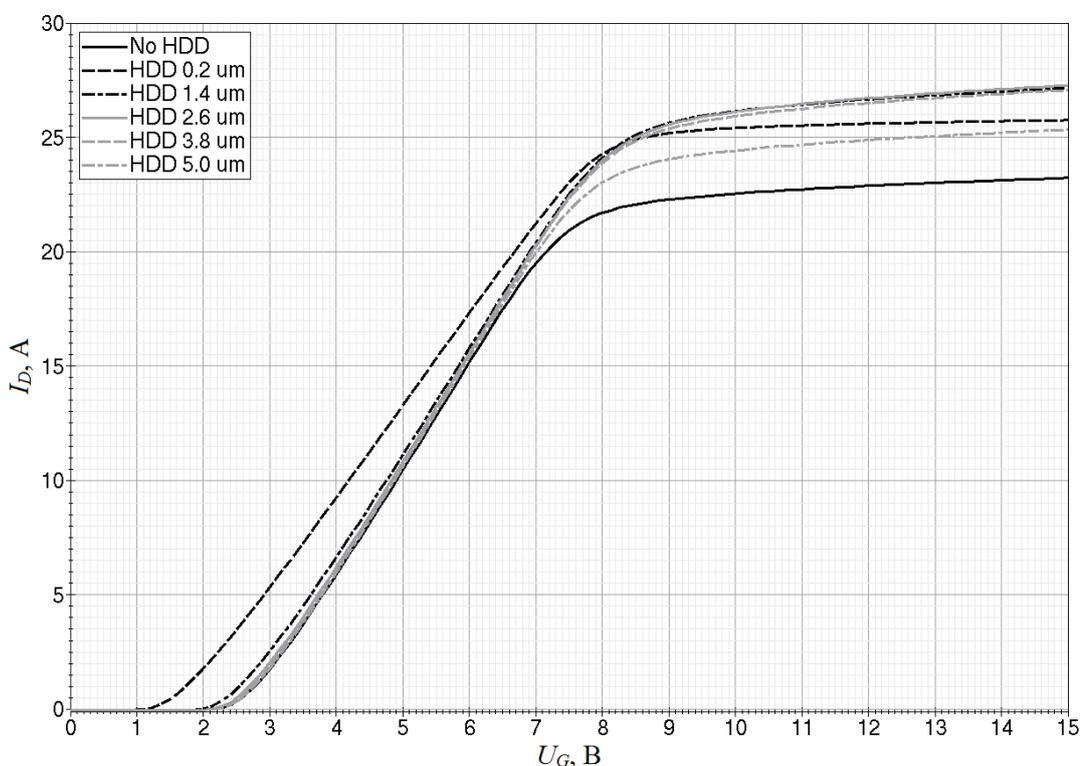


Рис. 3.20. Переходная ВАХ мощного СВЧ LDMOS-транзистора при разных положения HDD-участка в LDD-области

Такое поведение может быть объяснено при рассмотрении распределения напряженности электрического поля при наличии высоколегированного участка в случае высокого напряжения на затворе (рис. 3.21). Можно выделить две ключевые особенности распределения поля:

- напряжённость поля  $E$  в HDD-участке существенно ниже, чем в любой другой точке LDD-области;
- появляется второй пик напряженности поля  $E$ , располагающийся у ближнего по отношению к затвору края HDD-участка.

При смещении  $h = 0,2$  мкм край HDD-участка практически совпадает с краем затвора, так что второй пик не появляется (если только концентрация примеси в HDD не будет чрезмерной). Напряжённость поля распределяется по оставшейся части LDD-области, как если бы LDD-область была бы укорочен-

чена. Соответственно, напряжённость поля у DE оказывается выше, что и ведет к росту  $I_{D_{нас}}$ . В случае  $h = 5,0$  мкм напряжённость поля  $E$  у DE минимальна. Пик напряжённости располагается ближе истоку, что отчасти компенсирует то, что он оказывается существенно ниже в сравнении с другими структурами. При расположении HDD-участка вдали от краев LDD-области формируются два пика напряженности поля. Появление дополнительного пика приводит к тому, что ток стока даже при повышении напряжения на затворе  $U_G$  после достижения  $U_{G_{нас}}$  продолжает умеренно расти. Таким образом, образуется своего рода квазинасыщение переходной ВАХ. Причем, если первый пик, располагающийся у DE, от смещения  $h$  зависит слабо, то местоположение и высота второго пика определяется этим параметром всецело: чем ближе HDD-участок к SE, тем ближе и ниже пик. Оптимальное соотношение высоты и расположения второго пика  $E$  с точки зрения максимального  $I_D$  достигается расположением HDD-участка в середине LDD-области.

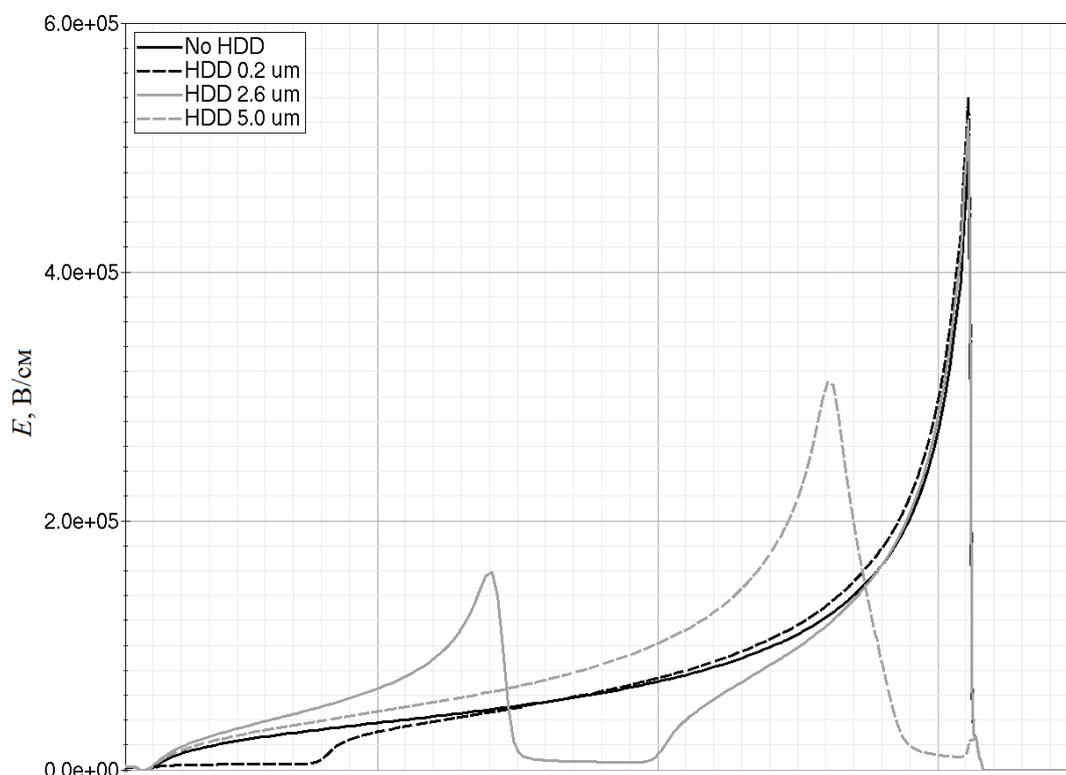


Рис. 3.21. Распределение напряженности электрического поля вдоль LDD-области при разных положения HDD-участка при  $U_D = 50$  В,  $U_G = 15$  В

### 3.3 Исследование квазинасыщения выходной ВАХ

Выходная ВАХ LDMOS-транзистора в первом приближении также может быть разбита на три участка: квазилинейный участок 1, переходной участок 2 и участок квазинасыщения 3 (рис. 3.21).

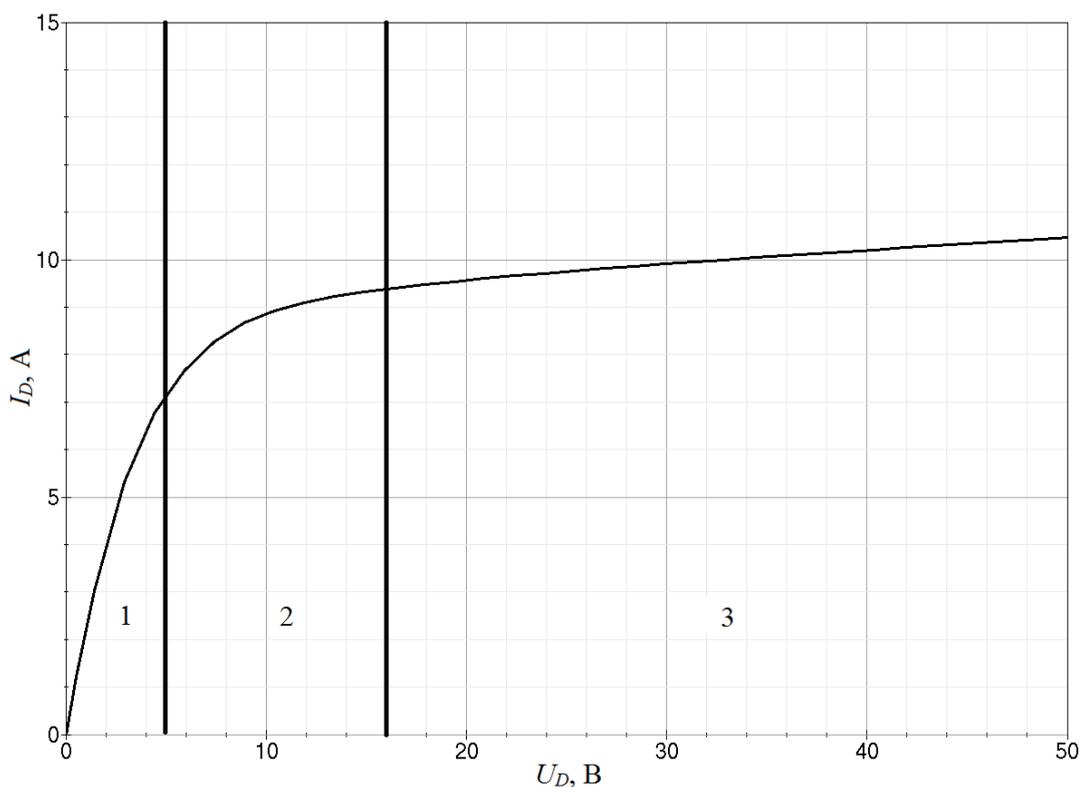


Рис. 3.21. Выходная ВАХ мощного СВЧ LDMOS-транзистора:  
1 – квазилинейный участок, 2 – переходной участок,  
3 – участок квазинасыщения

Однако, данное разделение является условным, так как в зависимости от режима измерения и в частности от напряжения на затворе  $U_G$ , переход между участками может становиться очень плавным (рис. 1.6а). По этой причине в данной главе будет использован иной подход, чем тот что был использован в главе 3.2. Вместо рассмотрения отдельно каждого участка ВАХ и определения конструктивных параметров, на него влияющих, необходимо сосредоточиться на конкретных элементах конструкции LDMOS-транзистора и проанализировать, как меняя его параметры можно добиться ослабления эф-

фекта квази насыщения. Как и в главе 3.2 здесь будет использоваться упрощенная модель LDMOS-транзистора (без полевого электрода и с равномерно легированной LDD-областью), если только не указано обратное.

### Призатворная область

Наибольшее влияние на характер выходной ВАХ из параметров призатворной области оказывает длина затвора. На рисунках 3.22а и 3.22б показаны зависимости абсолютного  $\Delta I_{D20-40}$  и относительного  $\Delta I_{D20-40}/I_{D20}$  приращение токов стока (введенные в главе 3.1 как мера квази насыщения) от напряжения на затворе для LDMOS-структур с разной длиной затвора  $L_G$ . Видно, что  $L_G$  оказывает влияние на приращение тока только при малом  $U_G$ , когда напряженность поля в СЕ еще высока.

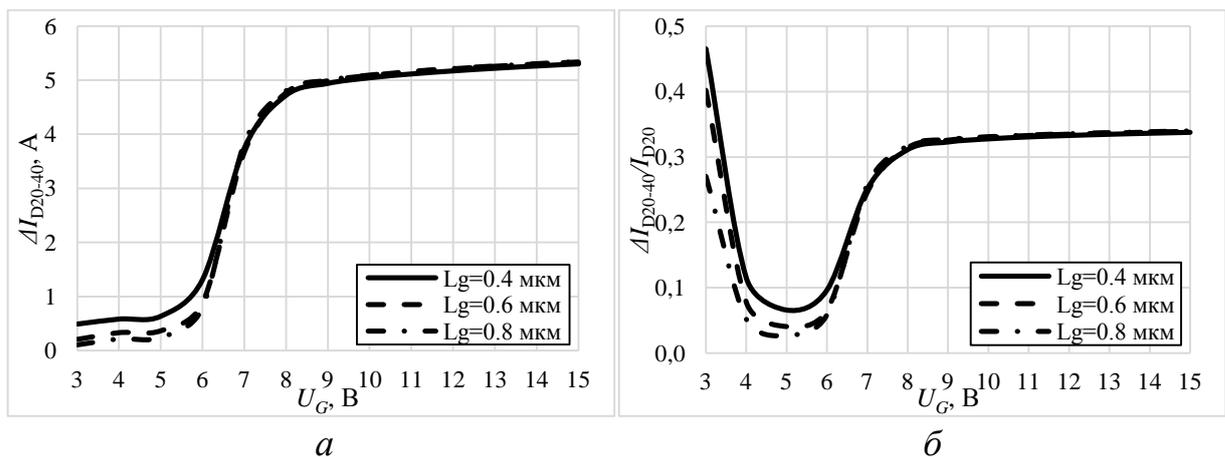


Рис. 3.22. Зависимость приращения тока стока при напряжениях на стоке 20 и 40 В от напряжения на затворе при разных длинах затвора:

$a$  – абсолютное;  $b$  – относительное

### Глубокая $p^+$ -область

Глубина  $p^+$ -области определяет сопротивление истока. Чем она больше, тем меньше участок в профиле распределения примеси по глубине, представляющий собой исходный эпитаксиальный слой (рис. 3.23), соответственно, тем меньше сопротивление истока. Сопротивление истока играет двойственную роль. Во-первых, оно определяет, какая часть напряжения стока  $U_D$

падает на LDD-области, учитывая, что сопротивление канала много меньше сопротивлений истока и LDD-области. Соответственно, при одинаковом  $U_D$  в LDMOS-структуре с большей глубиной  $p^+$ -области напряжённость поля в DE (как и в любой другой точке и LDD-области) будет выше. Во-вторых, ограничивая ток, сопротивление истока наравне с напряжением затвора определяет момент проявления эффекта Кирка. Т.е. чем меньше сопротивление истока, тем при меньшем  $U_G$  начнет проявляться эффект Кирка, и соответственно, перераспределение  $E$ , приводящее к повышению напряжённости у DE. Влияние глубины  $p^+$ -истока на распределение  $E$  и вид ВАХ показано на рисунке 3.24.

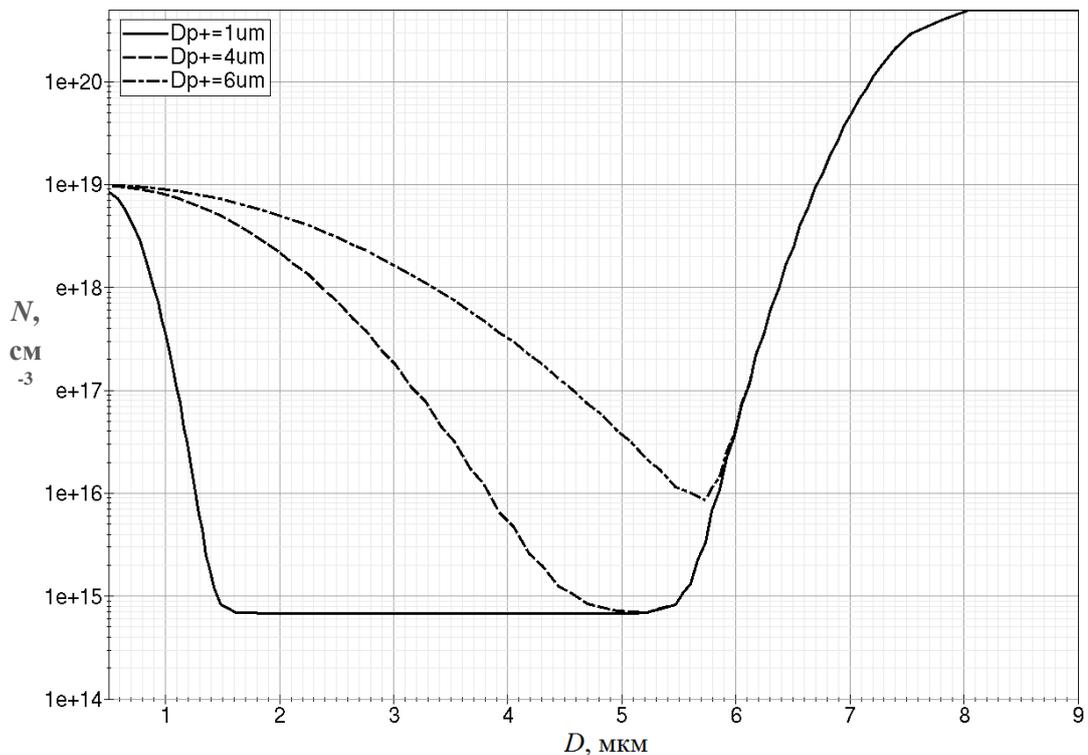
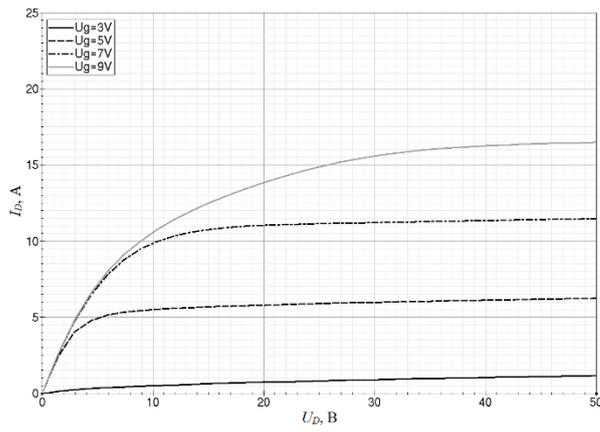
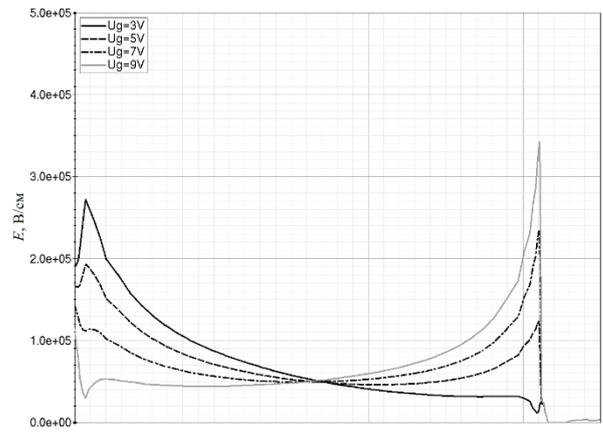


Рис. 3.23. Профиль распределения примеси в эпитаксиальном слое при разной глубине  $p^+$ -области

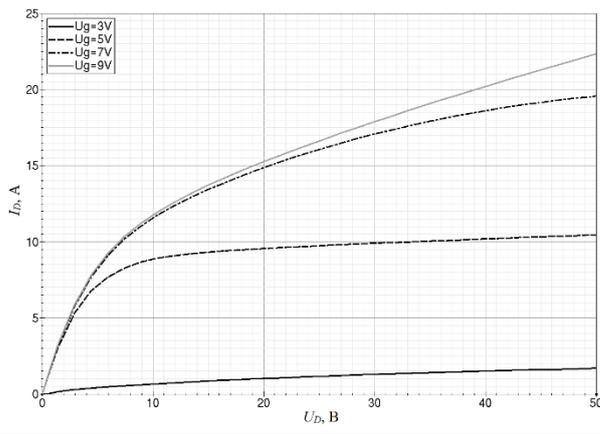
Однако большое сопротивление истока лишь с смещает наступление эффекта квазинасыщения в сторону больших  $U_G$ , степень же выраженности квазинасыщения остается неизменной, то есть эффект не подавляется.



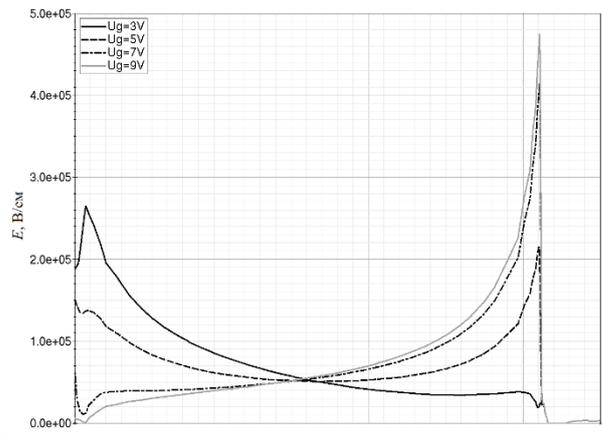
*a*



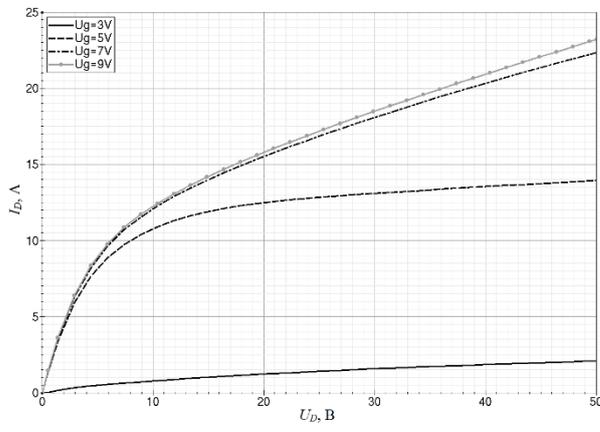
*б*



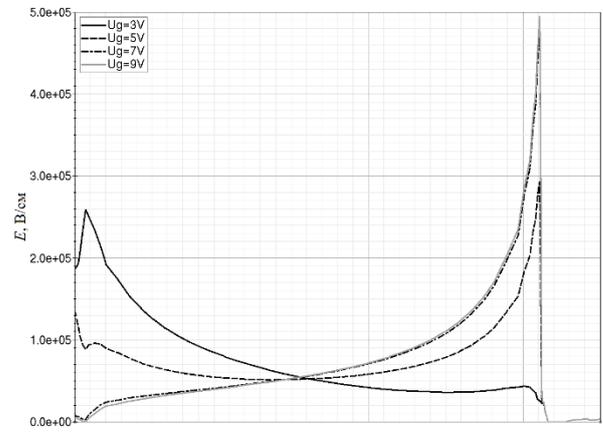
*в*



*г*



*д*



*е*

Рис. 3.24. Влияние глубины  $p^+$ -области:

- a*) выходные ВАХ при  $D_{p^+}=1$  мкм; *б*) распределение  $E$  при  $D_{p^+}=1$  мкм;  
*в*) выходные ВАХ при  $D_{p^+}=4$  мкм; *г*) распределение  $E$  при  $D_{p^+}=4$  мкм;  
*д*) выходные ВАХ при  $D_{p^+}=6$  мкм; *е*) распределение  $E$  при  $D_{p^+}=6$  мкм

### LDD-область

С учетом того, что эффекты, вызывающие квазинасыщение, происходят именно в LDD-области, естественно, что ее конструктивные параметры оказывают ключевое влияние на квазинасыщение. На рисунке 3.25 показаны выходные ВАХ LDMOS-транзисторов с LDD-областями длиной 5 и 6 мкм. Как видно из приведенного графика, длина LDD-области сказывается лишь при высоком  $U_G$ , когда пик напряженности поля смещается к DE. В этом случае, как уже говорилось в главе 3.2, при одинаковом  $U_D$  напряженность поля оказывается выше в структуре с более короткой LDD-областью. Соответственно, механизм роста тока стока после насыщения скорости носителей, описанный в главе 3.1, начинает работать раньше, и квазинасыщение оказывается выражено сильнее. При низких же  $U_G$  напряженность поля сосредоточена у SE, и ее значение не зависит от длины LDD-области.

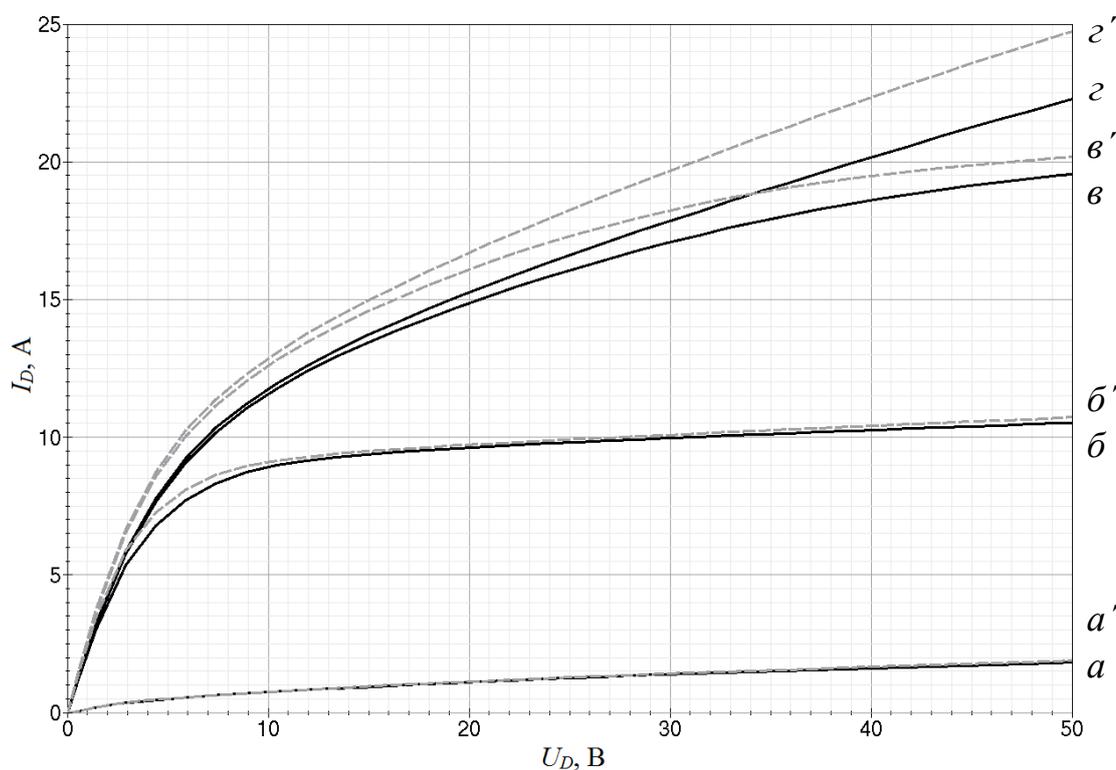


Рис. 3.25. Семейство выходных ВАХ мощных СВЧ LDMOS-транзисторов с различными длинами LDD-области: черные сплошные линии – 6 мкм; серые пунктирные линии – 5 мкм:  $a, a'$  –  $U_G = 3$  В;  $б, б'$  –  $U_G = 5$  В;  $в, в'$  –  $U_G = 7$  В;  $з, з'$  –  $U_G = 9$  В

Влияние на квазинасыщение концентрации примеси  $N_{LDD}$  в LDD-области отображено на рисунке 3.26. Именно от  $N_{LDD}$  зависит при каком уровне инжекции электронов из канала начнет проявляться эффект Кирка, поэтому этот параметр сказывается как на величине пика напряжённости поля  $E$  (рис. 3.27), так и на распределении  $E$  вдоль LDD-области при определенном  $U_G$ . Последнее означает, что в зависимости от уровня концентрации, наиболее равномерное распределение  $E$ , отвечающее минимальному относительному приращению  $\Delta I_{D20-40}/I_{D20}$ , достигается при разных значениях  $U_G$ .

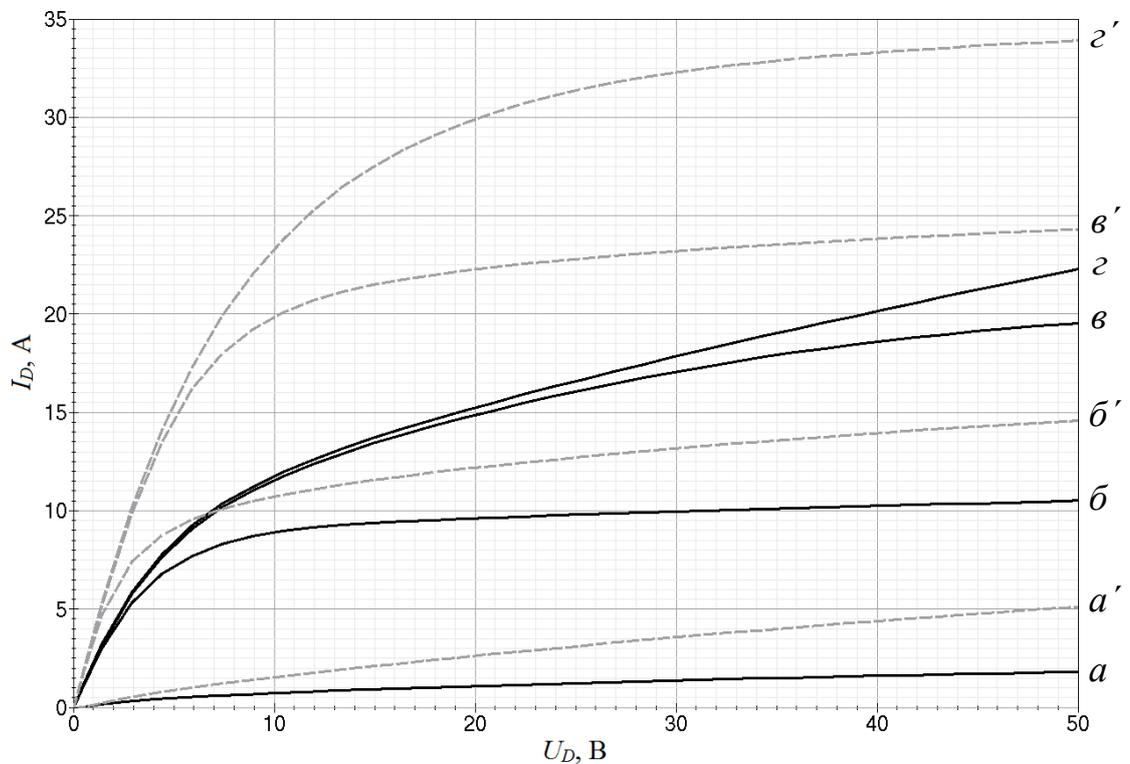


Рис. 3.26. Семейство выходных ВАХ мощных СВЧ LDMOS-транзисторов при разной концентрации примеси  $N_{LDD}$  LDD-области: черные сплошные линии —  $5 \cdot 10^{16} \text{ см}^{-3}$ ; серые пунктирные линии —  $1,1 \cdot 10^{17} \text{ см}^{-3}$ :  $a, a'$  —  $U_G = 3 \text{ В}$ ;  $б, б'$  —  $U_G = 5 \text{ В}$ ;  $в, в'$  —  $U_G = 7 \text{ В}$ ;  $г, г'$  —  $U_G = 9 \text{ В}$

Внедрение высоколегированного HDD-участка в LDD-область (см. рис. 3.19) также оказывает влияние на квазинасыщение выходной ВАХ. На рисунках 3.28а и 3.28б показаны зависимости параметров квазинасыщения  $\Delta I_{D20-40}$  и  $\Delta I_{D20-40}/I_{D20}$  от напряжения на затворе при разном располо-

жении HDD-участка. Как и в главе 3.1, положение HDD-участка определяется расстоянием между границей HDD-участка и краем затвора, протяженность HDD-участка составляет 1 мкм.

Как видно, внедрение HDD-участка приводит к повышению напряжения на затворе  $U_G$ , соответствующему минимуму  $\Delta I_{D20-40}/I_{D20}$ , и общему росту  $\Delta I_{D20-40}$  и  $\Delta I_{D20-40}/I_{D20}$ .

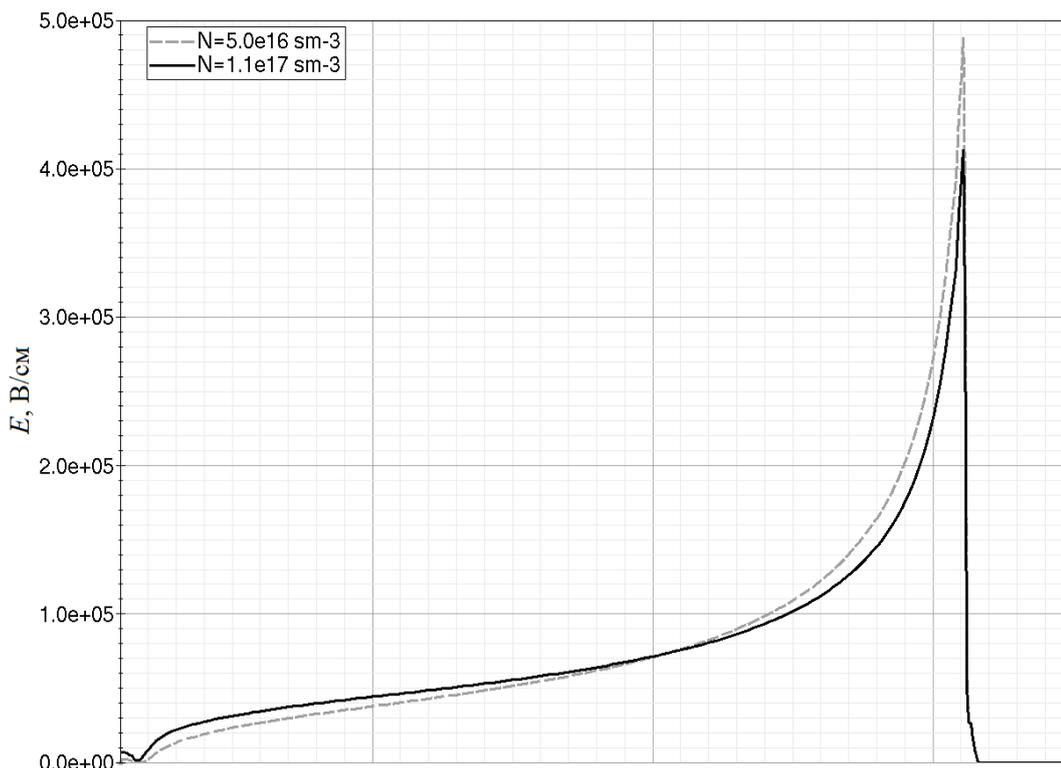


Рис. 3.27. Распределение напряжённости электрического поля вдоль LDD-области

при разной концентрации примеси  $N_{LDD}$  LDD-области:

черные сплошные линии –  $5 \cdot 10^{16} \text{ см}^{-3}$ ;

серые пунктирные линии –  $1,1 \cdot 10^{17} \text{ см}^{-3}$

Чтобы понять, чем это вызвано, можно проанализировать распределение напряженности поля вдоль LDD-области при  $U_G = 5 \text{ В}$ , соответствующему минимуму  $\Delta I_{D20-40}/I_{D20}$  без HDD-участка (рис. 3.29). Согласно главе 3.1, наименьший прирост тока после насыщения обеспечивается при максимально равномерном распределении напряжённости  $E$  электрического поля по LDD-области. Исходя из рисунка 3.29, наиболее неравномерным оказывается

распределении  $E$  при расположении HDD-участка у края затвора при  $h = 0,2$  мкм, наиболее равномерным – при расположении HDD-участка у края стока при  $h = 5,0$  мкм, что соотносится с графиками 3.28. Увеличение  $\Delta I_{D20-40}/I_{D20}$  структуры с  $h = 5,0$  мкм по сравнению с равномерно легированной LDD-областью, по-видимому, связано с более близким расположением пика  $E$  по отношению к затвору.

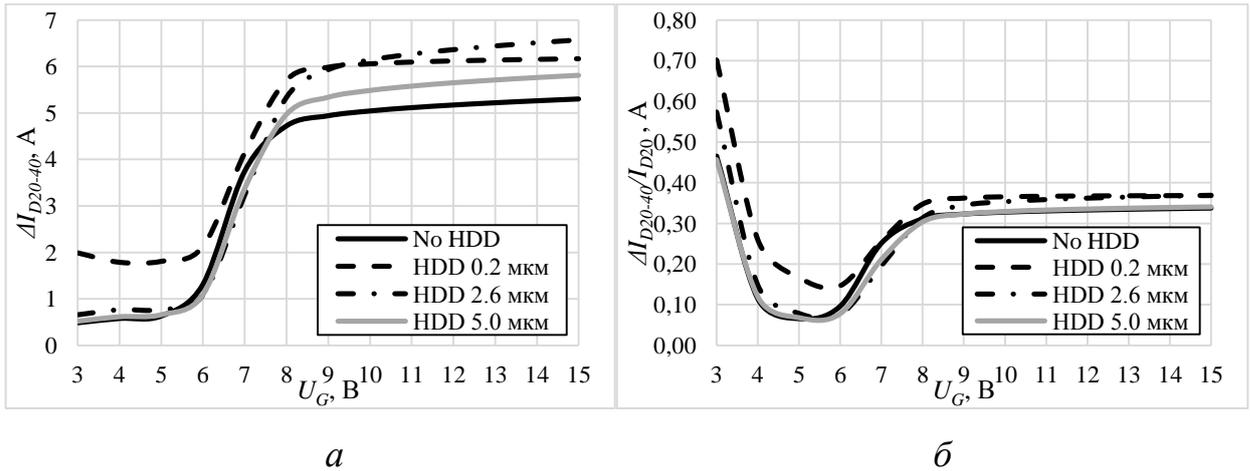


Рис. 3.28. Зависимость приращения тока стока от напряжения на затворе при разных положения HDD-участка:  $a$  – абсолютная;  $b$  – относительная

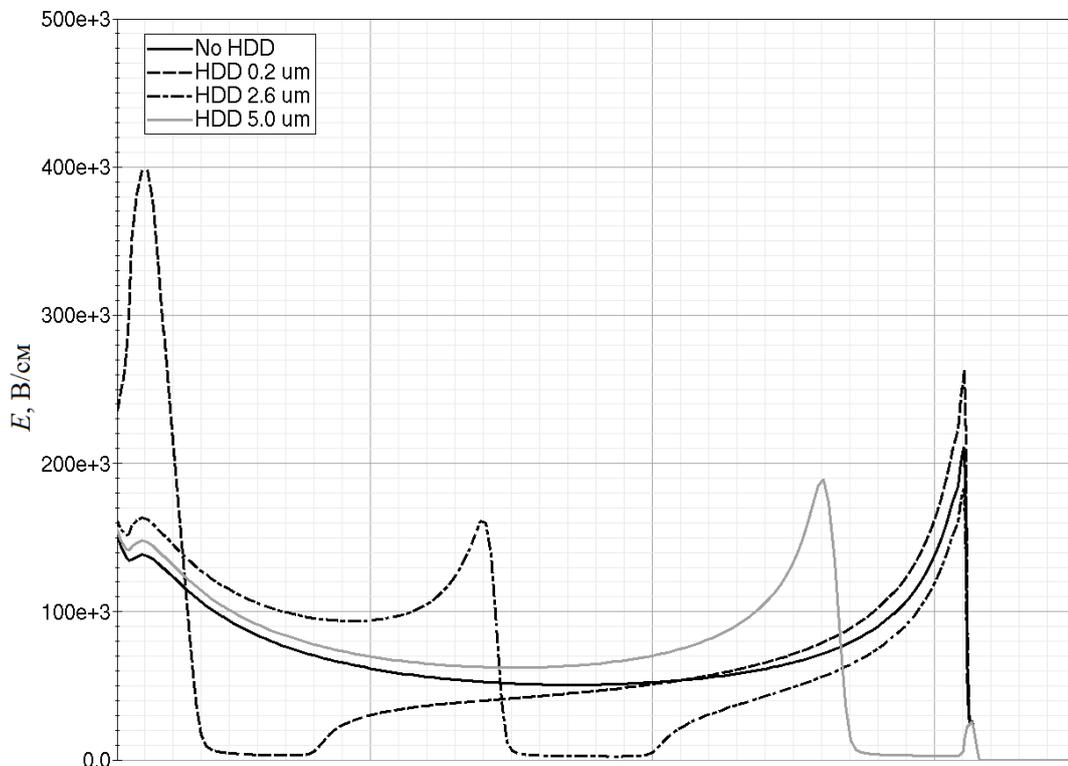


Рис. 3.29. Распределение напряженности электрического поля вдоль LDD-области при разных положения HDD-участка при  $U_D = 50$  В,  $U_G = 5$  В

Сравнивая рисунки 3.20 и 3.29 можно прийти к выводу, что внедрение HDD-участка резко снижает напряжённость поля на данном участке. При этом на границе LDD/HDD напряжённость не просто возрастает, а образует пик, тем более резкий, чем больше перепад концентраций двух участков. Исключением является случай расположения HDD-участка у края затвора. В такой структуре при  $U_G$  ниже напряжения срабатывания эффекта Кирка  $E$  в HDD-участке по сравнению равномерно легированной LDD-областью наоборот резко возрастает. Также стоит упомянуть, что существует обратная схема: формирования в LDD-области участка с меньшей концентрацией примеси по сравнению с основной LDD-областью. Поведение поля в таком участке, в дальнейшем именуемом SDD (Slight Doped Drain), прямо противоположно случаю с HDD. При этом пик напряжённости также формируется на границе участка более низкой концентрации с более высокой, то есть на границе SDD/LDD.

### *Полевой электрод*

Изменение выходных ВАХ при введении в конструкцию LDMOS-транзистора над LDD-областью полевого электрода, выполненного в слое первого металла, показано на рисунке 3.30 при одинаковом уровне легирования  $N_{LDD} = 5 \cdot 10^{16} \text{ см}^{-3}$  в обеих структурах без полевого электрода и с полевым электродом. Перераспределение поля, вызываемое внедрением ПЭ, приводит к уменьшению  $E$  у DE, что, как уже обсуждалось, приводит к более раннему квазинасыщению переходной ВАХ с меньшим  $I_{D \text{ нас}}$ . В то же время, более равномерное распределение  $E$  дает меньшее приращение тока стока, и квазинасыщение выражается слабее.

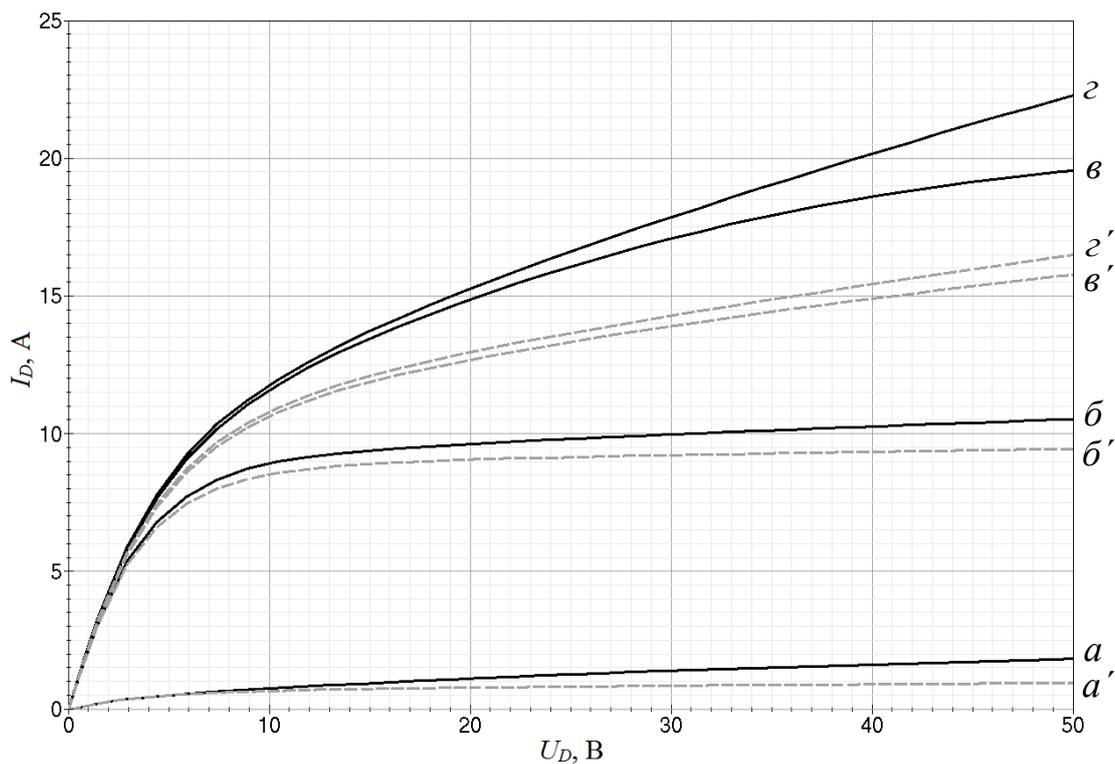


Рис. 3.30. Семейство выходных ВАХ мощных СВЧ LDMOS-транзисторов  
 черные сплошные линии – без полевого электрода;  
 серые пунктирные линии – с полевым электродом:  
 $a, a' - U_G = 3 \text{ В}; б, б' - U_G = 5 \text{ В}; в, в' - U_G = 7 \text{ В}; г, г' - U_G = 9 \text{ В}$

Описанные эффекты проявляются тем сильнее, чем больше протяжённость ПЭ. Так же, как и ранее, ступенчатый и двухуровневый ПЭ обладают усиленным действием по сравнению с ПЭ в первом слое металла. Уменьшение тока стока может быть скомпенсировано бóльшей концентрацией примеси в LDD-области, в то же время более равномерный характер распределения напряженности поля сохраняется независимо от  $N_{LDD}$ . Чем больше перекрытие полевым электродом LDD-области, тем выше оказывается оптимальная концентрация  $N_{LDD}$ . Уровень напряжения пробоя при этом также растет. Серьёзным недостатком увеличения протяжённости ПЭ оказывается рост межэлектродных ёмкостей.

### 3.4 Оптимизация конструкции LDMOS-транзистора для подавления эффекта квазинасыщения ВАХ

В главах 3.2 и 3.3 были описаны принципиальные зависимости степени выраженности квазинасыщения от конструктивно-технологических параметров различных элементов конструкции LDMOS-кристалла. Следует учесть, что описанные зависимости носят локальный характер и не учитывают синергетический эффект от изменения нескольких элементов конструкции одновременно. Более того, некоторые из рассматриваемых конструктивных параметров напрямую влияют на иные характеристики LDMOS-транзистора, имеющие первостепенную важность по сравнению со степенью выраженности квазинасыщения. Скажем, нельзя стремиться подавить квазинасыщение простым увеличением концентрации примеси в LDD-области, так как это приведет к падению напряжения пробоя и невозможности транзистора работать в требуемом режиме. В данной главе будут рассмотрены возможные пути оптимизации конструкции LDMOS транзисторного кристалла с точки зрения минимизации эффекта квазинасыщения без ущерба для прочих электропараметров прибора.

В начале необходимо определить список рабочих параметров, оперируя которыми можно добиться снижения эффекта квазинасыщения. Из всех параметров элементов конструкции LDMOS кристалла, рассмотренных в главах 3.2, 3.3, наибольшее влияние на характер квазинасыщения и внешний вид ВАХ имеют толщина подзатворного окисла, глубина  $p^+$ -области, параметры полевого электрода и LDD-области.

Как уже отмечалось глубина  $p^+$ -области не влияет на саму степень выраженности квазинасыщения. Увеличение/уменьшение этого параметра лишь смещает наступление эффекта квазинасыщения в сторону меньших/больших напряжений затвора  $U_G$ . То есть ВАХ структуры с большей глубиной  $p^+$ -области при некотором  $U_G$  будет практически идентична ВАХ структуры с меньшей глубиной, но при несколько большем  $U_G$ .

Глубина  $p^+$ -области значительно сказывается на двух электропараметрах LDMOS-транзистора – сопротивлении в открытом состоянии  $R_{СИ}$  и крутизне. Причем в обоих случаях увеличение глубины  $p^+$ -области сказывается положительно. Таким образом с конструктивной точки зрения нет смысла ограничивать глубину  $p^+$ -области, все ограничения вытекают лишь из технологических возможностей. В настоящий момент возможности по улучшению электропараметров LDMOS-транзистора путем увеличения глубины  $p^+$ -области исчерпаны, и этот параметр из задачи оптимизации конструкции исключается.

Толщина подзатворного окисла также не оказывает реального эффекта на степень выраженности квазинасыщения. Более того, толщина подзатворного окисла является определяющим параметром для таких электропараметров как пороговое напряжение, крутизна и максимально допустимое напряжение на затворе. Кроме того этот параметр в значительной степени определяется технологией производства. Таким образом, этот параметр можно считать заданным.

Из выше сказанного следует, что задача снижения степени выраженности квазинасыщения может быть достигнута только варьированием параметров LDD-области и ПЭ. Эти два элемента определяют практически все важнейшие параметры LDMOS-транзистора, так что при оперировании ими требуется учитывать множество факторов. Длина LDD-области и концентрация примеси в ней  $N_{LDD}$  в первую очередь подбираются исходя из требований по уровню  $U_{проб}$ . В общем и целом, увеличение длины LDD-области приводит к росту  $R_{СИ}$  и падению тока насыщения  $I_{D нас}$ , так что для нее выбирают минимальное значение, при котором возможно обеспечить требуемый уровень  $U_{проб}$ . При этом, как уже отмечалось, для заданной длины LDD-области зависимость  $U_{проб}$  от  $N_{LDD}$  имеет максимум при определенном значении концентрации. Эта концентрация считается оптимальной. Самый простой способ ослабить эффект квазинасыщения это поднять оптимальную концентрацию примеси в LDD-области. Сделать это позволяет полевой электрод. Как отме-

чалось в главе 1.2, ПЭ снижает эффективную концентрацию в LDD-области, которая и определяет  $U_{проб}$ . В свою очередь, степень выраженности квазинасыщения, как и  $R_{СИ}$ , зависит от фактической концентрации. Кроме того, как оговаривалось в главе 3.3, внедрение ПЭ само по себе (без повышения концентрации) позволяет выровнять напряжённость поля  $E$  вдоль LDD-области, и тем самым ослабить квазинасыщение. Целесообразно выбирать конструкцию ПЭ с максимальным полевым эффектом на LDD-область. На практике это означает многоуровневый ПЭ, где первый слой располагается непосредственно у затвора и перекрывает незначительный участок LDD-области, а каждый последующий располагается выше и перекрывает больший участок. Однако следует учитывать, что при достижении определенной протяжённости полевой электрод приводит к падению  $U_{проб}$  и резкому росту выходной ёмкости.

Дополнительно ослабить проявление эффекта квазинасыщения можно за счет формирования в LDD-области участков пониженной (SDD) или повышенной (HDD) концентрации, описанных в главах 3.2 и 3.3. SDD-участок позволяет поднять  $E$  на требуемом участке, HDD-участок – снизить. Также возможно использовать пик  $E$  на границе участков с низкой и высокой концентрацией примеси.

При поиске оптимальной с точки зрения минимизации проявления квазинасыщения конструкции путем моделирования было проведено исследование влияния различных положений, протяжённостей и концентраций в SDD и HDD участках. Ниже подведен краткий итог этих исследований.

При расположении SDD-участка у СЕ эффект квазинасыщения ослабляется. Область значений  $U_G$ , при которой наблюдается это ослабление, зависит от соотношения концентраций в SDD-участке и остальной LDD-области. При малых концентрациях в SDD-участке квазинасыщение сильно ослабляется при напряжениях, соответствующих линейному участку переходной ВАХ, но при напряжениях, близких к насыщению, квазинасыщение напротив усиливается. При близких концентрациях в SDD и LDD квазинасыщение ос-

лабляется во всем диапазоне  $U_G$ , но не так значительно. Размещение SDD-участка ближе к DE или середине LDD-области приводит к усилению квазинасыщения во всем диапазоне  $U_G$ .

HDD-участок напротив, увеличивает степень квазинасыщения во всем диапазоне  $U_G$  при размещении у SE. Наиболее выгодным оказывается расположение HDD у DE – квазинасыщение ослабляется во всем диапазоне  $U_G$ . Расположение HDD-участка ближе к центру LDD-области приводит к не столь однозначным результатам. Подавление квазинасыщения наблюдается при средних напряжениях на затворе, при низких или высоких напряжениях квазинасыщение, напротив, возрастает.

Таким образом, были отсеяны заведомо тупиковые варианты конструкции и выбраны два перспективных: расположение SDD-участка у SE и HDD-участка у DE. Дальнейшей целью стало более глубокое исследование оставшихся вариантов, их оптимизация и сравнения. Сравнение этих вариантов и их разновидностей по степени выраженности квазинасыщения выходной ВАХ приведено в таблице 3.1. Критериями выраженности квазинасыщения выступают введенные в главе 3.1 абсолютное ( $\Delta I_{D20-40}$ ) и относительное ( $\Delta I_{D20-40}/I_{D20}$ ) приращение токов стока. Выраженность квазинасыщения оценивалась при пяти различных уровнях напряжения на затворе:  $U_G = 4$  В – начало линейного участка переходной ВАХ,  $U_G = 6$  В – середина линейного участка,  $U_G = 8$  В – конец линейного участка,  $U_G = 10$  В – переход к насыщению переходной ВАХ,  $U_G = 12$  В – полное насыщение. Все варианты характеризуются одинаковым уровнем  $U_{проб}$  и близком  $I_{D нас}$  (подробнее вопрос описан ниже). В этой же таблице приведено распределение поля  $E$  для каждой конструкции. Ниже описаны особенности и выводы по каждой конструкции.

Таблица 3.1

Степень выраженности квазинасыщения для разных вариантов конструкции LDMOS-структуры

№	Описание	$U_G$ , В	$\Delta I_{D20-40}$ , А	$\Delta I_{D20-40}/I_{D20}$	Вид структуры
1	С двух-уровневым ПЭ	4	0,886	0,1189	
		6	0,743	0,0423	
		8	0,840	0,0304	
		10	2,941	0,0860	
		12	4,625	0,1306	
2	С двух-уровневым ПЭ и SDD	4	0,749	0,1140	
		6	0,652	0,0393	
		8	0,820	0,0309	
		10	2,795	0,0864	
		12	3,892	0,1164	
3	С двух-уровневым ПЭ и HDD	4	0,885	0,1187	
		6	0,739	0,0420	
		8	0,819	0,0296	
		10	2,791	0,0810	
		12	4,499	0,1257	
4	С двух-уровневым ПЭ и HDD (основная доза снижена)	4	0,730	0,1024	
		6	0,616	0,0358	
		8	0,804	0,0297	
		10	3,060	0,0935	
		12	4,187	0,1246	
5	С двух-уровневым ПЭ, SDD и HDD	4	0,748	0,1138	
		6	0,647	0,0389	
		8	0,793	0,0298	
		10	2,667	0,0817	
		12	3,813	0,1127	

**Вариант 1.** Включает в себя двухуровневый ПЭ и равномерно легированную LDD-область. По сравнению с классической архитектурой LDMOS транзисторного кристалла достигнуто значительное снижение квазинасыщения во всем диапазоне  $U_G$ . В данном исследовании вариант 1 является базовым. По умолчанию сравнение остальных вариантов проводится именно с ним.

**Вариант 2.** Конструкция с двухуровневым ПЭ и SDD-участком, расположенным у СЕ. Хорошо подавляет квазинасыщение при  $U_G$ , соответствующих началу и середине линейного участка переходной ВАХ, а также участку насыщения. Относительно варианта 1 наблюдается слабое усиление квазинасыщения на второй половине линейного участка. Серьезным недостатком данного варианта является снижение  $I_{D\text{ нас}}$  и уменьшение протяженности линейного участка переходной ВАХ. Таким образом, данная конструкция снижает квазинасыщение выходной ВАХ, но усиливает квазинасыщение переходной ВАХ. Ниже будет описан альтернативный вариант с SDD, ничем не уступающей, но во многом превосходящей данный. Ввиду сказанного вариант 2 считается бесперспективным.

**Вариант 3.** Конструкция с двухуровневым ПЭ и HDD- участком у DE представлена в двух разновидностях. В данном варианте основная концентрация в LDD-области соответствует оптимальной концентрации для равномерно легированного варианта (т.е. варианту 1). Этот вариант в сравнении с базовым характеризуется умеренным уменьшением степени квазинасыщения во всем диапазоне  $U_G$ . Благодаря этому в вопросе снижения квазинасыщения такая конструкция может считаться консервативной, предлагая небольшое, но гарантированное улучшение.

**Вариант 4.** Вторая версия структуры с двухуровневым ПЭ и HDD подразумевает снижение концентрации в LDD-области относительно оптимальной. Эта конструкция обеспечивает рекордное ослабление квазинасыщения при низких  $U_G$ , ослабление на уровне прочих вариантов на конце линейного участка переходной ВАХ и умеренное ослабление при ее насыщении. Усиление квазинасыщения наблюдается только при  $U_G = 10$  В. Также такая конструкция позволяет обеспечить улучшение прочих электропараметров LDMOS-транзистора на (1 – 4)%. Недостатком этой конструкции является необходимость более тонкой настройки всех параметров структуры. Наиболее перспективный, но сложно реализуемый вариант.

**Вариант 5.** Включает в себя двухуровневый ПЭ и сочетает SDD- и HDD-участки. Такая конструкция обеспечивает снижение квазинасыщения во всем диапазоне  $U_G$  относительно базового варианта; не уступает варианту 2 при низких  $U_G$ , превосходя его при  $U_G = (8 - 12)$  В; незначительно уступает варианту 3 при  $U_G = (8 - 10)$  В, но обеспечивает меньшее квазинасыщения при прочих значениях напряжения на затворе. В целом можно заключить, что по эффективности подавления квазинасыщения данный вариант сопоставим с вариантом 4, уступая ему при  $U_G = (4 - 6)$  В, но превосходя при  $U_G = (10 - 12)$  В. Как и в случае с вариантом 2, недостатком является более сильно выраженное квазинасыщение переходной ВАХ и снижение  $I_{D\text{ нас}}$ . Данная конструкция может применяться для транзисторов, разрабатываемых как высоколинейные, для которых достижение максимальной выходной мощности может быть не столь критичным.

Подводя итоги, стоит отметить, что выбор той или иной конструкции LDMOS транзисторного кристалла может зависеть от специфики режима работы транзистора, а также требований приборов на его основе. В качестве общего решения наиболее эффективной видится конструкция варианта 4, включающая в себя двухуровневый полевой электрод и формирование в LDD-области участка с повышенной концентрацией у границы  $n^+$ -стока.

### ВЫВОДЫ К ГЛАВЕ 3

1. Квазинасыщение, являясь результатом сложных физических процессов, зависит от многих конструктивно-технологических параметров LDMOS транзисторных кристаллов. Основным фактором при этом выступает влияние конструктивных параметров на распределение напряжённости электрического поля в LDD-области.

2. Максимально приближенная к идеальному насыщению выходной ВАХ LDMOS-транзисторов достигается при равномерном распределении напряженности электрического поля по всей длине LDD-области.

3. Наибольшим влиянием на характер квазинасыщения и внешний вид ВАХ среди всех конструктивно-технологических параметров LDMOS транзисторных кристаллов обладают глубина  $p^+$ -области, толщина подзатворного диэлектрика, конструкция и длина перекрытия полевого электрода, концентрация примеси в LDD-области и ее длина. При этом для оптимизации конструкции с точки зрения минимизации степени выраженности квазинасыщения ВАХ могут использоваться только параметры полевого электрода и LDD-области.

4. Наиболее эффективным способом снизить степень выраженности квазинасыщения выступает повышение оптимальной концентрации примеси в LDD-области.

5. Для повышения оптимальной концентрации примеси в LDD-области следует формировать многоуровневый полевой электрод с близким расположением его первого уровня к LDD-области. Кроме того, полевой электрод также выступает хорошим средством для достижения равномерного распределения напряжённости электрического поля по LDD-области.

6. Для максимального ослабления эффекта квазинасыщения следует формировать неравномерно легированную LDD-область, включая в нее участки повышенной и пониженной концентрации HDD и SDD. Наибольший эффект обеспечивается размещением HDD-участка у стокового края LDD-области, а SDD- участка у затворного.

7. Наиболее перспективной конструкцией для снижения эффекта квазинасыщения является конструкция с двойным полевым электродом и HDD-участком у стокового края LDD-области.

## ГЛАВА 4. РАЗРАБОТКА МОЩНОГО СВЧ LDMOS-ТРАНЗИСТОРА ПРИ УЧЕТЕ ЭФФЕКТА КВАЗИНАСЫЩЕНИЯ ВАХ

### 4.1 Конструкция разработанного прибора

Полученные в результате моделирования и приведенные в главе 3 данные были использованы при разработке нового транзисторного кристалла в рамках НИР «Исследование и разработка мощных СВЧ LDMOS-транзисторов с повышенным коэффициентом полезного действия в L-диапазоне частот и транзисторов на основе нитрида галлия для работы в L-, S- и C диапазонах частот». При этом снижение степени выраженности эффекта квазинасыщения было сопутствующей задачей. Для ее исполнения была избрана конструкция, обозначенная как вариант 4 в главе 3.4.

Разработанный прибор создавался как замена транзистора 2П9120АС и выполнен в аналогичном металлокерамическом корпусе КТ-103А-2. Внешний вид разработанного изделия приведен на рисунке 4.1.

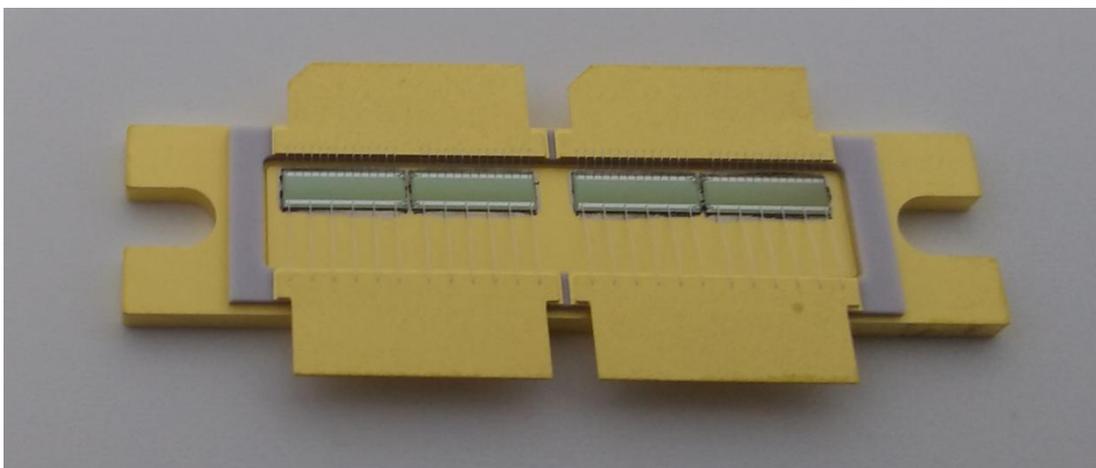


Рис. 4.1. Общий вид транзистора 2П9120АС, собранного из кристаллов новой разработки

Соответственно, разработанный транзистор является балансным, в каждом плече находятся по два транзисторных кристалла новой конструкции. Так как транзистор предназначен для работы на частоте до 500 МГц, то

цепи согласования по входу/выходы не требуются. Для разварки стока и затвора транзисторных кристаллов на соответствующие выводы корпуса использовалась алюминиевая проволока диаметром 50 мкм. Контакт к истоку служит обратная сторона кристалла, так что при напайке исток выводится на фланец корпуса. На рисунке 4.2 приведен вид разваренного плеча транзистора.

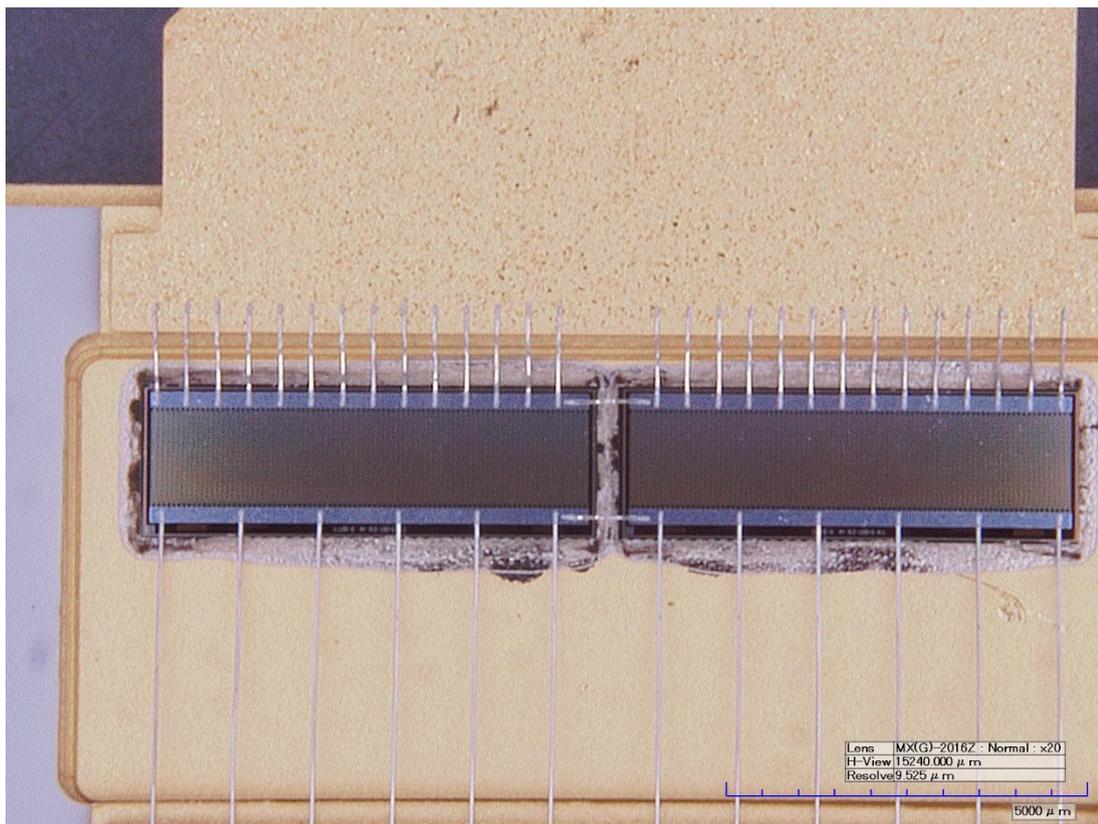


Рис. 4.2. Плечо транзистора 2П9120АС, собранного из кристаллов новой разработки

Транзисторный кристалл имеет габариты  $5,8 \times 1,9$  мм<sup>2</sup>. Общий периметр затвора составил 207 мм. По габаритам и общему периметру новый кристалл аналогичен тому, что использовался в 2П9120АС предыдущей ревизии. Всего кристалл объединяет 174 пальца, длиной в 1190 мкм. Контактные площадки для удобства разварки выполнены в виде сплошных разварочных шин.

Данные транзисторные кристаллы изготовлены по технологическому маршруту, разработанному совместно АО «Микрон» и АО «НИИЭТ». Тех-

нология характеризуется минимальными технологическими нормами 0,3 мкм и включает 5 слоев металлизации. Производство пластин с разработанными кристаллами осуществляется на производственных линиях АО «Микрон». Исходные пластины с эпитаксиальным слоем поставляет АО «Эпиэл».

По сравнению с LDMOS-транзисторами предыдущих поколений технология изготовления новой разработки характеризуется несколькими существенными усовершенствованиями, призванными улучшить электропараметры конечного изделия [8].

**Уменьшение толщины подзатворного диэлектрика.** Снижение толщины подзатворного диэлектрика реализовано с целью уменьшения сопротивления базы паразитного биполярного транзистора. По достижению напряжения пробоя паразитный биполярный транзистор может привести к срыву во вторичный пробой, приводящий к катастрофическому отказу. Для уменьшения сопротивления его базы следует повышать концентрацию примеси в подзатворной области, однако это приводит к падению порогового напряжения. Уменьшение толщины подзатворного окисла позволяет компенсировать влияние концентрации примеси на пороговое напряжение. Вторым положительным моментом при уменьшении толщины подзатворного диэлектрика выступает повышение крутизны переходной ВАХ, что в свою очередь приводит к увеличению коэффициента усиления по мощности транзистора.

**Увеличение толщины термически выращенного оксида кремния над дрейфовой областью стока.** Слой оксида кремния над LDD-областью представляет собой суперпозицию двух подслоев: 1) подслой, выращенный при воздействии высоких температур; 2) подслой, осажденный из газовой фазы при умеренных температурах. Недостатком осажденного слоя является относительно большая плотность дефектов, что приводит к возникновению значительной концентрации ловушек на границе двух диэлектрических слоев. Такие ловушки способны оказывать значительное влияние на протекающий вдоль LDD-области ток, что приводит к росту эффективного сопротив-

ления LDD-области. В новой конструкции толщина термического окисла увеличена вдвое, что позволяет отодвинуть границу раздела диэлектрических подслоев от поверхности кремния.

**Внедрение двухуровневого полевого электрода.** Изменение технологии формирования межслойного диэлектрика позволило внедрить в новой конструкции двухуровневый ПЭ. Первый уровень формируется из нитрида титана вблизи затвора транзистора с небольшой протяжённостью перекрытия LDD-области, в то время как верхний уровень располагается в слое первого металла на поверхности первого разделительного диэлектрика. Данная конструкция позволяет добиться увеличения напряжения пробоя сток-исток  $U_{проб}$  при одновременном уменьшении сопротивления сток-исток в открытом состоянии  $R_{СИ}$ . Также существенно возрастает максимальный ток стока  $I_{D\text{нас}}$ .

**Увеличение толщины верхнего токонесущего слоя металла.** При конструировании мощных приборов критическое значение приобретает площадь сечения стокowych пальцев, плотность тока через которые не должна превышать критического значения. В то же время площадь перекрытия стокковой металлизации поверхности кремния сказывается на уровне паразитных межэлектродных ёмкостей. Усовершенствование технологического процесса на АО «Микрон» позволило увеличить толщину верхнего слоя металлизации, что позволяет уменьшить ширину перекрытия им активной структуры при сохранении исходного сечения.

**Усовершенствование ESD-защиты.** Затворы LDMOS-транзисторов, как и всех полевых приборов, крайне уязвимы к воздействию статического электричества. Для повышения стойкости транзисторов к данному воздействию в цепь затвора включается интегральная ESD (Electrostatic discharge) защита. На приборах предыдущей ревизии ESD-защита представляла собой специальный диод. Такая конструкция хорошо выполняла свою функцию, однако не позволяла подавать на затвор отрицательное напряжение. В кристалле новой конструкции в дополнение к существующему диоду в ESD-защиту встраивается диод на поликремнии, инверсный по направленности к

первому. Диод формируется в поликремниевом слое и создается в одном технологическом процессе с затвором транзистора. Из-за наличия дополнительного диода проводится ряд новых операций легирования примеси для формирования  $p-n$ -перехода и контактных областей в поликремнии. Таким образом, новая ESD-защита позволяет подавать на затвор напряжение обеих полярностей. Это, во-первых, позволяет в схеме дополнительно закрывать канал транзистора подачей небольшого обратного смещения на затвор для снижения токов утечки, а, во-вторых, несколько увеличивает КПД транзистора при больших уровнях входного сигнала, амплитуда которых может превышать допустимый диапазон напряжений для ESD-защиты.

**Внедрение двойной LDD-области.** Как отмечалось выше, внедрением двойной LDD-области можно добиться решения широкого круга задач. Хотя для случая конструкции с двухуровневым ПЭ эффект и будет слабее, чем в случае одноуровневого ПЭ, внедрение двойной LDD-области позволяет повысить  $U_{проб}$ , уменьшить  $R_{СИ}$  или  $C_{вых}$ . Кроме того, наряду с ПЭ это нововведение позволяет наиболее эффективно подавлять эффект квазинасыщения.

Разработанная топология зарегистрирована, авторские права на нее принадлежат АО «НИИЭТ» [46].

## 4.2 Измерение электропараметров разработанного прибора

На первом этапе испытаний тестировались возможности самого кристалла. Для этого были изготовлены две партии приборов. В первой использовались транзисторные кристаллы, выполненные по усовершенствованной технологии (в дальнейшем «новая конструкция»), во второй – кристаллы предыдущей ревизии 2П9120АС (в дальнейшем «базовая конструкция»). Прибор включает в себя только один транзисторный кристалл без цепей согласования, корпуса при изготовлении обеих партий были идентичны. Внешний вид испытываемых приборов приведен на рисунке 4.3.

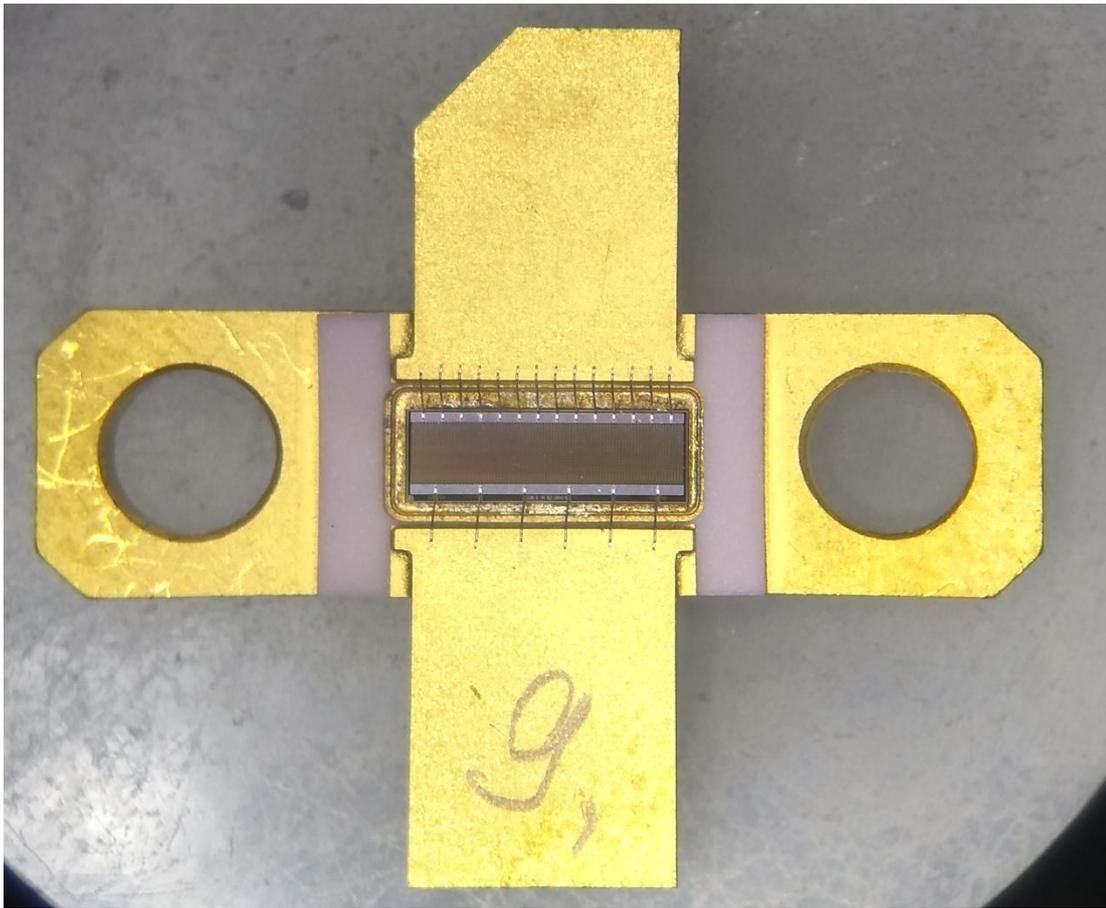


Рис. 4.3. Разработанный кристалл в тестовом корпусе

Типовой вид переходных ВАХ приборов приведен на рисунке 4.4.

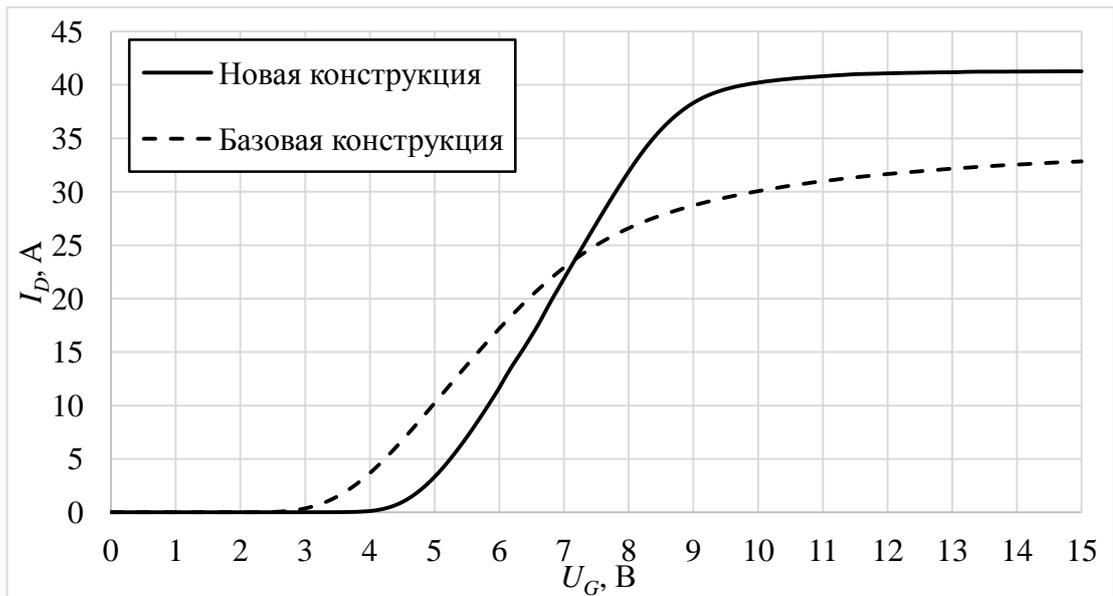


Рис. 4.4. Выраженность квазинасыщения переходной ВАХ на приборах новой и базовой конструкции

Как видно из рисунка 4.4, внесенные изменения позволили достичь более резкого насыщения характеристики. Также возросла крутизна на линейном участке и  $I_{D\text{ нас}}$ . Таким образом можно сделать вывод, что квазинасыщение переходной ВАХ в новой конструкции было существенно подавлено.

Семейства выходных ВАХ транзисторов базовой и новой разработки продемонстрированы на рисунке 4.5. Так как сравниваемые приборы имеют различный уровень порогового напряжения, значения напряжения на затворе при построении выходных ВАХ выбирались не одинаковыми по значению, а одинаковыми по положению на переходной ВАХ. Первая точка (Т0) находится на предпороговом участке, вторая (Т1) – в начале линейного участка, Т2 лежит на середине линейного участка, Т3 находится на переходе линейного участка в насыщение, Т4 – при полном насыщении переходной ВАХ.

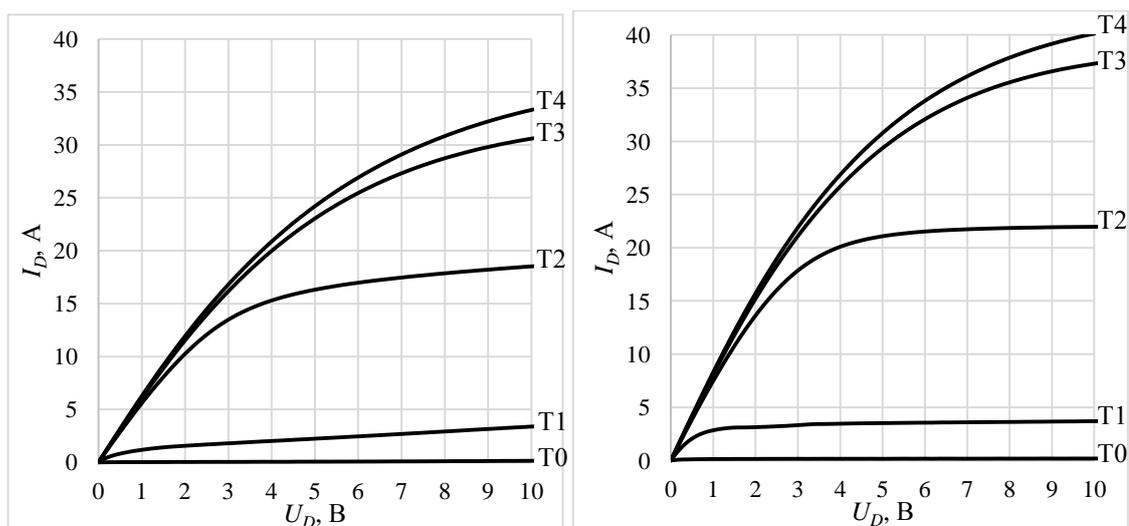


Рис. 4.5. Семейства выходных ВАХ приборов:  
*а* – базовой конструкции; *б* – новой конструкции

Для большей наглядности в таблице 4.1 приведены абсолютные ( $\Delta I_{D8-10}$ ) и относительные ( $\Delta I_{D8-10}/I_{D8}$ ) приращения токов стока, рассчитанные по приведенным ВАХ. Ограничения измерительного оборудования не позволяют построить ВАХ при больших напряжениях на стоке, так что разницы токов вычислялись при  $U_D=8\text{ В}$  и  $U_D=10\text{ В}$ . Также, для сравнения, указаны

значения  $\Delta I_{D8-10}$  и  $\Delta I_{D8-10}/I_{D8}$  для транзистора BLF188XR производства фирмы Ampleon [30]. Так как в плече BLF188XR находятся два кристалла, его измеренные значения тока стока при вычислениях были поделены на 2.

Таблица 4.1

Степень выраженности квазинасыщения исследуемых кристаллов

Участок переходной ВАХ	базовой конструкция		Новая конструкция		BLF188XR	
	$\Delta I_{D8-10}$ , А	$\Delta I_{D8-10}/I_{D8}$	$\Delta I_{D8-10}$ , А	$\Delta I_{D8-10}/I_{D8}$	$\Delta I_{D8-10}$ , А	$\Delta I_{D8-10}/I_{D8}$
T1	0,482	0,1650	0,074	0,0205	0,087	0,0347
T2	0,678	0,0379	0,111	0,0051	0,159	0,0129
T3	1,749	0,0606	1,649	0,0461	2,410	0,0718
T4	2,455	0,0795	2,075	0,0545	3,788	0,1098

Из таблицы 4.1 видно, что внесенные изменения в конструкцию LDMOS-структуры привели к существенному подавлению эффекта квазинасыщения выходной ВАХ, особенно при  $U_G$ , соответствующих линейному участку переходной ВАХ (T1 и T2). Сравнение с зарубежным аналогом показывает, что достигнутые результаты близки к мировому уровню [24].

Типовой вид вольтфарадных характеристик исследуемых приборов приведен на рисунках 4.6 – 4.8.

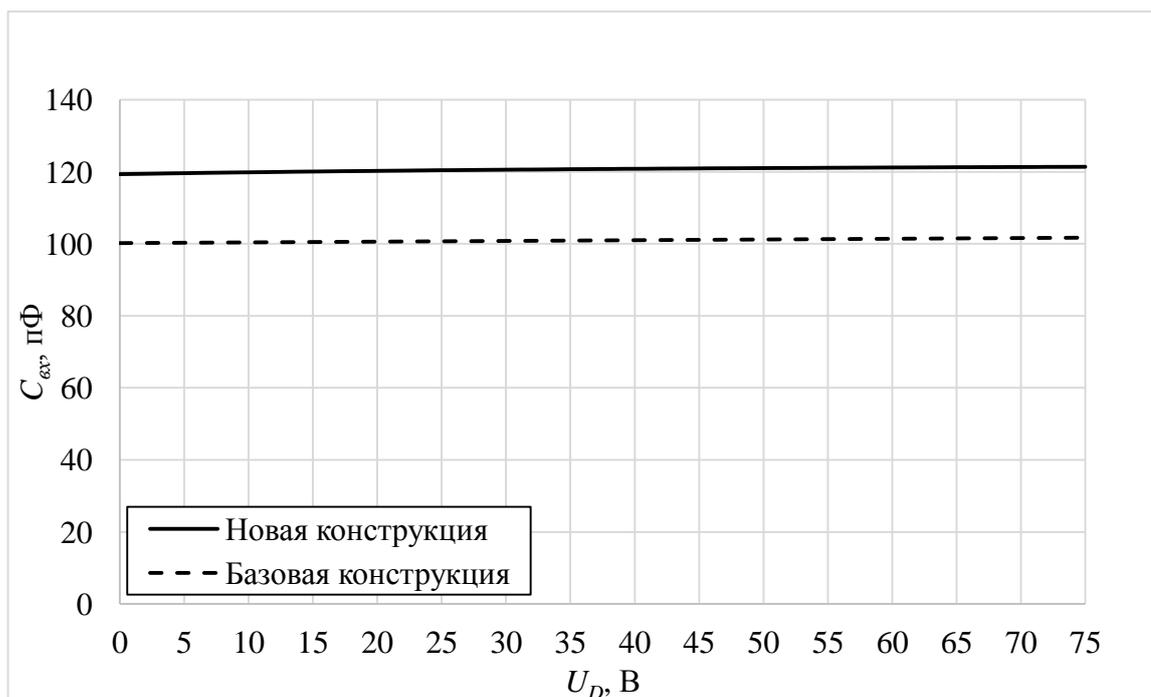


Рис. 4.6. Зависимость входной ёмкости от напряжения на стоке

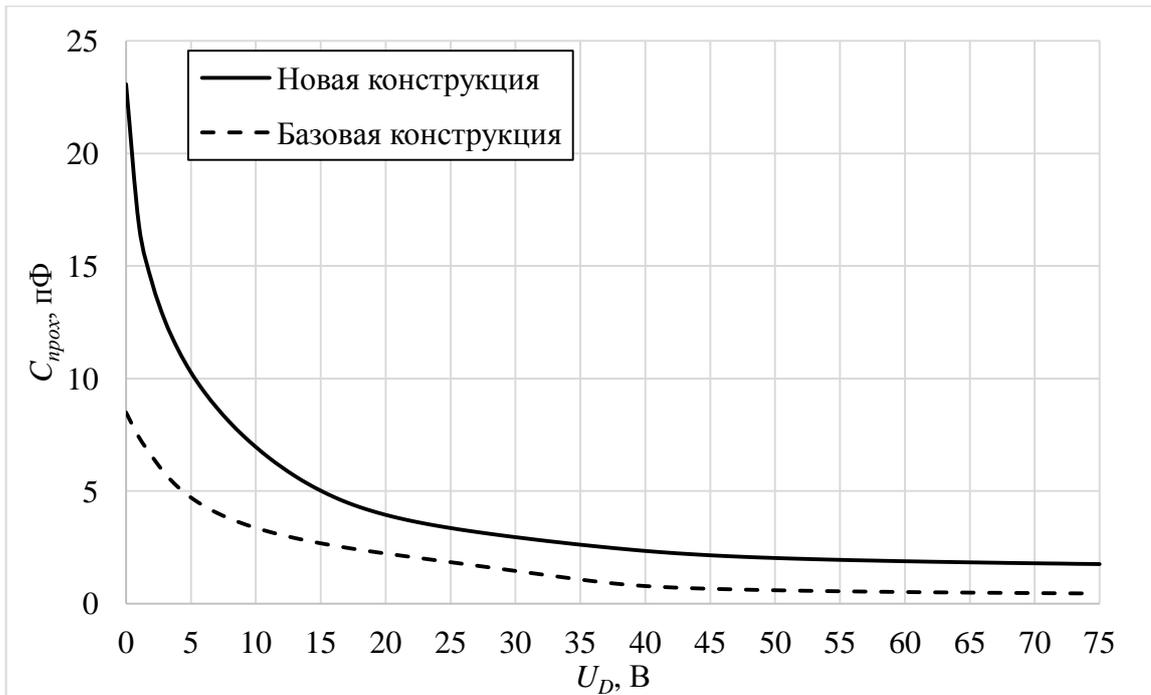


Рис. 4.7. Зависимость проходной ёмкости от напряжения на стоке

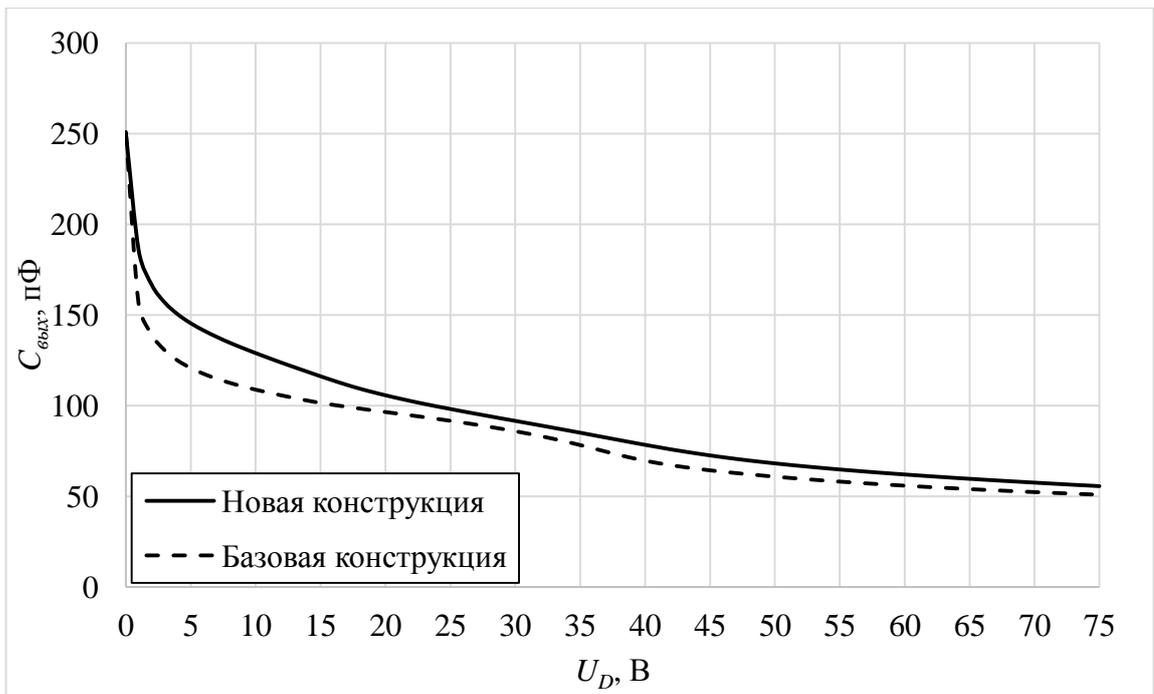


Рис. 4.8. Зависимость выходной ёмкости от напряжения на стоке

Увеличение входной ёмкости в новой конструкции по сравнению с существующей на 20% является следствием уменьшения толщины подзатворного диэлектрика и внедрения двухслойного ПЭ. Тем не менее, даже при учете роста  $C_{вх}$  транзисторные кристаллы АО «НИИЭТ» обладают на треть

меньшей удельной входной ёмкостью, чем зарубежные аналоги [114]. Это вызвано более низким расположением первого слоя ПЭ над поверхностью кремния и поликремния в иностранных кристаллах. Низкое расположение позволяет повысить эффективность ПЭ. Это дает возможность поднять удельную мощность и др. параметры, что перевешивает недостатки повышения  $C_{вх}$ . В настоящий момент работы по уменьшению высоты расположения ПЭ проводятся и в ПАО «Микрон».

Высокая проходная ёмкость новой конструкции вызвана топологическим недочетом: убирания экранирующих шин между стоковой и затворной металлизациями в пальцах. Это является главным недостатком новой LDMOS конструкции и должно быть устранено в последующих редакциях.

Выходная ёмкость в новой конструкции также оказалась выше (примерно на 10%). Это может быть связано с тем, что доза легирования LDD-области в базовых кристаллах оказалась ниже оптимальной (об этом свидетельствует низкий уровень  $U_{проб}$ ), что означает, что при одинаковом  $U_D$  ОПЗ в LDD-области старых кристаллов будет значительно больше. В целом, по удельной выходной ёмкости новая конструкция должна быть сопоставима с базовой.

Сравнение средних значений статических параметров приборов обеих партий приведено в таблице 4.2. В целом можно заключить, что удалось улучшить все основные электростатические параметры, за исключением межэлектродных ёмкостей. Повышение дозы легирования LDD-области позволило снизить  $R_{СИ}$  и поднять  $I_{D\text{ нас}}$ . В то же время двойной ПЭ дал возможность не только нивелировать влияние повышения дозы легирования на  $U_{проб}$ , но и добиться его повышения. Рост крутизны  $S$  обусловлен уменьшением толщины подзатворного диэлектрика.

Таблица 4.2

Электростатические параметры испытываемых приборов

Прибор	$R_{СИ}$ , Ом	$S$ , См	$U_{проб}$ , В	$I_{D\text{ нас}}$ , А	$C_{вх}$ , пФ	$C_{прох}$ , пФ	$C_{вых}$ , пФ
Новая конструкция	0,120	9,6	118	42,2	121,1	2,03	68,2
Базовая конструкция	0,152	6,5	100	33,7	101,2	0,60	60,7

Средние значения энергетических параметров приборов сведены в таблицу 4.3. Измерения энергетических параметров приборов проводилось по методу согласованной нагрузки при следующем режиме измерения: напряжение питания 50 В, тестовая частота 860 МГц, длительность импульса  $\tau_{II} = 300$  мкс, скважность  $Q = 10$ .

Таблица 4.3

Энергетические параметры испытываемых приборов

Прибор	$P_{ВХИ}$ , дБм	$P_{ВЫХИ}$ , Вт	$K_{УР}$ , дБ	$\eta_C$ , %
Новая конструкция	38	260	16,1	58,4
	40	352	15,5	64,3
	42	412	14,1	64,1
Базовая конструкция	38	151	13,8	46,4
	40	198	13,0	51,0
	42	198	11,0	50,4

Из приведенных данных можно сделать вывод, что внедрение описанных усовершенствований позволило:

- повысить показатель отношения максимальной выходной мощности к периметру затвора;
- повысить отношение напряжения пробоя сток-исток к сопротивлению сток-исток в открытом состоянии;
- поднять коэффициенты полезного действия  $\eta_C$  и усиления по мощности.

Кроме того, как показали дальнейшие тесты, новая конструкция позволяет минимизировать вероятность срыва прибора во вторичный пробой.

На данном этапе можно констатировать, что с точки зрения совершенствования технологии полученные результаты оказались более чем положительны. Однако с практической точки зрения – создания прибора, удовлетворяющего конкретным требованиям – ситуация не столь однозначна. Транзистор 2П9120АС согласно ТУ выдает 500 Вт выходной мощности на частоте 500 МГц. Из таблицы 4.3 видно, что даже если использовать в плече транзистора только по одному кристаллу новой конструкции, при  $P_{ВЫХ И} = 500$  Вт они будут работать в недогруженном режиме, с КПД существенно ниже воз-

можно. Также стало очевидно, что не имеет смысла проводить сравнение транзисторов 2П9120АС, собранных из кристаллов базовой и новой ревизии.

В связи со сказанным, собранные из кристаллов новой конструкции приборы было решено испытать как транзисторы 2П9120БС, использующие тот же корпус КТ-103А-2, но с более мощным транзисторным кристаллом с суммарным периметром затвора 350 мм. В данном испытании измерения энергетических параметров проводилось в тестовом усилителе мощности, специально разработанном в ходе опытно-конструкторской работы для тестирования транзисторов 2П9120БС на частоте 500 МГц при  $\tau_{II} = 5$  мс,  $Q = 10$ . Результаты измерений приведены в таблице 4.4.

Таблица 4.4

Энергетические параметры испытываемых приборов, измеренные в тестовом усилителе мощности на 500 МГц

Прибор	$P_{ВХИ}$ , Вт	$P_{ВЫИ}$ , Вт	$K_{УР}$ , дБ	$\eta_c$ , %
Новый 2П9120БС	8	720	19,2	49,7
	12	840	18,5	52,0
	15	1000	18,2	54,0
Оригинальный 2П9120БС	9	700	18,9	46,4
	13	850	18,2	48,5
	16	1000	18,0	50,0

Из приведенных данных видно, что несмотря на более чем полутора-кратную разницу в периметре затвора новые кристаллы не уступают кристаллам, выполненным по существующей технологии. Показанные на испытаниях параметры полностью удовлетворяют ТУ на 2П9120БС, в связи с чем было принято решение внести в программу повышения качества изделий, произведенных АО «НИИЭТ» на 2020 год, пункт о переводе транзисторов 2П9120БС на кристалл новой конструкции.

В связи с пожеланием заказчика, приборы, собранные из кристаллов новой конструкции, были дополнительно испытаны в усилителе мощности на 230 МГц. Результаты измерений и режимы измерений сведены в таблицу 4.5.

Таблица 4.5

Энергетические параметры испытываемых приборов, измеренные в тестовом усилителе мощности на 230 МГц

$\tau_{И}$ , мс	$Q$	$U_D$ , В	$P_{ВХИ}$ , Вт	$P_{ВЫХИ}$ , Вт	$K_{УР}$ , дБ	$\eta_C$ , %
0,1	10	50	3,75	1100	24,7	55,0
			14,7	1430	19,9	58,4
			35,6	1480	16,2	56,9
		40	4,7	1030	23,4	71,5
			11,7	1150	19,9	71,8
			35,6	1160	15,1	69,0
30	11,7	650	17,4	72,2		
	35,6	700	12,9	75,2		
2	3	50	4,7	1030	23,4	57,2
			11,7	1170	20,0	57,8
		40	11,7	970	19,1	69,7
			17,7	1000	17,5	65,1
30	3	40	11,7	940	19,0	66,6

Ограничения по напряжению  $U_D$  при длительных импульсах и малой скважности вызваны тем, что разработанный кристалл оказался слишком мощным для своего размера (определяющего величину теплового сопротивления переход-корпус), и при работе на максимальную выходную мощность возрастает риск перегрева и выгорания транзистора.

Подводя итог данным исследованиям, можно заключить, что несмотря на некоторые конструктивные просчеты, разработанный кристалл подтвердил заложенные в него характеристики. Удалось существенно ослабить проявление эффекта квазинасыщения, поднять энергетические характеристики, повысить устойчивость ко вторичному пробую. Это позволяет говорить о том, новая технология создания СВЧ LDMOS транзисторных кристаллов существенно превосходит существующую и может быть применена для модернизации всей номенклатуры 50-тивольтовых LDMOS-транзисторов разработки АО «НИИЭТ».

## ВЫВОДЫ К ГЛАВЕ 4

1. При учете исследованных зависимостей выраженности квазинысщения от конструктивно-технологических параметров LDMOS транзисторных кристаллов был разработан новый транзисторный кристалл.

2. Сравнение разработанного кристалла с кристаллом прошлого поколения показало существенное улучшение всех основных электростатических параметров, кроме межэлектродных ёмкостей.

3. Проявление эффекта квазинысщения на ВАХ разработанного кристалла выражено значительно слабее, чем у кристалла прошлого поколения. Более того, по этому показателю разработанный кристалл сравним с зарубежным аналогом и даже превосходит его.

4. Разработанный кристалл характеризуется повышенными удельными энергетическими параметрами, большими значениями коэффициента усиления по мощности и коэффициента полезного действия.

5. Конструкция и технология создания разработанного кристалла могут быть использованы для модернизации всей номенклатуры 50 вольтовых LDMOS-транзисторов разработки АО «НИИЭТ».

## ЗАКЛЮЧЕНИЕ

1. Насыщение/квазинасыщение ВАХ LDMOS-транзисторов имеет принципиально иной механизм, нежели насыщение ВАХ классических MOS-транзисторов. Причиной насыщения переходной ВАХ является превышение концентрации инжектированных носителей заряда над концентрацией примеси в LDD-области, в результате чего проявляется эффект Кирка, заключающийся в перераспределении напряженности электрического поля в LDD-области в сторону роста напряженности в области края  $n^+$ -стока и снижения у края затвора. В результате происходит насыщение дрейфовой скорости носителей заряда в области края  $n^+$ -стока, а также экранирование носителями поля стока.

2. Основной причиной квазинасыщения выходной ВАХ LDMOS-транзисторов является насыщение скорости носителей заряда в LDD-области: при малом напряжении на затворе с ростом напряжения на стоке происходит насыщения дрейфовой скорости у края LDD-области, примыкающего к затвору, при высоком напряжении на затворе – у края  $n^+$ -стока.

3. В LDMOS-транзисторах насыщение скорости не способно вызвать полную независимость тока стока от напряжения на стоке, как это происходит в длинноканальных MOS-транзисторах: ток продолжает нарастать, но по сублинейному закону, формируя квазинасыщение.

4. Максимально приближенная к идеальному насыщению выходная ВАХ LDMOS-транзисторов достигается при максимально равномерном распределении напряженности электрического поля по длине LDD-области.

5. Квазинасыщение может существенно затруднить работу разработчиков приборов на основе СВЧ LDMOS-транзисторов и отрицательно сказаться на конечных параметрах этих приборов. Потому целесообразно стремиться к минимизации эффекта квазинасыщения, если это не приводит к существенному ухудшению других электропараметров.

6. Согласно проведенному моделированию LDMOS транзисторной структуры в САПР Sentaurus TCAD, наибольшим влиянием на характер квазинасыщения ВАХ среди всех конструктивно-технологических параметров LDMOS транзисторных кристаллов обладают глубина  $p^+$ -области, толщина подзатворного диэлектрика, конструкция и длина перекрытия полевого электрода, концентрация примеси в LDD-области и ее длина. При этом для оптимизации конструкции с точки зрения минимизации степени выраженности квазинасыщения ВАХ могут использоваться только параметры полевого электрода и LDD-области.

7. Наиболее перспективной конструкцией LDMOS транзисторного кристалла с точки зрения снижения эффекта квазинасыщения является конструкция с двойным полевым электродом и HDD-участком у стокового края LDD-области.

8. Полученные данные об механизме квазинасыщения ВАХ и способах ослабления его проявления были учтены при разработке транзисторного кристалла нового поколения. Итогом стало резкое снижение степени выраженности квазинасыщения по сравнению с кристаллами прошлого поколения и кристаллом зарубежного производства. Можно констатировать, что достигнутые результаты по минимизации квазинасыщения соответствуют мировому уровню.

9. СВЧ транзистор на основе разработанных кристаллов характеризуется лучшими электростатическими и энергетическими параметрами по сравнению с приборами старого образца.

10. Новая технология создания СВЧ LDMOS транзисторных кристаллов существенно превосходит существующую и может быть применена для модернизации всей номенклатуры 50 вольтовых LDMOS-транзисторов разработки АО «НИИЭТ».

## ЛИТЕРАТУРА

1. Алексеев Р. П. и др. Основы работы в среде приборно-технологической САПР SENTAURUS: учебно-методическое пособие // Воронеж: Издательский дом ВГУ. – 2017. – С. 97.
2. Алексеев Р. П. и др. Приборно-технологическое проектирование элементной базы мощной СВЧ-электроники: учебно-методическое пособие // Воронеж: Издательский дом ВГУ, 2016 . - С. 69.
3. Алексеев Р. П. и др. Приборно-технологическое проектирование элементов биполярных ИС: учебно-методическое пособие // Воронеж: Издательский дом ВГУ, 2018 . - С. 66.
4. Алексеев Р. П. Моделирование в среде приборно-технологической САПР TCAD влияния на выходные параметры мощных LDMOS структур режимов создания канальной области / Р. П. Алексеев, Г. В. Быкадорова, В. А. Кожевников // Математика. Компьютер. Образование: тезисы международной школы-конференции "Биофизика сложных систем: анализ экспериментальных данных и моделирование процессов", Пущино, 26-31 янв. 2015 г. Москва-Ижевск, 2015. Вып. 22. С. 210.
5. Алексеев Р. П. Моделирование влияния режимов ионной имплантации и диффузионной разгонки канальной области на пороговое напряжение мощных СВЧ LDMOS транзисторов в среде приборно-технологической САПР TCAD / Р. П. Алексеев, Г. В. Быкадорова, В. А. Кожевников // Энергия-XXI век. – 2015. – №. 1. – С. 79-89.
6. Алексеев Р. П. Моделирование влияния технологии формирования канальной области на выходные вольтамперные характеристики мощных СВЧ LDMOS транзисторов / Р. П. Алексеев, Г. В. Быкадорова, Ткачев А. Ю., Научно-практический вестник “Энергия-XXI век”, Воронеж : 2015. - №3 (91). - С.102-107.
7. Алексеев Р. П. Моделирование технологии СВЧ LDMOS-транзисторов с нелинейным распределением примеси в стоковой LDD-области /

Р. П. Алексеев, Г. В. Быкадорова, Е. Н. Бормонтов // Энергия-XXI век. – 2016. – №. 1. – С. 68-83.

8. Алексеев Р. П. Мощные СВЧ LDMOS-транзисторы для рабочих частот до 3 ГГц / Р. П. Алексеев, А. Н. Цоцорин, М. И. Черных // Электроника: Наука, технология, бизнес. – 2020. – №. 4. – С. 98-101.

9. Алексеев Р. П. Физико-технологическое проектирование LDMOS-структур с отрицательным градиентом примеси LDD-области / Р. П. Алексеев, Г. В. Быкадорова, А. М. Гаврилова // Математика. Компьютер. Образование : тезисы 25-й международной конференции: симпозиум с международным участием, Дубна, 29 янв. - 3 февр. 2018 г. Москва-Ижевск, 2018. Вып. 25. С. 243.

10. Бачурин В. В. и др. Динамика развития отечественных мощных кремниевых полевых ВЧ и СВЧ МОП транзисторов //Электронная техника. Серия 2: Полупроводниковые приборы. – 2011. – №. 2. – С. 3-15.

11. Бачурин В. В., Дьяконов В. П., Сопов О. В. Мощные высокочастотные и сверхвысокочастотные МДП-транзисторы //Электронная промышленность. – 1979. – №. 5.

12. Влияние на электрофизические характеристики СВЧ LDMOS транзисторов конструктивно-технологических параметров стоковых LDD областей / Алексеев Р. П., Бормонтов Е. Н., Дикарев В. И., Кожевников В. А., Цоцорин А. Н. // Радиолокация, навигация, связь: 22-я Международная научно-техническая конференция, г. Воронеж, 17-22 апр. 2016 г. Воронеж, 2016. – С. 409-417.

13. Влияние полевого электрода на электрофизические характеристики СВЧ LDMOS-транзисторов / Р. П. Алексеев, Г. В. Быкадорова, В. К. Лановой, Е. О. Ледовская, М. А. Кондрашин // Наука сегодня: реальность и перспективы [Текст]: материалы международной научно-практической конференции, г. Вологда, 22 февраля 2017 г. Вологда, 2017. – С. 24-26.

14. Гуртов В. А. Твердотельная электроника //М.: Техносфера. – 2005. – Т. 512.

15. Зи С. Физика полупроводниковых приборов : в 2 кн. / С. Зи. – Москва : Мир, 1984. – Кн. 1. – 456 с.; Кн. 2. – 456 с.
16. Кожевников В. и др. Мощные СВЧ LDMOS-транзисторы ОАО «НИИ-ЭТ» для средств радиосвязи и радиолокации //Электронные компоненты. – 2015. – №. 4. – С. 60.
17. Королев М. А., Крупкина Т. Ю., Чаплыгин Ю. А. Приборно-технологическое моделирование при разработке изделий микроэлектроники и микросистемной техники //Известия высших учебных заведений. Электроника. – 2005. – №. 4-5. – С. 64-71.
18. Королев М., Крупкина Т., Ревелева М. Технология, конструкции и методы моделирования кремниевых интегральных микросхем // Москва : Бинном. Лаборатория знаний. – 2009. - Ч. 2. – С. 422.
19. Ma G. LDMOS transistor: US7365402 B2 USA / Gordon Ma. – US 11/031, 784; publ. 29.04.2008.
20. Механизм насыщения выходной вольт-амперной характеристики мощных СВЧ LDMOS-транзисторов / Р. П. Алексеев, А. Н. Цоцорин, Е. Н. Бормонтов, Г. В. Быкадорова // Электронная техника. Серия 1: СВЧ-техника. – 2019. – №.4. – С. 15-23.
21. Моделирование влияния на выходные параметры мощных LDMOS структур режимов создания LDD области / Р. П. Алексеев, Г. В. Быкадорова, К. Г. Пономарев, В. В. Фадеев // Математика. Компьютер. Образование: тезисы 23-й Международной конференции, Дубна, 25-30 янв. 2016 г. Москва-Дубна, 2016. Вып. 23. С. 188.
22. Насыщение передаточной вольт-амперной характеристики мощных СВЧ LDMOS-транзисторов / Р. П. Алексеев, А. Н. Цоцорин, Е. Н. Бормонтов, Г. В. Быкадорова // Электронная техника. Серия 1: СВЧ-техника. – 2019. – №.4. – С. 6-14.
23. Никишин В. И. и др. Проектирование и технология производства мощных СВЧ-транзисторов //М.: Радио и связь. – 1989. – С. 145.

24. Подавление эффекта квазинасыщения вольт-амперных характеристик мощных сверхвысокочастотных латеральных транзисторов / Р. П. Алексеев, М. И. Черных, А. Н. Цоцорин, И. В. Семейкин, Г. В. Быкадорова // Физика и техника полупроводников. 2021. Т. 55. Вып. 8. С. 689-692.

25. Приборно-технологическое моделирование LDMOS-структур с р-карманом в призатворном участке N-LDD-области стока / Р. П. Алексеев, Г. В. Быкадорова, В. К. Лановой, Е. О. Ледовская // Твердотельная электроника, микроэлектроника и наноэлектроника: межвузовский сборник научных трудов. – Воронеж, 2018. – Вып. 17. С. 31-35.

26. Приборно-технологическое моделирование LDMOS-транзисторов с нелинейным распределением примеси LDD-области / Р. П. Алексеев, Е. Н. Бормонтов, Г. В. Быкадорова, А. Н. Цоцорин // Радиолокация, навигация, связь: 24-я Международная научно-техническая конференция, г. Воронеж 2018 г. – С. 257-264.

27. Приборно-технологическое проектирование LDMOS-транзисторов с отрицательным градиентом примеси LDD-области / Р. П. Алексеев, Е. Н. Бормонтов, Г. В. Быкадорова, А. Н. Цоцорин // Физико-математическое моделирование систем : межвузовский сборник научных трудов. Воронеж, 2018. – Вып. – С. 3-8.

28. Сайт Техасского университета в Остине [Электронный ресурс]. – (<https://www.utexas.edu>) – Дата обращения 31.03.2021.

29. Сайт фирмы [Электронный ресурс] – (<https://mafiadoc.com>) – Дата обращения 31.03.2021.

30. Сайт фирмы Ampleon [Электронный ресурс] – (<https://www.ampleon.com>) – Дата обращения 31.03.2021.

31. Сайт фирмы Cogenda [Электронный ресурс] – (<https://cogenda.com>) – Дата обращения 31.03.2021.

32. Сайт фирмы Crosslight [Электронный ресурс] – (<https://crosslight.com/>) – Дата обращения 31.03.2021.

33. Сайт фирмы Global TCAD Solutions [Электронный ресурс] – (<http://www.globaltcad.com>) – Дата обращения 31.03.2021.
34. Сайт фирмы Siborg System Inc. [Электронный ресурс] – (<http://www.siborg.com>) – Дата обращения 31.03.2021.
35. Сайт фирмы Silvaco [Электронный ресурс] – (<http://www.silvaco.com>) – Дата обращения 31.03.2021.
36. Сайт фирмы Synopsys [Электронный ресурс] – (<http://www.synopsys.com/>) – Дата обращения 31.03.2021.
37. Свч Idmos-транзистор: пат. 2338297 Рос. Федерация / А.К. Бельков [и др.]. – No 2007101453/28; заявл. 16.01.2007; опубл. 10.11.2008, Бюл. No 31. – 11с.
38. Способ изготовления свч Idmos транзисторов: пат. 2498448 Рос. Федерация / В.В. Бачурин [и др.]. – No 2012119673/28; заявл. 14.05.12; опубл. 10.11.13, Бюл. No 31. – 15 с.
39. Тихомиров П., Пфеффли П., Зорзи М. Система SENTAURUS TCAD компании Synopsys: новое поколение приборно-технологических САПР //Электроника: наука, технология, бизнес. – 2006. – №. 7. – С. 89-95.
40. Ткачев А. Ю. и др. Особенности конструктивного исполнения краевых участков стоковых областей мощных СВЧ LDMOS транзисторов //Вестник Воронежского государственного технического университета. – 2010. – Т. 6. – №. 5.
41. Ткачев А.Ю. Влияние конструктивно-технологических факторов на электрические параметры мощных СВЧ LDMOS транзисторов.: автореферат дис. канд. техн. наук: 05.13.18. / А. Ю. Ткачев. // Воронеж: Воронежский гос-университет, 2011. – 16 с.
42. Томас Ф., Иванов А. САПР микроэлектроники. Этапы большого пути //Электроника: Наука, технология, бизнес. – 2006. – №. 3. – С. 82-85.
43. Фармикоун Г. Технология мощных СВЧ LDMOS-транзисторов для радарных передатчиков L-диапазона и авиационных применений // Компоненты и технологии. – 2007. – №10. – С.14-16.

44. Цоцорин А. Н. Топология 50-ваттной СВЧ линейной LDMOS транзисторной структуры L-диапазона с пятиуровневой системой металлизации и напряжением питания 50 В (2П9133В): свидетельство о государственной регистрации топологии интегральной микросхемы № 2017630162 / Цоцорин А. Н., Черных М. И., Алексеев Р. П., Дикарев В. И.; Правообладатель Российская Федерация, от имени которой выступает Министерство промышленности и торговли Российской Федерации. Москва, 2017. (заявка № 2017630099, дата поступления 25.09.2017 г., дата регистрации 20.11.2017 г.).

45. Цоцорин А.Н. Топология 13-ваттной СВЧ линейной LDMOS транзисторной структуры L-диапазона с пятиуровневой системой металлизации и напряжением питания 50 В (2П9133А): свидетельство о государственной регистрации топологии интегральной микросхемы № 2017630163 / Цоцорин А. Н., Черных М. И., Алексеев Р. П., Дикарев В. И.; Правообладатель Российская Федерация, от имени которой выступает Министерство промышленности и торговли Российской Федерации. Москва, 2017. (заявка № 2017630100, дата поступления 25.09.2017 г., дата регистрации 20.11.2017 г.).

46. Черных М. И. Сверхвысокочастотная LDMOS транзисторная структура с выходной мощностью 300 Вт при напряжении питания 50 В, предназначенная для работы в диапазоне частот от 0,1 ГГц до 2 ГГц в импульсном режиме: свидетельство о государственной регистрации топологии интегральной микросхемы № 2021630075 / Черных М. И., Цоцорин А. Н., Алексеев Р. П.; Правообладатель Акционерное общество «Научно-исследовательский институт электронной техники» (АО «НИИЭТ»). Москва, 2021. (заявка № 20211630069, дата поступления 25.05.2021 г., дата регистрации 31.05.2021 г.).

47. Ahmad A. Z., Aggrawal E., Rawat K. Design of 100 W LDMOS based Power Amplifier for cellular applications //2020 7th International Conference on Signal Processing and Integrated Networks (SPIN). – IEEE, 2020. – С. 166-169.

48. Canali C. et al. Electron and hole drift velocity measurements in silicon and their empirical relation to electric field and temperature //IEEE Transactions on electron devices. – 1975. – Т. 22. – №. 11. – С. 1045-1047.

49. Caughey D. M., Thomas R. E. Carrier mobilities in silicon empirically related to doping and field //Proceedings of the IEEE. – 1967. – T. 55. – №. 12. – C. 2192-2193.
50. Chynoweth A. G. Ionization rates for electrons and holes in silicon //physical review. – 1958. – T. 109. – №. 5. – C. 1537-1540.
51. Dhanyal H. R. et al. Miniaturized High-Efficiency Pulsed-Power Amplifier for Surveillance and Tracking Radar //2020 5th International Conference on Computer and Communication Systems (ICCCS). – IEEE, 2020. – C. 840-843.
52. Fossum J. G. et al. Carrier recombination and lifetime in highly doped silicon //Solid-state electronics. – 1983. – T. 26. – №. 6. – C. 569-576.
53. Fossum J. G., Lee D. S. A physical model for the dependence of carrier lifetime on doping density in nondegenerate silicon //Solid-State Electronics. – 1982. – T. 25. – №. 8. – C. 741-747.
54. G. Hobler and S. Selberherr, “Two-Dimensional Modeling of Ion Implantation Induced Point Defects,” IEEE Transactions on Computer-Aided Design, vol. 7, no. 2, pp. 174–180, 1988.
55. J. G. Fossum, “Computer-Aided Numerical Analysis of Silicon Solar Cells,” Solid-State Electronics, vol. 19, no. 4, pp. 269–277, 1976.
56. Klaassen D. B. M., Slotboom J. W., De Graaff H. C. Unified apparent bandgap narrowing in n-and p-type silicon //Solid-State Electronics. – 1992. – T. 35. – №. 2. – C. 125-129.
57. Liu S. et al. A review on hot-carrier-induced degradation of lateral DMOS transistor //IEEE Transactions on Device and Materials Reliability. – 2018. – T. 18. – №. 2. – C. 298-312.
58. Lombardi C. et al. A physically based mobility model for numerical simulation of nonplanar devices //IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. – 1988. – T. 7. – №. 11. – C. 1164-1171.
59. Ludikhuize A. W. A review of RESURF technology //12th International Symposium on Power Semiconductor Devices & ICs. Proceedings (Cat. No. 00CH37094). – IEEE, 2000. – C. 11-18.

60. Masetti G., Severi M., Solmi S. Modeling of carrier mobility against carrier concentration in arsenic-, phosphorus-, and boron-doped silicon //IEEE Transactions on electron devices. – 1983. – T. 30. – №. 7. – C. 764-769.
61. Naeimi T., Ahmadi A. A 100 Watts L-band power amplifier //2017 Iranian Conference on Electrical Engineering (ICEE). – IEEE, 2017. – C. 2098-2101.
62. Roulston D. J., Arora N. D., Chamberlain S. G. Modeling and measurement of minority-carrier lifetime versus doping in diffused layers of n+-p silicon diodes //IEEE Transactions on Electron Devices. – 1982. – T. 29. – №. 2. – C. 284-291.
63. Schenk A., Krumbein U. Coupled defect- level recombination: Theory and application to anomalous diode characteristics //Journal of applied physics. – 1995. – T. 78. – №. 5. – C. 3185-3192.
64. Slotboom J. W., De Graaff H. C. Measurements of bandgap narrowing in Si bipolar transistors //Solid-State Electronics. – 1976. – T. 19. – №. 10. – C. 857-862.
65. Udrea F. State-of-the-art technologies and devices for high-voltage integrated circuits //IET Circuits, Devices & Systems. – 2007. – T. 1. – №. 5. – C. 357-365.
66. Van Overstraeten R., De Man H. Measurement of the ionization rates in diffused silicon pn junctions //Solid-State Electronics. – 1970. – T. 13. – №. 5. – C. 583-608.
67. Vescoli V. et al. Hot-carrier reliability in high-voltage lateral double-diffused MOS transistors //IET circuits, devices & systems. – 2008. – T. 2. – №. 3. – C. 347-353.
68. 1999 International Conference on Simulation of Semiconductor Processes and Devices. SISPAD'99 (IEEE Cat. No. 99TH8387). – IEEE, 1999. – C. 15-18.
69. Appels J. A., Vaes H. M. J. High voltage thin layer devices (RESURF devices) //1979 international electron devices meeting. – IEEE, 1979. – C. 238-241.
70. Biersack J. P. Basic physical aspects of high energy implantation //Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms. – 1988. – T. 35. – №. 3-4. – C. 205-214.

71. Cha H. et al. 0.18  $\mu\text{m}$  100V-rated BCD with large area power LDMOS with ultra-low effective specific resistance //2016 28th International Symposium on Power Semiconductor Devices and ICs (ISPSD). – IEEE, 2016. – C. 423-426.

72. Chakravarthi S. et al. Modeling of diffusion and activation of low energy arsenic implants in silicon //MRS Online Proceedings Library (OPL). – 2002. – T. 717. – C. C3. 7.1-C3.7.6.

73. Cheng J. et al. Lateral power fin MOSFET with a high-k passivation for ultra-low on-resistance //IEEE Access. – 2020. – T. 8. – C. 48991-48999.

74. Chung Y. S., Baird B. Electrical-thermal coupling mechanism on operating limit of LDMOS transistor //International Electron Devices Meeting 2000. Technical Digest. IEDM (Cat. No. 00CH37138). – IEEE, 2000. – C. 83-86.

75. Conti P., Tomizawa M., Yoshii A. Generation of oriented three-dimensional Delaunay grids suitable for the control volume integration method //International journal for numerical methods in engineering. – 1994. – T. 37. – №. 19. – C. 3211-3227.

76. Darwish M. N. Study of the quasi-saturation effect in VDMOS transistors //IEEE transactions on electron devices. – 1986. – T. 33. – №. 11. – C. 1710-1716.

77. Disney D. et al. High-voltage integrated circuits: history, state of the art, and future prospects //IEEE Transactions on Electron Devices. – 2017. – T. 64. – №. 3. – C. 659-673.

78. Electronic device comprising an LDMOS transistor: пат. WO2005022645A2, Philips. / Theeuwes S.J.C.H. [et al.]. □ EP 20030103233 20030827; publ. 10.03.2005.

79. Evans J. The behavior of very high current density power MOSFETs. / J. Evans, G. Amaratunga. // IEEE Trans. Electron Devices. – 1997. – V. 44. – №7. – P. 1148-1153.

80. Fastenko P. Modeling and simulation of arsenic activation and diffusion in silicon. – University of Washington, 2002.

81. Galadi A. Power MOSFET Models Including Quasi-Saturation Effect //International Journal of Electronics and Communication Engineering. – 2016. – T. 10. – №. 12. – C. 1455-1459.
82. Gerodolle A., Jones S. K. Integration in the 2D Multi-Layer Simulator TITAN of an Advanced Model for Dopant Diffusion in Polysilicon //Simulation of Semiconductor Devices and Process. – 1991. – T. 4. – C. 381-388.
83. Gibbons J. F., Johnson W. S., Mylroie S. W. Projected range statistics. Semiconductors and related materials. – 1975.
84. Gruner D. et al. Analysis, design, and evaluation of LDMOS FETs for RF power applications up to 6 GHz //IEEE transactions on microwave theory and techniques. – 2010. – T. 58. – №. 12. – C. 4022-4030.
85. Gupta A. et al. Drain extended MOS device design for integrated RF PA in 28nm CMOS with optimized FoM and ESD robustness //2014 IEEE International Electron Devices Meeting. – IEEE, 2014. – C. 3.5. 1-3.5. 4.
86. Gupta A. et al. On the improved high-frequency linearity of drain extended mos devices //IEEE Microwave and Wireless Components Letters. – 2016. – T. 26. – №. 12. – C. 999-1001.
87. Gupta A. et al. Part I: High-voltage MOS device design for improved static and RF performance //IEEE Transactions on Electron Devices. – 2015. – T. 62. – №. 10. – C. 3168-3175.
88. Hammes P. C. A. et al. High efficiency, high power WCDMA LDMOS transistors for base stations //Microwave Journal. – 2004. – T. 47. – №. 4. – C. 23-27.
89. Han M. H. et al. Improving breakdown voltage of LDMOS using a novel cost effective design //IEEE transactions on semiconductor manufacturing. – 2013. – T. 26. – №. 2. – C. 248-252.
90. Hobler G., Langer E., Selberherr S. Two-dimensional modeling of ion implantation with spatial moments //Solid-state electronics. – 1987. – T. 30. – №. 4. – C. 445-455.

91. Hobler G., Moroz V. Initial conditions for transient enhanced diffusion: beyond the plus-factor approach //Simulation of Semiconductor Processes and Devices 2001: SISPAD 01. – Springer Vienna, 2001. – C. 34-37.
92. Iqbal M. M. H., Udrea F., Napoli E. On the static performance of the RESURF LDMOSFETS for power ICs //2009 21st International Symposium on Power Semiconductor Devices & IC's. – IEEE, 2009. – C. 247-250.
93. Jahanbakht M., Aghmyoni M. T. Ldmos Modeling and High Efficiency Power Amplifier Design Using PSO Algorithm //Progress In Electromagnetics Research M. – 2012. – T. 27. – C. 219-229.
94. Jones S. K., Gerodolle A. 2D process simulation of dopant diffusion in polysilicon //COMPEL-The international journal for computation and mathematics in electrical and electronic engineering. – 1991. – T. 10. – №. 4. – C. 401-410.
95. Kreuzer C. H., Krischke N., Nance P. Physically based description of quasi-saturation region of vertical DMOS power transistors //International Electron Devices Meeting. Technical Digest. – IEEE, 1996. – C. 489-492.
96. Kumar B. S., Shrivastava M. Part I: On the unification of physics of quasi-saturation in LDMOS devices //IEEE Transactions on Electron Devices. – 2018. – T. 65. – №. 1. – C. 191-198.
97. Kumar B. S., Shrivastava M. Part II: RF, ESD, HCI, SOA, and self heating concerns in LDMOS devices versus quasi-saturation //IEEE Transactions on Electron Devices. – 2018. – T. 65. – №. 1. – C. 199-206.
98. Liu C. M., Lou K. H., Kuo J. B. 77 K versus 300 K operation: The quasi-saturation behavior of a DMOS device and its fully analytical model //IEEE transactions on electron devices. – 1993. – T. 40. – №. 9. – C. 1636-1644.
99. Lou K. H., Liu C. M., Kuo J. B. Analysis of the quasi-saturation behavior considering the drain-to-source voltage and cell-spacing effects for a vertical DMOS power transistor //Solid-state electronics. – 1993. – T. 36. – №. 1. – C. 85-91.

100. Mo H., Zhang Y., Song H. Improving Linearity and Robustness of RF LDMOS by Mitigating Quasi-Saturation Effect //Active and Passive Electronic Components. – 2019. – T. 2019.
101. O’Neill A. G. et al. A new model for the diffusion of arsenic in polycrystalline silicon //Journal of applied physics. – 1988. – T. 64. – №. 1. – C. 167-174.
102. Podgaynaya A. et al. Improvement of the electrical safe operating area of a DMOS transistor during ESD events //2009 IEEE International Reliability Physics Symposium. – IEEE, 2009. – C. 437-442.
103. Rakluea P., Nakasuwan J. A 3.5 GHz WiMAX power amplifier using Si-LDMOS //2008 International Conference on Control, Automation and Systems. – IEEE, 2008. – C. 1544-1547.
104. Ryssel H., Krüger W., Lorenz J. Comparison of Monte Carlo simulations and analytical models for the calculation of implantation profiles in multilayer targets //Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms. – 1987. – T. 19. – C. 40-44.
105. Saadat A. et al. Simulation study on the optimization and scaling behavior of LDMOS transistors for low-voltage power applications //IEEE Transactions on Electron Devices. – 2020. – T. 67. – №. 11. – C. 4990-4997.
106. Schlünder C. et al. Hot-carrier induced dielectric breakdown (HCIDB) challenges of a new high performance LDMOS generation //2014 IEEE International Reliability Physics Symposium. – IEEE, 2014. – C. XT. 15.1-XT. 15.5.
107. Sentaurus Device User Guide. Version D-2010.03. – Synopsys, Inc., 2010. □ 1328 c.
108. Shi Y. et al. Drift design impact on quasi-saturation & HCI for scalable N-LDMOS //2011 IEEE 23rd International Symposium on Power Semiconductor Devices and ICs. – IEEE, 2011. – C. 215-218.
109. Shrivastava M. et al. Part I: Mixed-signal performance of various high-voltage drain-extended MOS devices //IEEE transactions on electron devices. – 2009. – T. 57. – №. 2. – C. 448-457.

110. Slotboom J. W. The pn-product in silicon //Solid-State Electronics. – 1977. – T. 20. – №. 4. – C. 279-283.
111. Stolmeijer A. et al. General expressions for the impurity distributions of B and P implanted in SiO<sub>2</sub> //Journal of the Electrochemical Society. – 1988. – T. 135. – №. 9. – C. 2309.
112. Sun Z., Sun W., Shi L. Modeling Kirk effect of RESURF LDMOS //Solid-state electronics. – 2005. – T. 49. – №. 12. – C. 1896-1899.
113. Swain P. S. et al. On the Geometrically Dependent Quasi-Saturation and  $g_m$  Reduction in Advanced DeMOS Transistors //IEEE Transactions on Electron Devices. – 2016. – T. 63. – №. 4. – C. 1621-1629.
114. Theeuwes S. et al. LDMOS Technology for 5 GHz Power Amplifiers. – 2019.
115. Theeuwes S. et al. LDMOS technology for power amplifiers up to 12 GHz //2018 13th European Microwave Integrated Circuits Conference (EuMIC). – IEEE, 2018. – C. 162-165.
116. Theeuwes S., Qureshi J. H. LDMOS technology for RF power amplifiers //IEEE transactions on microwave theory and techniques. – 2012. – T. 60. – №. 6. – C. 1755-1763.
117. Tian S., Moroz V., Strecker N. Accurate Monte Carlo simulation of ion implantation into arbitrary 1D/2D/3D structures for silicon technology //MRS Online Proceedings Library (OPL). – 2004. – T. 810.
118. Trenched faraday shielding: пат. US 20160056114 A1 / Zihao M. Gao, David C. Burdeaux, Wayne R. Burger, Robert A. Pryor, Philippe Renaud. – US 14/463932; publ. 25.02.2016.
119. Vestling L. Design and modeling of high-frequency LDMOS transistors : дис. – Acta Universitatis Upsaliensis, 2002. – C. 58.
120. Wang L. et al. Physical description of quasi-saturation and impact-ionization effects in high-voltage drain-extended MOSFETs //IEEE transactions on electron devices. – 2009. – T. 56. – №. 3. – C. 492-498.