

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ  
ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ  
ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ  
ВЫСШЕГО ОБРАЗОВАНИЯ  
«ВОРОНЕЖСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ»  
(ФГБОУ ВО «ВГТУ», ВГТУ)

«УТВЕРЖДАЮ»

Председатель Ученого совета факультета радиотехники и электроники

проф. Небольсин В.А. \_\_\_\_\_

(подпись)

\_\_\_\_\_ 2016 г.

## УЧЕБНО-МЕТОДИЧЕСКИЙ КОМПЛЕКС ДИСЦИПЛИНЫ

**Методология проектирования больших интегральных схем**  
(наименование дисциплины по учебному плану ООП)

для направления подготовки (специальности): **11.04.04 Электроника и нанoeлектроника**  
(код, наименование)

Профиль подготовки (специализация): **Приборы и устройства в микро- и нанoeлектронике**  
(название профиля, магистерской программы, специализации по УП)

Форма обучения **очная** Срок обучения **нормативный**

Кафедра **полупроводниковой электроники и нанoeлектроники**  
(наименование кафедры-разработчика УМКД)

УМКД разработал: **Строгонов А.В., д.т.н.**  
(Ф.И.О., ученая степень авторов разработки)

Рассмотрено и одобрено на заседании методической комиссии **ФРТЭ**  
(наименование факультета)

Протокол № \_\_\_\_\_ от « \_\_\_\_\_ » \_\_\_\_\_ 2016 г.

Председатель методической комиссии **Москаленко А.Г.**  
(Ф.И.О)

Воронеж 2016 г.

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ  
 ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ  
 ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ  
 ВЫСШЕГО ОБРАЗОВАНИЯ  
 «ВОРОНЕЖСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ»  
 (ФГБОУ ВО «ВГТУ», ВГТУ)

«УТВЕРЖДАЮ»  
 Председатель Ученого совета факультета радиотехники и электроники  
 проф. Небольсин В.А. \_\_\_\_\_  
 \_\_\_\_\_ (подпись)  
 \_\_\_\_\_ 2016 г.

## РАБОЧАЯ ПРОГРАММА ДИСЦИПЛИНЫ

### Методология проектирования больших интегральных схем (наименование дисциплины (модуля) по УП)

**Закреплена за кафедрой:** полупроводниковой электроники и наноэлектроники

**Направление подготовки (специальности):** 11.04.04 Электроника и наноэлектроника  
 (код, наименование)

**Профиль:** “Приборы и устройства в микро- и наноэлектронике”  
 (название профиля по УП)

**Часов по УП: 108; Часов по РПД: 108;**

**Часов по УП (без учета часов на экзамены): 72; Часов по РПД: 72;**

**Часов на самостоятельную работу по УП: 36 (50 %);**

**Часов на самостоятельную работу по РПД: 36 (50 %)**

**Общая трудоемкость в ЗЕТ: 3;**

**Виды контроля в семестрах (на курсах):** Экзамены - 2; Зачеты - 0; Зачеты (с оценкой) - 0;  
 Курсовые проекты - 0; Курсовые работы - 0.

**Форма обучения:** очная;

**Срок обучения:** нормативный.

### Распределение часов дисциплины по семестрам

| Вид занятий  | № семестров, число учебных недель в семестрах |     |           |           |        |     |        |     |        |     |        |     |        |     |        |     |           |           |
|--------------|-----------------------------------------------|-----|-----------|-----------|--------|-----|--------|-----|--------|-----|--------|-----|--------|-----|--------|-----|-----------|-----------|
|              | 1 / 18                                        |     | 2 / 18    |           | 3 / 18 |     | 4 / 18 |     | 5 / 18 |     | 6 / 18 |     | 7 / 18 |     | 8 / 12 |     | Итого     |           |
|              | УП                                            | РПД | УП        | РПД       | УП     | РПД | УП     | РПД | УП     | РПД | УП     | РПД | УП     | РПД | УП     | РПД | УП        | РПД       |
| Лекции       |                                               |     | 18        | 18        |        |     |        |     |        |     |        |     |        |     |        |     | 18        | 18        |
| Лабораторные |                                               |     | -         | -         |        |     |        |     |        |     |        |     |        |     |        |     | -         | -         |
| Практические |                                               |     | 18        | 18        |        |     |        |     |        |     |        |     |        |     |        |     | 18        | 18        |
| Ауд. занятия |                                               |     | 36        | 36        |        |     |        |     |        |     |        |     |        |     |        |     | 36        | 36        |
| Сам. работа  |                                               |     | 36        | 36        |        |     |        |     |        |     |        |     |        |     |        |     | 36        | 36        |
| <b>Итого</b> |                                               |     | <b>72</b> | <b>72</b> |        |     |        |     |        |     |        |     |        |     |        |     | <b>72</b> | <b>72</b> |

**Сведения о ФГОС, в соответствии с которым разработана рабочая программа дисциплины (модуля) – 11.04.04 «Электроника и наноэлектроника»** квалификация «Магистр». Утвержден приказом Министерства образования Российской Федерации от 30 октября 2014 г. № 1407.

**Программу составил:** \_\_\_\_\_ д.т.н., Строгонов А.В.  
(подпись, ученая степень, ФИО)

**Рецензент (ы):** \_\_\_\_\_

Рабочая программа дисциплины составлена на основании учебного плана подготовки магистров по направлению 11.04.04 “Электроника и наноэлектроника”, профиль “Приборы и устройства в микро- и наноэлектронике”.

Рабочая программа обсуждена на заседании кафедры полупроводниковой электроники и наноэлектроники

протокол № \_\_\_\_\_ от \_\_\_\_\_ 2016 г.

Зав. кафедрой ППЭНЭ \_\_\_\_\_ С.И. Рембеза

## 1. ЦЕЛИ ОСВОЕНИЯ ДИСЦИПЛИНЫ

|       |                                                                                                                                                                                                                                                                                                                                                          |
|-------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 1.1   | <b>Цель изучения дисциплины</b> – обеспечение основ проектирования больших интегральных схем (БИС) по субмикронной КМОП-технологии с привлечением различных уровней и методов проектирования. Изучение дисциплины должно способствовать формированию у студентов основ разработки основных функциональных узлов БИС на различных уровнях проектирования. |
| 1.2   | <b>Для достижения цели ставятся задачи:</b>                                                                                                                                                                                                                                                                                                              |
| 1.2.1 | изучение проблем, связанных с проектированием БИС и по субмикронным проектным нормам, и методов их решения;                                                                                                                                                                                                                                              |
| 1.2.2 | изучить маршруты проектирования заказных БИС по КМОП-технологии с использованием САПР БИС и методологии стандартных ячеек;                                                                                                                                                                                                                               |
| 1.2.3 | освоить процесс проектирования БИС на системном уровне с использованием системы визуально-имитационного моделирования Matlab/Simulink для разработки имитационных моделей различных архитектур БИС с последующим созданием функциональных моделей на языке VHDL;                                                                                         |
| 1.2.4 | освоить процесс проектирования БИС на функциональном уровне с использованием высокоуровневого языка описания аппаратуры VHDL;                                                                                                                                                                                                                            |
| 1.2.5 | освоить процесс проектирования БИС по масштабируемой КМОП-технологии на схемотехническом и топологическом уровнях (схемотехнический редактор SEdit, топологический редактор LEdit, подсистема T-Spice САПР Tanner EDA) с использованием метода стандартных ячеек;                                                                                        |

## 2. МЕСТО ДИСЦИПЛИНЫ В СТРУКТУРЕ ООП ВО

|                                                                                                                                                                                                                |                                                                                                       |
|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------|
| Цикл (раздел) ООП: Б1                                                                                                                                                                                          | код дисциплины в УП: Б1.В.ОД.7                                                                        |
| <b>2.1 Требования к предварительной подготовке обучающегося</b>                                                                                                                                                |                                                                                                       |
| Для успешного освоения дисциплины студент должен иметь базовую подготовку по направлению подготовки бакалавров 11.03.04 «Электроника и нанoeлектроника» профиль «Микроэлектроника и твердотельная электроника» |                                                                                                       |
| <b>2.2 Дисциплины и практики, для которых освоение данной дисциплины необходимо как предшествующее</b>                                                                                                         |                                                                                                       |
| Б1.В.ОД.8                                                                                                                                                                                                      | Архитектура микропроцессорных вычислительных систем                                                   |
| Б1.В.ДВ.1.1                                                                                                                                                                                                    | Системы автоматизированного проектирования системного уровня проектирования больших интегральных схем |
| Б1.В.ДВ.1.2                                                                                                                                                                                                    | Системы автоматизированного проектирования больших интегральных схем программируемой логики           |

## 3. КОМПЕТЕНЦИИ ОБУЧАЮЩЕГОСЯ, ФОРМИРУЕМЫЕ В РЕЗУЛЬТАТЕ ОСВОЕНИЯ ДИСЦИПЛИНЫ

|       |                                                                                                                     |
|-------|---------------------------------------------------------------------------------------------------------------------|
| ОК-4  | способностью адаптироваться к изменяющимся условиям, переоценивать накопленный опыт, анализировать свои возможности |
| ОПК-2 | способностью использовать результаты освоения дисциплин программы магистратуры                                      |

|       |                                                                                                                                                                               |
|-------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| ПК-2  | способностью разрабатывать эффективные алгоритмы решения сформулированных задач с использованием современных языков программирования и обеспечивать их программную реализацию |
| ПКВ-1 | способность к восприятию, разработке и критической оценке новых способов проектирования твердотельных приборов и устройств                                                    |

**В результате освоения дисциплины обучающийся должен**

|            |                                                                                                                                                                                                                                                                         |
|------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <b>3.1</b> | <b>Знать:</b>                                                                                                                                                                                                                                                           |
| 3.1.1      | методологию проектирования цифровых и аналого-цифровых БИС (ОК-4);                                                                                                                                                                                                      |
| 3.1.2      | основы высокоуровневых языков описания аппаратных средств VHDL/Verilog для проектирования цифровых устройств (ОПК-2);                                                                                                                                                   |
| 3.1.3      | основы высокоуровневого языка описания аппаратных средств A-Verilog для проектирования аналоговых устройств (ОПК-2);                                                                                                                                                    |
| 3.1.4      | понятия о конструктивно-технологических проектных нормах масштабируемой КМОП-технологии (MOSIS Scalable CMOS design rules) и правила проектирования (ОК-4);                                                                                                             |
| 3.1.5      | различные виды схемотехнического анализа моделирования для Spice-симуляторов САПР БИС (на примере T-Spice) (ОК-4, ОПК-2);                                                                                                                                               |
| 3.1.6      | основы топологии логических элементов и триггеров КМОП БИС (ОК-4);                                                                                                                                                                                                      |
| <b>3.2</b> | <b>Уметь:</b>                                                                                                                                                                                                                                                           |
| 3.2.1      | проводить качественный анализ работы МОП транзисторов и КМОП логических элементов, вычислять паразиты для субмикронных БИС (ПК-2);                                                                                                                                      |
| 3.2.2      | пользоваться SPICE-моделями МОП транзисторов по субмикронной КМОП-технологии для проведения схемотехнического моделирования в САПР БИС Tanner EDA (ПК-2);                                                                                                               |
| 3.2.3      | разрабатывать топологический чертеж логических элементов и последовательностных устройств в “ручном”, с использованием символьного представления и в автоматизированном режимах с использованием топологических редакторов САПР БИС по методу стандартных ячеек (ПК-2); |
| 3.2.4      | восстанавливать из описания топологии электрические схемы по КМОП-технологии (ПК-2);                                                                                                                                                                                    |
| <b>3.3</b> | <b>Владеть:</b>                                                                                                                                                                                                                                                         |
| 3.3.1      | навыками работы со схемотехническим редактором SEdit, с редактором топологии L-Edit и симулятором T-Spice САПР БИС Tanner EDA (ПКВ-1);                                                                                                                                  |
| 3.3.2      | процессом проектирования сложно-функциональных блоков в базисе ПЛИС в САПР Quartus II компании Altera, с использованием высокоуровневых языков описания аппаратуры VHDL/Verilog и симулятора ModelSim-Altera (ПКВ-1).                                                   |

#### 4. СТРУКТУРА И СОДЕРЖАНИЕ ДИСЦИПЛИНЫ

| № п./п       | Наименование раздела дисциплины                                                                                                       | Семестр | Неделя семестра | Вид учебной нагрузки и их трудоемкость в часах |                      |                     |           |             |
|--------------|---------------------------------------------------------------------------------------------------------------------------------------|---------|-----------------|------------------------------------------------|----------------------|---------------------|-----------|-------------|
|              |                                                                                                                                       |         |                 | Лекции                                         | Практические занятия | Лабораторные работы | СРС       | Всего часов |
| 1            | Проблемы, связанные с проектированием БИС по субмикронным проектным нормам, и методы их решения                                       | 2       | 1-2             | 2                                              | 2                    | -                   | 4         | 8           |
| 2            | Методология проектирования цифровых устройств с использованием языков описания аппаратуры VHDL/Verilog-HDL на RTL-уровне              | 2       | 3-4             | 2                                              | 2                    | -                   | 4         | 8           |
| 3            | Примеры проектирования сложно-функциональных цифровых устройств с использованием языков описания аппаратуры VHDL/Verilog-HDL          | 2       | 5-6             | 2                                              | 2                    | -                   | 4         | 8           |
| 4            | Методология проектирования сложно-функциональных аналого-цифровых устройств КМОП БИС с использованием языка A-Verilog                 | 2       | 7-8             | 2                                              | 2                    | -                   | 4         | 8           |
| 5            | Схемотехническое проектирование логических элементов КМОП БИС на транзисторном уровне                                                 | 2       | 9-10            | 2                                              | 2                    | -                   | 4         | 8           |
| 6            | Схемотехническое проектирование схем потоковой обработки информации КМОП БИС с учетом быстродействия, потребляемой мощности и площади | 2       | 11-12           | 2                                              | 2                    | -                   | 4         | 8           |
| 7            | Топологическое проектирование логических элементов КМОП БИС в САПР Tanner                                                             | 2       | 13-14           | 2                                              | 2                    | -                   | 4         | 8           |
| 8            | Методология проектирования схем синхронизации в БИС и ПЛИС                                                                            | 2       | 15-16           | 2                                              | 2                    | -                   | 4         | 8           |
| 9            | Методология верификации проектов                                                                                                      | 2       | 17-18           | 2                                              | 2                    | -                   | 4         | 8           |
| <b>Итого</b> |                                                                                                                                       |         |                 | <b>18</b>                                      | <b>18</b>            | <b>-</b>            | <b>36</b> | <b>72</b>   |

#### 4.1 Лекции

| Неделя семестра                                                                                                                                 | Тема и содержание лекции                                                                                                                                                                                                                                                                                                                                                                            | Объем часов |
|-------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------|
| <b>1. Проблемы, связанные с проектированием БИС по субмикронным проектным нормам, и методы их решения</b>                                       |                                                                                                                                                                                                                                                                                                                                                                                                     | <b>2</b>    |
| 1                                                                                                                                               | Емкостные явления, связанные с внутренними проводниками БИС. Внутренние и внешние задержки в БИС. Параметры межсоединений. Емкость, индуктивность и сопротивление. Модели схем для соединительных проводников. Spice-модели для проводников. Сосредоточенные и распределенные RC-цепи.<br><i>Самостоятельное изучение.</i> Динамические реконфигурируемые системы на базе ПЛИС по архитектуре FPGA. | 2           |
| <b>2. Методология проектирования цифровых устройств с использованием языков описания аппаратуры VHDL/Verilog-HDL на RTL-уровне</b>              |                                                                                                                                                                                                                                                                                                                                                                                                     | <b>2</b>    |
| 3                                                                                                                                               | Примеры проектирования схем потоковой обработки информации (сумматоры, умножители, сдвиговые регистры, арифметические логические устройства) на языках VHDL/Verilog-HDL                                                                                                                                                                                                                             | 2           |
| <b>3. Примеры проектирования сложно-функциональных цифровых устройств с использованием языков описания аппаратуры VHDL/Verilog-HDL</b>          |                                                                                                                                                                                                                                                                                                                                                                                                     | <b>2</b>    |
| 5                                                                                                                                               | Последовательностные логические схемы. Конечные автоматы. Сдвиговые регистры, счетчики. Логические элементы схем потоковой обработки информации: сумматоры/вычитатели, умножители, делители. Умножение с накоплением методом правого сдвига. Параллельные векторные умножители. Цифровые запоминающие устройства. Статические ОЗУ. ПЗУ. Репрограммируемые ПЗУ.                                      | 2           |
| <b>4. Методология проектирования сложно-функциональных аналого-цифровых устройств КМОП БИС с использованием языка A-Verilog</b>                 |                                                                                                                                                                                                                                                                                                                                                                                                     | <b>2</b>    |
| 7                                                                                                                                               | Идеальные модели источников сигналов, АЦП/ЦАП с использованием языка Verilog-A. Основные модели функциональных блоков АЦП/ЦАП. Отладка Verilog-A моделей. Смешанные аналого-цифровые Verilog-HDL/Verilog-A модели                                                                                                                                                                                   | 2           |
| <b>5. Схемотехническое проектирование логических элементов КМОП БИС на транзисторном уровне</b>                                                 |                                                                                                                                                                                                                                                                                                                                                                                                     | <b>2</b>    |
| 9                                                                                                                                               | Spice-модели МОП транзисторов. Расчет емкостей МОП-транзистора. КМОП-инвертор. Статический и динамический режимы работы. Порог переключения. Запас помехоустойчивости. Учет отклонений в технологическом процессе. Расчет емкостей КМОП-инвертора.                                                                                                                                                  | 1           |
| <b>6. Схемотехническое проектирование схем потоковой обработки информации КМОП БИС с учетом быстродействия, потребляемой мощности и площади</b> |                                                                                                                                                                                                                                                                                                                                                                                                     | <b>2</b>    |
| 11                                                                                                                                              | Схемы потоковой обработки информации в архитектурах цифровых процессоров. Двоичный сумматор. Проектирование логики зеркального и сумматора на передаточных элементах. Сумма-                                                                                                                                                                                                                        | 2           |

|                                                                                     |                                                                                                                                                                                                                                                                                                                                                                                                                                          |           |
|-------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------|
|                                                                                     | тор с дифференциальной цепочкой и обводом переноса. Сумматор с ускоренным переносом. Проектирование сумматора с укоренным переносом на динамической логике. Матричные умножители. Генерация и накопление частичных произведений. Конечное суммирование. Умножитель с записью переноса. Древовидный умножитель. Модифицированное кодирование Бута.                                                                                        |           |
| <b>7. Топологическое проектирование логических элементов КМОП БИС в САПР Tanner</b> |                                                                                                                                                                                                                                                                                                                                                                                                                                          | <b>2</b>  |
| 13                                                                                  | Описание и процесс проектирования в САПР Tanner. Понятие о конструктивно-технологических нормах и правилах проектирования по масштабируемой КМОП-технологии. Символьная топология. Основные элементы конструкции топологии КМОП БИС. Проверка соблюдения топологических норм проектирования. Восстановление электрической схемы из описания топологии.<br><i>Самостоятельное изучение.</i> Топология резисторов, конденсаторов и диодов. | 2         |
| <b>8. Методология проектирования схем синхронизации в БИС и ПЛИС</b>                |                                                                                                                                                                                                                                                                                                                                                                                                                                          | <b>2</b>  |
| 15                                                                                  | Концепция и реализация схем синхронизации. Синтез тактовых сигналов и синхронизация с помощью схем фазовой автоподстройки частоты (ФАПЧ). Основные составляющие схем ФАПЧ. Генератор управляемый напряжением. Фазовые и фазочастотный детекторы. Генератор подкачки заряда. Система автоподстройке по задержке. Прямой цифровой синтез частоты. Целочисленный и дробный ФАПЧ.                                                            | 2         |
| <b>9. Методология верификации проектов</b>                                          |                                                                                                                                                                                                                                                                                                                                                                                                                                          | <b>2</b>  |
| 17                                                                                  | Электрическая и временная верификации. Функциональная верификация средствами Synopsys                                                                                                                                                                                                                                                                                                                                                    | 2         |
| <b>Итого часов</b>                                                                  |                                                                                                                                                                                                                                                                                                                                                                                                                                          | <b>18</b> |

#### 4.2. Практика

| Неделя семестра                                                                                                                        | Тема и содержание практических занятий                                                     | Объем часов | Виды контроля |
|----------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------|-------------|---------------|
| <b>1. Проблемы, связанные с проектированием БИС по субмикронным проектным нормам, и методы их решения</b>                              |                                                                                            | <b>2</b>    |               |
| 2                                                                                                                                      | Определение и численный расчет параметров межсоединений                                    | 2           |               |
| <b>2. Методология проектирования цифровых устройств с использованием языков описания аппаратуры VHDL/Verilog-HDL на RTL-уровне</b>     |                                                                                            | <b>2</b>    |               |
| 4                                                                                                                                      | Разработка проекта АЛУ для 8-разрядного микропроцессорного ядра на языках VHDL/Verilog-HDL | 2           |               |
| <b>3. Примеры проектирования сложно-функциональных цифровых устройств с использованием языков описания аппаратуры VHDL/Verilog-HDL</b> |                                                                                            | <b>2</b>    |               |
| 6                                                                                                                                      | Проектирование матричного умножителя целых чи-                                             | 2           |               |

|                                                                                                                                                 |                                                                                                                                                                                                |           |                     |
|-------------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------|---------------------|
|                                                                                                                                                 | сел со знаком размерностью 4x4 на языках VHDL/Verilog-HDL                                                                                                                                      |           |                     |
| <b>4. Методология проектирования сложно-функциональных аналого-цифровых устройств КМОП БИС с использованием языка A-Verilog</b>                 |                                                                                                                                                                                                | <b>2</b>  |                     |
| 8                                                                                                                                               | Разработка модели 4-разрядного АЦП по методу последовательных приближений на языке A-Verilog                                                                                                   | 2         | Контр. работа       |
| <b>5. Схемотехническое проектирование логических элементов КМОП БИС на транзисторном уровне</b>                                                 |                                                                                                                                                                                                | <b>2</b>  |                     |
| 10                                                                                                                                              | Схемотехническое моделирование передаточных характеристики логических элементов по КМОП-технологии                                                                                             | 2         |                     |
| <b>6. Схемотехническое проектирование схем потоковой обработки информации КМОП БИС с учетом быстродействия, потребляемой мощности и площади</b> |                                                                                                                                                                                                | <b>2</b>  |                     |
| 12                                                                                                                                              | Схемотехническое проектирование 8-разрядного сумматора с ускоренным переносом                                                                                                                  | 2         |                     |
| <b>7. Топологическое проектирование логических элементов КМОП БИС в САПР Tanner</b>                                                             |                                                                                                                                                                                                | <b>2</b>  |                     |
| 14                                                                                                                                              | Топологическое проектирование 8-разрядного сумматора с ускоренным переносом с использованием конструктивно технологических требований и правил проектирования MOSIS Scalable CMOS design rules | 2         | Контр. работа       |
| <b>8. Методология проектирования схем синхронизации в БИС и ПЛИС</b>                                                                            |                                                                                                                                                                                                | <b>2</b>  |                     |
| 16                                                                                                                                              | Разработка функциональной модели ФАПЧ в САПР ПЛИС Quarus II                                                                                                                                    | 2         |                     |
| <b>9. Методология верификации проектов</b>                                                                                                      |                                                                                                                                                                                                | <b>2</b>  |                     |
| 18                                                                                                                                              | Верификация функциональной модели ФАПЧ                                                                                                                                                         | 2         | Тестирование. Зачет |
| <b>Итого часов</b>                                                                                                                              |                                                                                                                                                                                                | <b>18</b> |                     |

#### 4.2. Самостоятельная работа студента (СРС)

| Неделя семестра | Содержание СРС                          | Виды контроля                          | Объем часов |
|-----------------|-----------------------------------------|----------------------------------------|-------------|
| 1               | Подготовка к выполнению пр. работы      | Допуск к выполнению пр. работы         | 1           |
|                 | Работа с конспектом лекций, с учебником | Проверка конспекта                     | 1           |
| 2               | Подготовка к выполнению пр. работы      | Защита, допуск к выполнению пр. работы | 1           |
|                 | Работа с конспектом лекций, с учебником | Проверка конспекта                     | 1           |
| 3               | Подготовка к выполнению пр. работы      | Защита, допуск к выполнению пр. работы | 1           |
|                 | Работа с конспектом лекций, с учебником | Отчет                                  | 1           |



## 5. ОБРАЗОВАТЕЛЬНЫЕ ТЕХНОЛОГИИ

|     |                                                                                                                                                                                                                                                                                                                                                                     |
|-----|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|     | <b>В рамках изучения дисциплины предусмотрены следующие образовательные технологии:</b>                                                                                                                                                                                                                                                                             |
| 5.1 | <b>Лекции:</b> информационные лекции, лекции – визуализации, проблемные лекции                                                                                                                                                                                                                                                                                      |
| 5.2 | <b>Практические работы:</b> <ul style="list-style-type: none"> <li>– выполнение практических работ;</li> <li>– защита выполненных работ;</li> </ul>                                                                                                                                                                                                                 |
| 5.4 | <b>самостоятельная работа студентов:</b> <ul style="list-style-type: none"> <li>– изучение теоретического материала,</li> <li>– подготовка к практическим занятиям,</li> <li>– работа с учебно-методической литературой,</li> <li>– оформление конспектов лекций, подготовка отчетов,</li> <li>– подготовка к текущему контролю успеваемости, к экзамену</li> </ul> |
| 5.5 | <b>консультации</b> по всем вопросам учебной программы.                                                                                                                                                                                                                                                                                                             |

## 6. ОЦЕНОЧНЫЕ СРЕДСТВА ДЛЯ ТЕКУЩЕГО КОНТРОЛЯ УСПЕВАЕМОСТИ, ПРОМЕЖУТОЧНОЙ АТТЕСТАЦИИ ПО ИТОГАМ ОСВОЕНИЯ ДИСЦИПЛИНЫ И УЧЕБНО-МЕТОДИЧЕСКОЕ ОБЕСПЕЧЕНИЕ САМОСТОЯТЕЛЬНОЙ РАБОТЫ СТУДЕНТОВ

|            |                                                                                                                                                                                                                                                          |
|------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <b>6.1</b> | <b>Контрольные вопросы и задания</b>                                                                                                                                                                                                                     |
| 6.1.1      | Используемые формы текущего контроля: <ul style="list-style-type: none"> <li>– контрольные работы;</li> <li>– отчет и защита выполненных практических работ.</li> </ul>                                                                                  |
| 6.1.2      | Рабочая программа дисциплины обеспечена фондом оценочных средств для проведения входного, текущего контроля и промежуточной аттестации. Фонд включает варианты контрольных работ, вопросы к экзамену, экзаменационные билеты.                            |
| <b>6.2</b> | <b>Темы письменных работ</b>                                                                                                                                                                                                                             |
| 6.2.1      | Контрольная работа по теме «Методология проектирования цифровых устройств с использованием языков описания аппаратуры VHDL/Verilog-HDL на RTL-уровне»                                                                                                    |
| 6.2.2      | Контрольная работа по теме «Схемотехническое проектирование схем потоковой обработки информации КМОП БИС с учетом быстродействия, потребляемой мощности и площади»                                                                                       |
| <b>6.3</b> | <b>Другие виды контроля</b>                                                                                                                                                                                                                              |
| 6.3.1      | Тесты по темам: <ul style="list-style-type: none"> <li>«Проблемы, связанные с проектированием БИС по субмикронным проектным нормам, и методы их решения»</li> <li>«Топологическое проектирование логических элементов КМОП БИС в САПР Tanner»</li> </ul> |

## 7. УЧЕБНО-МЕТОДИЧЕСКОЕ И ИНФОРМАЦИОННОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ (МОДУЛЯ)

| 7.1 Рекомендуемая литература     |                                      |                                                                                                                                             |                               |                     |
|----------------------------------|--------------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------|---------------------|
| №<br>п/п                         | Авторы,<br>составители               | Заглавие                                                                                                                                    | Годы издания.<br>Вид издания  | Обеспе-<br>ченность |
| 7.1.1 Основная литература        |                                      |                                                                                                                                             |                               |                     |
| 1                                | Вонг Б.П.,<br>Миталл А.,<br>Старр Г. | Нано-КМОП схемы и проектиро-<br>вание на физическом уровне.<br>Техносфера                                                                   | 2014<br>Печат.                | 0.5                 |
| 2                                | Попов В.Д.,<br>Белова Г.Ф.           | Физические основы проектиро-<br>вания кремниевых цифровых ин-<br>тегральных схем в монолитном и<br>гибридном исполнении. СПб.:<br>Лань      | 2013<br>ЭБС Лань              | 1                   |
| 3                                | Игнатов А.Н.                         | Микросхемотехника и нанозлек-<br>троника. СПб.: Лань                                                                                        | 2011<br>ЭБС Лань              | 1                   |
| 4                                | Амосов В.В.                          | Схемотехника и средства проек-<br>тирования цифровых устройств.<br>БХВ-Петербург                                                            | 2007<br>Печатный              | 0.1                 |
| 5                                | Тарасов И.Е.,<br>Потехин И.Е.        | Разработка систем цифровой об-<br>работки сигналов на базе ПЛИС.<br>М.: Горячая линия - Телеком                                             | 2007<br>Печатный              | 0.4                 |
| 6                                | Тарасов И.Е.                         | Разработка цифровых устройств<br>на основе ПЛИС фирмы Xilinx с<br>применением языка VHDL                                                    | 2005<br>Печатный              | 0.4                 |
| 7                                | Угрюмов Е.П.                         | Цифровая схемотехника: Учеб.<br>пособие. - 2-е изд., перераб. и<br>доп. - СПб.: БХВ-Петербург                                               | 2004<br>Печатный              | 1                   |
| 8                                | Петров М.Н.,<br>Гудков Г.В.          | Моделирование компонентов и<br>элементов интегральных схем.<br>СПб.: Лань                                                                   | 2011<br>ЭБС Лань              | 1                   |
| 7.1.2. Дополнительная литература |                                      |                                                                                                                                             |                               |                     |
| 1                                | Строгонов А.В.                       | Системное проектирование про-<br>граммируемых логических инте-<br>гральных схем: учеб. пособие                                              | 2012<br>Магнитный<br>носитель | 1                   |
| 2                                | Строгонов А.В.                       | Основы микросхемотехники ин-<br>тегральных схем                                                                                             | 2012<br>Магнитный<br>носитель | 1                   |
| 3                                | Строгонов А.В.                       | Проектирование устройств циф-<br>ровой обработки сигналов для<br>реализации в базисе программи-<br>руемых логических интеграль-<br>ных схем | 2013<br>Магнитный<br>носитель | 1                   |
| 4                                | Строгонов А.В.                       | Основы цифровой обработки<br>сигналов: учеб. пособие                                                                                        | 2014<br>Магнитный<br>носитель | 1                   |

| 7.1.3. Методические разработки                   |                                                                                                                                                                                                                                                                                                                                                                                  |                                                                                                                                                                                                                       |                |   |
|--------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------|---|
| 1                                                | Строгонов А.В.,<br>Шацких Д.С.                                                                                                                                                                                                                                                                                                                                                   | Методические указания к курсовому проектированию по дисциплине “Проектирование БИС” для студентов специальности 210104 “Микроэлектроника и твердотельная электроника” очной формы обучения                            | 2010<br>Печат. | 1 |
| 2                                                | Строгонов А.В.,<br>Кошелева Н.Н.                                                                                                                                                                                                                                                                                                                                                 | Методические указания к выполнению лабораторных работ по дисциплине “Проектирование БИС” для студентов специальности 210104 “Микроэлектроника и твердотельная электроника” очной формы обучения (рег. номер 68-2009)  | 2009<br>Печат. | 1 |
| 3                                                | Строгонов А.В.,<br>Кошелева Н.Н.                                                                                                                                                                                                                                                                                                                                                 | Методические указания к выполнению лабораторных работ по дисциплине “Проектирование БИС” для студентов специальности 210104 “Микроэлектроника и твердотельная электроника” очной формы обучения (рег. номер 105-2009) | 2009<br>Печат. | 1 |
| 7.1.4 Программное обеспечение и интернет ресурсы |                                                                                                                                                                                                                                                                                                                                                                                  |                                                                                                                                                                                                                       |                |   |
| 1                                                | САПР БИС Tanner<br>САПР ПЛИС Altera Quartus II<br>САПР ПЛИС Xilinx ISE<br>Системы цифрового моделирования ModelSim-Altera<br>Система визуально-имитационного моделирования Matlab/Simulink<br>Программа синтеза логики Synplicity Synplify                                                                                                                                       |                                                                                                                                                                                                                       |                |   |
| 2                                                | <a href="http://www.labfor.ru">www.labfor.ru</a> Лаборатории электронных средств обучения, ЛЭСО ГОУ ВПО «СибГУТИ»<br><a href="http://www.asic.ru">www.asic.ru</a> НПК "Технологический центр"<br><a href="http://www.tcen.ru">www.tcen.ru</a> НПК "Технологический центр"<br><a href="http://www.e-kir.ru">www.e-kir.ru</a> Электронные версии журнала “Компоненты и технология” |                                                                                                                                                                                                                       |                |   |

## 8. МАТЕРИАЛЬНО-ТЕХНИЧЕСКОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ (МОДУЛЯ)

|     |                                                                                                                                                                                                                                                                                                               |
|-----|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 8.1 | Специализированная лекционная аудитория, оснащенная оборудованием для лекционных демонстраций и проекционной аппаратурой                                                                                                                                                                                      |
| 8.2 | Дисплейный класс, оснащенный САПР ПЛИС Altera Quartus II и Xilinx ISE, системой визуально-имитационного моделирования Matlab/Simulink и учебными лабораторными стендами LESO2.1 (Лаборатории электронных средств обучения, ЛЭСО ГОУ ВПО «СибГУТИ») в количестве 10 шт для проведения лабораторного практикума |

**Карта обеспеченности рекомендуемой литературой  
«Методология проектирования больших интегральных схем»**

| № п/п                               | Авторы, составители            | Заглавие                                                                                                                                                                                                              | Год издания. Вид издания.  | Обеспеченность |
|-------------------------------------|--------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------|----------------|
| <b>1. Основная литература</b>       |                                |                                                                                                                                                                                                                       |                            |                |
| 1                                   | Вонг Б.П., Миталл А., Старр Г. | Нано-КМОП схемы и проектирование на физическом уровне. Техносфера                                                                                                                                                     | 2014<br>Печат.             | 0.5            |
| 2                                   | Попов В.Д., Белова Г.Ф.        | Физические основы проектирования кремниевых цифровых интегральных схем в монолитном и гибридном исполнении. СПб.: Лань                                                                                                | 2013<br>ЭБС Лань           | 1              |
| 3                                   | Игнатов А.Н.                   | Микросхемотехника и нанoeлектроника. СПб.: Лань                                                                                                                                                                       | 2011<br>ЭБС Лань           | 1              |
| 4                                   | Амосов В.В.                    | Схемотехника и средства проектирования цифровых устройств. БХВ-Петербург                                                                                                                                              | 2007<br>Печатный           | 0.1            |
| 5                                   | Тарасов И.Е., Потехин И.Е.     | Разработка систем цифровой обработки сигналов на базе ПЛИС. М.: Горячая линия - Телеком                                                                                                                               | 2007<br>Печатный           | 0.4            |
| 6                                   | Тарасов И.Е.                   | Разработка цифровых устройств на основе ПЛИС фирмы Xilinx с применением языка VHDL                                                                                                                                    | 2005<br>Печатный           | 0.4            |
| 7                                   | Угрюмов Е.П.                   | Цифровая схемотехника: Учеб. пособие. - 2-е изд., перераб. и доп. - СПб.: БХВ-Петербург                                                                                                                               | 2004<br>Печатный           | 1              |
| 8                                   | Петров М.Н., Гудков Г.В.       | Моделирование компонентов и элементов интегральных схем. СПб.: Лань                                                                                                                                                   | 2011<br>ЭБС Лань           | 1              |
| 1                                   | Строгонов А.В.                 | Системное проектирование программируемых логических интегральных схем: учеб. пособие                                                                                                                                  | 2012<br>Магнитный носитель | 1              |
| 2                                   | Строгонов А.В.                 | Основы микросхемотехники интегральных схем                                                                                                                                                                            | 2012<br>Магнитный носитель | 1              |
| <b>2. Дополнительная литература</b> |                                |                                                                                                                                                                                                                       |                            |                |
| 1                                   | Строгонов А.В.                 | Проектирование устройств цифровой обработки сигналов для реализации в базе программируемых логических интегральных схем                                                                                               | 2013<br>Магнитный носитель | 1              |
| 2                                   | Строгонов А.В.                 | Основы цифровой обработки сигналов: учеб. пособие                                                                                                                                                                     | 2014<br>Магнитный носитель | 1              |
| <b>3. Методические разработки</b>   |                                |                                                                                                                                                                                                                       |                            |                |
| 1                                   | Строгонов А.В., Шацких Д.С.    | Методические указания к курсовому проектированию по дисциплине "Проектирование БИС" для студентов специальности 210104 "Микроэлектроника и твердотельная электроника" очной формы обучения                            | 2010<br>Печат.             | 1              |
| 2                                   | Строгонов А.В., Кошелева Н.Н.  | Методические указания к выполнению лабораторных работ по дисциплине "Проектирование БИС" для студентов специальности 210104 "Микроэлектроника и твердотельная электроника" очной формы обучения (рег. номер 68-2009)  | 2009<br>Печат.             | 1              |
| 3                                   | Строгонов А.В., Кошелева Н.Н.  | Методические указания к выполнению лабораторных работ по дисциплине "Проектирование БИС" для студентов специальности 210104 "Микроэлектроника и твердотельная электроника" очной формы обучения (рег. номер 105-2009) | 2009<br>Печат.             | 1              |

Зав. кафедрой \_\_\_\_\_ С.И. Рембеза

Директор НТБ \_\_\_\_\_ Т.И. Буковшина

«УТВЕРЖДАЮ»  
Председатель Ученого совета факультета радиотехники и электроники

\_\_\_\_\_ Небольсин В.А.  
(подпись)

\_\_\_\_\_ 201\_\_ г.

### Лист регистрации изменений (дополнений) УМКД

#### Методология проектирования больших интегральных схем

В УМКД вносятся следующие изменения (дополнения):

---

---

---

---

Изменения (дополнения) в УМКД обсуждены на заседании кафедры полупроводниковой электроники и нанoeлектроники

Протокол № \_\_\_\_\_ от «\_\_» \_\_\_\_\_ 20\_\_ г.

Зав. кафедрой ППЭНЭ

С.И. Рембеза

Изменения (дополнения) рассмотрены и одобрены методической комиссией ФРТЭ

Председатель методической комиссии ФРТЭ

А.Г. Москаленко

«Согласовано»

С.И. Рембеза

### Лист регистрации изменений

| Порядковый номер изменения | Раздел, пункт | Вид изменения (заменить, аннулировать, добавить) | Номер и дата приказа об изменении | Фамилия и инициалы, подпись лица, внесшего изменение | Дата внесения изменения |
|----------------------------|---------------|--------------------------------------------------|-----------------------------------|------------------------------------------------------|-------------------------|
|                            |               |                                                  |                                   |                                                      |                         |